

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001 - 236041

(P2001 - 236041A)

(43)公開日 平成13年8月31日 (2001.8.31)

| (51) Int. Cl ⁷ | 識別記号 | F I | テ-マ-ト* (参考) |
|---------------------------|------|---------------|---------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 | 2 H 0 9 3 |
| G 0 2 F 1/133 | 550 | G 0 2 F 1/133 | 5 C 0 0 6 |
| G 0 9 G 3/20 | 622 | G 0 9 G 3/20 | 5 C 0 8 0 |
| | | 622 D | |
| | | 622 P | |

審査請求 未請求 請求項の数 10 L (全 5 数)

(21)出願番号 特願2000 - 44849(P2000 - 44849)

(22)出願日 平成12年2月22日(2000.2.22)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 前田 孝志

埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝深谷工場内

(72)発明者 木村 裕之

埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝深谷工場内

(74)代理人 100083806

弁理士 三好 秀和 (外 7 名)

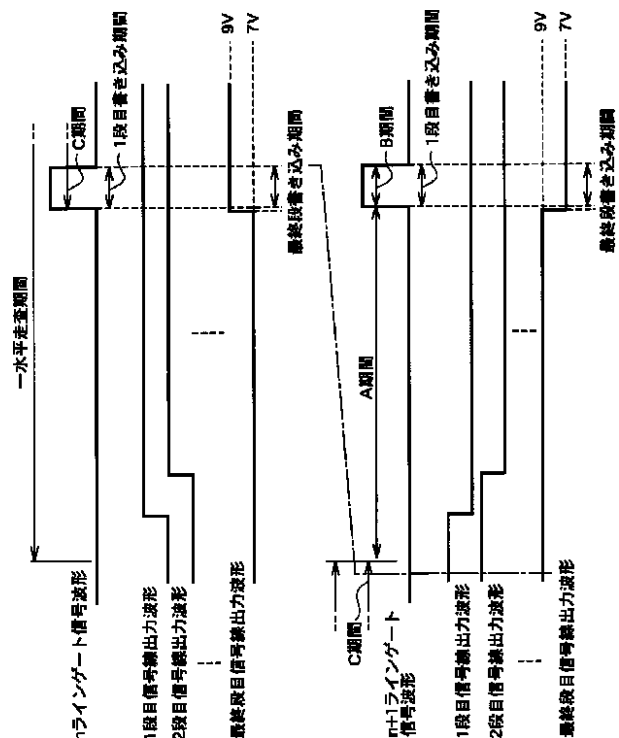
最終頁に続く

(54)【発明の名称】 平面表示装置の駆動方法

(57)【要約】

【課題】 駆動回路を内蔵したアクティブマトリクス型液晶表示装置において、書き込み時間の差による最終段側の表示画素での残留電荷の発生を防止し、表示ムラをなくして、良好な表示品位を得る。

【解決手段】 一水平走査期間の開始とともに、1段目の信号線から最終段目の信号線まで映像信号を順次書き込み、最終段目の信号線への書き込みが終了して、水平のブランキング期間に入ったときに、nラインの走査線にゲート信号を出力するようにした。



【特許請求の範囲】

【請求項1】 互いに交差する複数の走査線及び複数の信号線の交点近傍にスイッチ素子を介して接続された画素電極を含む第1基板、前記画素電極と電氣的に導通する共通電極を含む第2基板及びこれら基板間に介在された光変調層を含む表示パネルと、一水平走査期間内に前記複数の信号線に順次映像信号を出力する信号線駆動回路と、一水平走査期間毎に前記走査線に前記スイッチ素子をオンするための走査信号を出力する走査線駆動回路とを備えた平面表示装置の駆動方法において、一水平走査期間内に、前記複数の信号線に順次映像信号を出力した後に、所定の走査線に走査信号を出力することを特徴とする平面表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、平面表示装置の駆動方法に関し、詳しくは、アクティブマトリクス型液晶表示装置の駆動方法に関する。

【0002】

【従来の技術】液晶表示装置に代表される平面表示装置は、軽量、薄型、低消費電力の特性を活かして各種分野で利用されている。とくに、光変調層として液晶層が用いられた液晶表示装置は、OA機器、テレビ、電子手帳などの表示装置として幅広く使用されている。中でも、各画素毎にスイッチング素子としてTFT（薄膜トランジスタ）を用いたアクティブマトリクス型液晶表示装置は、隣接画素間でのクロストークがなく、高精細化に適していることから、ディスプレイ画面の高画質化、大型化、カラー画像化を実現するものとして注目されている。

【0003】このような液晶表示装置のうち、液晶パネルを構成する素子としてp-Si（ポリシリコン）TFTを用いたものは、表示画素の画素電極が形成される透明基板上に駆動回路を集積化することができるため、狭額縁化、薄型化、小型化などに有利とされている。

【0004】ここで、透明基板上に形成される駆動回路とは、映像信号を各表示画素に接続するTFTに順次供給する信号線駆動回路と、TFTのゲートをオンするためのゲート信号（走査信号）を1水平ライン（列）ごとに順次供給する走査線駆動回路である。走査線駆動回路により所定の水平ライン上のTFTにゲート信号が印加されることで、TFTのドレイン～ソース間が導通し、この間に信号線駆動回路から供給される映像信号が前記所定の水平ラインに接続する表示画素に書き込まれる。この動作が、各水平ラインごとに順次行われることにより、全ての表示画素に所定の映像信号が書き込まれ、画像が表示される。

【0005】

【発明が解決しようとする課題】図3は、前記従来の駆動回路から供給されるゲート信号と映像信号の出力波形

図である。ここでは、一列毎に交互に黒表示（9V）と中間調表示（7V）を行うものとし、映像信号の極性はnラインが正極性、n+1ラインが負極性となるようなHライン反転駆動を例に説明する。また、一点鎖線はnラインとn+1ラインの時系列的なつながりを示し、C期間は水平ブランキング期間を示している。

【0006】図3において、nラインの走査線が選択されている期間では、1段（行）目の信号線から最終段の信号線まで正極性の映像信号が順次書き込まれ、n+1ラインの走査線が選択されている期間では、同じく1段目の信号線から最終段目の信号線まで負極性の映像信号が順次書き込まれる。ここで、ゲート信号によりTFTのゲートがオンしてから実際に各信号線での書き込みが開始されるまで期間（A期間）と、映像信号の書き込み期間（B期間）とを見てみると、映像信号の書き込みが1段目から最終段の信号線に近づくにつれて、A期間とB期間のアスペクト比（B/A）は次第に小さくなり、1段目の書き込み期間よりも最終段の書き込み期間の方が短くなる。このため、映像信号の書き込みが最終段側の信号線へ進むにつれて、B期間では十分に応答できない表示画素が現れ、残留電荷が発生することがある。このような表示画素には余分な電荷が保存されるため、そうでない画素と比べて印加される電圧が変化し、表示にムラを生じることになる。図4は、画面を4分割駆動した場合の概略構成図であり、各部の符号は後述する図2に準じている。図4では、4分割された画面上の各エリアにおいて、矢印方向に映像信号の書き込みが行われる。各エリアの最終段側の信号線では、上述したように表示ムラが発生することになるが、とくに画面の中央部にある2つの領域では、分割境界の最終段にあたる表示画面中央部に表示ムラが発生するため、表示品位が著しく低下するという問題点があった。

【0007】この発明は、残留電荷による表示ムラをなくして、良好な表示品位を得ることができる平面表示装置の駆動方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、互いに交差する複数の走査線及び複数の信号線の交点近傍にスイッチ素子を介して接続された画素電極を含む第1基板、前記画素電極と電氣的に導通する共通電極を含む第2基板及びこれら基板間に介在された光変調層を含む表示パネルと、一水平走査期間内に前記複数の信号線に順次映像信号を出力する信号線駆動回路と、一水平走査期間毎に前記走査線に前記スイッチ素子をオンするための走査信号を出力する走査線駆動回路とを備えた平面表示装置の駆動方法において、一水平走査期間内に、前記複数の信号線に順次映像信号を出力した後に、所定の走査線に走査信号を出力することを特徴とする。

【0009】また、好ましい態様として、前記走査線駆

動回路から出力される走査信号の出力期間を一水平走査期間最後の水平ブランキング期間と略等しくする。

【0010】上記駆動方法によれば、映像信号の書き込み期間は1段目から最終段まですべて等しくなるため、書き込み時間の差により最終段側の表示画素に残留電荷が発生することがなくなり、表示のムラが解消される。

【0011】

【発明の実施の形態】以下、この発明に係わる平面表示装置の駆動方法を液晶表示装置の駆動方法に適用した場合の実施形態について説明する。

【0012】図2は、この実施形態に係わる液晶表示装置の回路構成図であり、とくに信号線駆動回路と表示電極の構造を詳細に示している。なお、表示画素11の構造は全て同じであるため、そのうちの一つを代表して説明する。

【0013】表示画素部100は、バックライトからの光源光を用いて表示する光透過型の液晶パネルであり、複数の表示画素11がマトリクス状に配置されている。それぞれの表示画素11は、画素電極12及び共通電極13と、これら電極間に保持される光変調層としての液晶層14とを含み、各表示画素11への映像信号の書き込みはスイッチ素子としてのTFT15により制御されている。画素電極12は、図示しないアレイ基板上にマトリクス状に形成され、この画素電極12と電気的に導通する共通電極13は、図示しない対向基板上に形成されている。

【0014】各TFT15のソース側は信号線D1, D2, D3, D4・・・に接続され、ドレイン側は走査線G1・・・に接続されている。また、各TFT15のドレイン側は画素電極12に接続され、画素電極12と共通電極13との間に液晶層14を挟んで液晶容量を構成している。この液晶容量と電気的に並列に配置された保持容量16は、列毎に共通に保持容量線17に接続されている。また、共通電極13は、所定のコモン電圧を供給する図示しない共通電極駆動回路に接続されている。

【0015】走査線駆動回路110は、図示しないシフトレジスタを含む回路で構成され、図示しない液晶コントローラから供給される垂直同期信号、垂直クロック信号に基づいて、走査線G1・・・に順次ゲート信号を供給する。ゲート信号を供給するタイミングについては後述する。

【0016】信号線駆動回路120は、シフトレジスタ21、アナログスイッチ群(以下、ASW)22を含む回路で構成され、図示しない液晶コントローラから映像信号とともに供給される水平同期信号、水平クロック信号に基づいて、信号線D1, D2, D3, D4・・・に映像信号を供給する。

【0017】シフトレジスタ21は、前記水平同期信号と水平クロック信号に基づいて、ASW22のオン/オフを制御するためのASW制御信号を順次出力する。こ

のASW制御信号は、シフトレジスタ21から図示しないバッファ回路を通じてASW22のゲートに供給されている。一方、ASW22のソース側は映像信号入力線23に共通に接続され、ドレイン側は並列に配置された保持容量部Cとともに信号線D1, D2, D3, D4・・・に接続されている。なお、映像信号入力線23は、表示画素部100の分割数などにより接続形態が異なるため、図2では太線により概念的な接続状態を示している。

10 【0018】図2において、映像信号入力線23に供給された映像信号は、シフトレジスタ21からのASW制御信号に従って信号線D1, D2, D3, D4・・・に出力される。この映像信号は、信号線D1, D2, D3, D4・・・からTFT15を通じて画素電極12と対向電極13の間に信号電圧として充電され、次の水平走査期間まで保持される。

【0019】次に、上記のように構成された液晶表示装置において、信号線D1, D2, D3, D4・・・に映像信号を書き込む場合の動作について説明する。

20 【0020】図1は、図2に示す駆動回路(110, 120)から供給されるゲート信号と映像信号の出力波形図である。ここでは、一列毎に交互に黒表示(9V)と中間調表示(7V)を行うものとし、映像信号の極性はnラインが正極性、n+1ラインが負極性となるようなHライン反転駆動を例に説明する。また、一点鎖線はnラインとn+1ラインの時系列的なつながりを示し、C期間は水平ブランキング期間を示している。

30 【0021】まず、一水平走査期間の開始とともに、信号線駆動回路120により1段(行)目の信号線から最終段目の信号線まで映像信号(正極性)を順次書き込む。この映像信号は保持容量部Cに一時的に保持される。映像信号の書き込みが進み、最終段目の信号線まで終了して、水平のブランキング期間(C期間)に入ったときに、走査線駆動回路110からnラインの走査線にゲート信号を出力する。すると、各保持容量部Cに保持されていた映像信号はTFT15を通じて1ライン分同時に画素電極12に書き込まれ、nライン目の表示画素11には同時に画像が表示される。これによれば、映像信号の書き込み期間(B期間)は1段目から最終段まですべて等しくなるため、書き込み時間の差により最終段側の表示画素に残留電荷が発生することがなくなり、表示のムラが解消される。ちなみに、n+1ラインへ負極性の映像信号を書き込んだ場合にも同様である。したがって、図4に示すように画面を4分割駆動した場合でも、画面の中央部に表示ムラが発生することがなく、良好な表示品位を得ることができる。

40 【0022】上述したような映像信号やゲート信号のタイミングは、走査線駆動回路110及び信号線駆動回路120へ供給する垂直/水平の同期信号やクロック信号のデューティ比を変えることにより、任意に設定する

ことができる。

【0023】また、この実施形態においては、走査線駆動回路110からのゲート信号の出力期間(映像信号の書き込み期間)を水平ブランキング期間と略等しくしたが、ゲート信号の出力期間は少なくとも1表示画素への書き込み期間があればよく、水平ブランキング期間内であれば必ずしも等しくなくてもよい。

【0024】さらに、この実施形態においては、Hライン反転駆動を例として説明したが、フレーム反転駆動、Vライン反転駆動及びH/V反転駆動のいずれにも適用可能であることは言うまでもない。

【0025】

【発明の効果】以上説明したように、この発明に係わる平面表示装置の駆動方法においては、一水平走査期間内に複数の信号線に順次映像信号を出力し、その後、所定の走査線に走査信号を出力するようにしたので、映像信号の書き込み期間は1段目から最終段まですべて等しくなる。これによれば、書き込み時間の差により最終段側の表示画素で残留電荷が発生することがなくなるため、*

*とくに画面を分割駆動した場合には、画面の中央部での表示のムラが解消され、良好な表示品位を得ることができる。

【図面の簡単な説明】

【図1】実施形態の駆動回路から供給されるゲート信号と映像信号の出力波形図。

【図2】実施形態に係わる液晶表示装置の回路構成図。

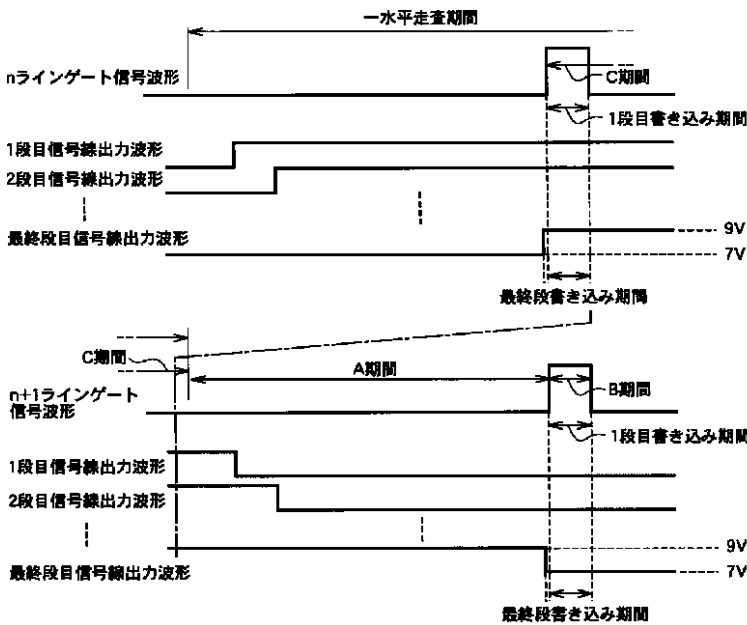
【図3】従来例の駆動回路から供給されるゲート信号と映像信号の出力波形図。

【図4】画面を4分割駆動した場合の概略構成図。

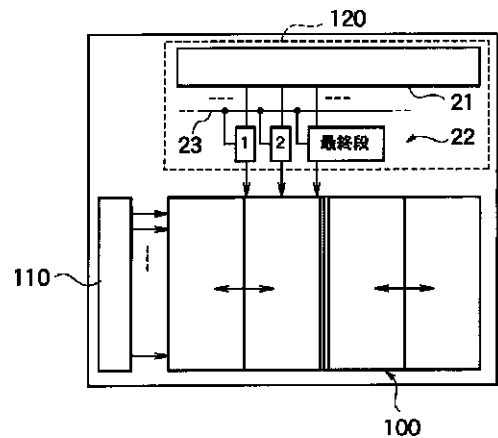
【符号の説明】

- 11...表示画素, 12...画素電極, 13...共通電極, 14...液晶層
- 15...TFT(薄膜トランジスタ), 21...シフトレジスタ
- 22...ASW(アナログスイッチ群), 100...表示画素部
- 110...走査線駆動回路, 120...信号線駆動回路

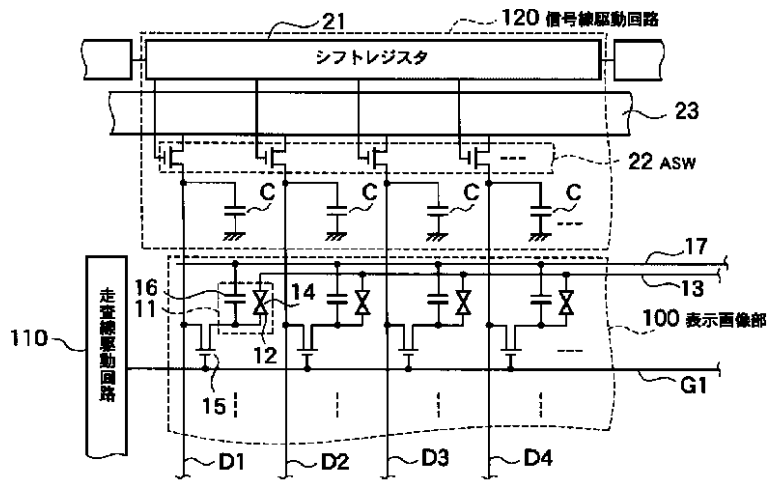
【図1】



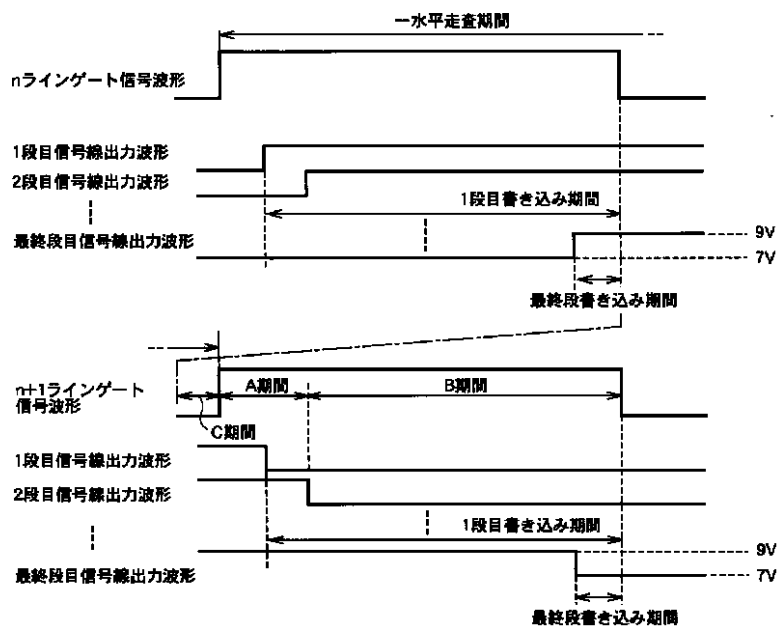
【図4】



【図2】



【図3】



フロントページの続き

(72)発明者 網島 貴徳
 埼玉県深谷市幡羅町一丁目9番地2号 株
 式会社東芝深谷工場内

Fターム(参考) 2H093 NA16 NC03 NC16 NC22 NC34
 ND09
 5C006 AF73 BB14 BB16 BC03 BC12
 BC20 BF03 BF11 EB05 FA22
 5C080 AA10 BB05 DD05 FF11 JJ02
 JJ04

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 用于驱动平板显示设备的方法 | | |
| 公开(公告)号 | JP2001236041A | 公开(公告)日 | 2001-08-31 |
| 申请号 | JP2000044849 | 申请日 | 2000-02-22 |
| [标]申请(专利权)人(译) | 株式会社东芝 | | |
| 申请(专利权)人(译) | 东芝公司 | | |
| [标]发明人 | 前田孝志 木村裕之 網島貴徳 | | |
| 发明人 | 前田 孝志 木村 裕之 網島 貴徳 | | |
| IPC分类号 | G09G3/36 G02F1/133 G09G3/20 | | |
| FI分类号 | G09G3/36 G02F1/133.550 G09G3/20.622.D G09G3/20.622.P | | |
| F-TERM分类号 | 2H093/NA16 2H093/NC03 2H093/NC16 2H093/NC22 2H093/NC34 2H093/ND09 5C006/AF73 5C006/BB14 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF11 5C006/EB05 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZB02 2H193/ZD32 2H193/ZE09 2H193/ZF03 | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：为了防止在具有内置驱动电路的有源矩阵型液晶显示装置中由于写入时间的差异而在最后一级侧的显示像素中产生残留电荷，消除了显示不均，并获得了良好的显示质量。随着一个水平扫描周期的开始，将视频信号从第一级的信号线顺序写入最后一级的信号线，并且完成对最后一级的信号线的写入，并且执行水平消隐。当进入周期时，选通信号输出到n条扫描线。

