

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001 - 100713

(P2001 - 100713A)

(43)公開日 平成13年4月13日(2001.4.13)

(51) Int.Cl. ⁷	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	550		G 0 2 F 1/133	550
G 0 9 G 3/20	611		G 0 9 G 3/20	611 A
	621			621 B
	623			623 R

審査請求 有 請求項の数 25 O L (全 19数) 最終頁に続く

(21)出願番号 特願2000 - 236912(P2000 - 236912)

(22)出願日 平成12年8月4日(2000.8.4)

(31)優先権主張番号 1999P32152

(32)優先日 平成11年8月5日(1999.8.5)

(33)優先権主張国 韓国(KR)

(71)出願人 500362981

エヌテクリサーチ株式会社

大韓民国ソウル市江南区驛三洞719 - 24番地

イーブレースビル

(72)発明者 権 五敬

大韓民国ソウル市松波区新川洞(番地なし)

ジャンミアパート14 - 1102

(74)代理人 100095957

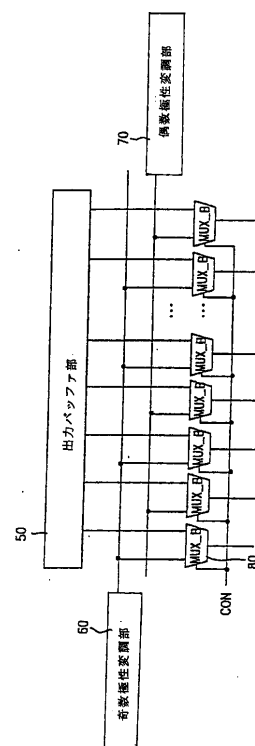
弁理士 亀谷 美明 (外 3 名)

(54)【発明の名称】 液晶表示装置のソース駆動回路及びソース駆動方法

(57)【要約】

【課題】 消費電力を減らすことの可能な液晶表示装置のソース駆動回路及びその駆動方法を提供する。

【解決手段】 ソース駆動回路は、ソースラインの極性変調を行う極性変調部60、70と、外部の制御信号CONによって出力バッファ部50の出力と前記極性変調部の出力のうち、一つを選択してピクセルへ出力する複数のマルチプレクサ部80とから構成される。前記各映像信号の電圧を極性変調とグレースケイル決定の2位相で分けて印加することを特徴とし、前記極性変調は段階的な充電及び放電からなされることを特徴とする。



【特許請求の範囲】

【請求項1】 シフトレジスタ部と、サンプリングラッチ部と、ホールディングラッチ部と、デジタル／アナログ変換部と、出力バッファ部とから構成された液晶表示装置のソース駆動回路において、ソースラインの極性変調を行う極性変調部と、外部の制御信号によって出力バッファ部の出力と前記極性変調部の出力のうち、一つを選択してピクセルへ出力する複数のマルチプレクサ部とから構成されることを特徴とする、液晶表示装置のソース駆動回路。

【請求項2】 前記極性変調部は、奇数番目の前記ソースラインの極性変調を行う第1極性変調部と、偶数番目の前記ソースラインの極性変調を行う第2極性変調部とから成ることを特徴とする、請求項1に記載の液晶表示装置のソース駆動回路。

【請求項3】 前記第1、第2極性変調部は、ドライバチップの外部に取り付けられるn個の外部キャパシタと、前記n個の外部キャパシタ及び負荷キャパシタを連結する複数のスイッチから構成されることを特徴とする、請求項2に記載の液晶表示装置のソース駆動回路。

【請求項4】 前記各スイッチは、NMOSトランジスタから構成されることを特徴とする、請求項3に記載の液晶表示装置のソース駆動回路。

【請求項5】 前記NMOSトランジスタは、各々異なる大きさを有するように構成されることを特徴とする、請求項4に記載の液晶表示装置のソース駆動回路。

【請求項6】 前記各スイッチは、NMOSトランジスタとPMOSトランジスタを混用して構成されることを特徴とする、請求項3に記載の液晶表示装置のソース駆動回路。

【請求項7】 前記n個のキャパシタには陰の映像信号の一定のグレー値に該当する電圧で陽の映像信号の一定のグレー値に該当する電圧を均等に分割した電圧が充電されていることを特徴とする、請求項3に記載の液晶表示装置のソース駆動回路。

【請求項8】 前記各外部キャパシタが前記負荷キャパシタよりさらに大きく構成されることを特徴とする、請求項3に記載の液晶表示装置のソース駆動回路。

【請求項9】 前記第1、第2極性変調部は、シフト方向が相反する第1、第2シフトレジスタを含んで構成されることを特徴とする、請求項2に記載の液晶表示装置のソース駆動回路。

【請求項10】 前記第1、第2極性変調部は、連結手順を反対にする一つのシフトレジスタを含んで構成されることを特徴とする、請求項2に記載の液晶表示装置のソース駆動回路。

【請求項11】 シフトレジスタ部と、サンプリングラッチ部と、ホールディングラッチ部と、デジタル／アナログ変換部と、出力バッファ部とから構成された液晶表示装置のソース駆動回路において、ソースラインの極

性変調を行う極性変調部と、外部の制御信号によって出力バッファ部の出力と前記極性変調部の出力のうち、一つを選択してピクセルへ出力する複数のスイッチ部とから構成されることを特徴とする液晶表示装置のソース駆動回路。

【請求項12】 前記極性変調部は、奇数番目の前記ソースラインの極性変調を行う第1極性変調部と、偶数番目の前記ソースラインの極性変調を行う第2極性変調部から成ることを特徴とする、請求項11に記載の液晶表示装置のソース駆動回路。

【請求項13】 前記第1、第2極性変調部は、ドライバチップの外部に取り付けられるn個の外部キャパシタと、前記n個の外部キャパシタ及び負荷キャパシタを連結する複数のスイッチから構成されることを特徴とする、請求項12に記載の液晶表示装置のソース駆動回路。

【請求項14】 前記各スイッチは、NMOSトランジスタから構成されることを特徴とする、請求項13に記載の液晶表示装置のソース駆動回路。

【請求項15】 前記NMOSトランジスタは、各々異なる大きさを有するように構成されることを特徴とする、請求項14に記載の液晶表示装置のソース駆動回路。

【請求項16】 前記各スイッチは、NMOSトランジスタとPMOSトランジスタを混用して構成されることを特徴とする、請求項13に記載の液晶表示装置のソース駆動回路。

【請求項17】 前記n個のキャパシタには陰の映像信号の一定のグレー値に該当する電圧で陽の映像信号の一定のグレー値に該当する電圧を均等に分割した電圧が充電されていることを特徴とする、請求項13に記載の液晶表示装置のソース駆動回路。

【請求項18】 前記各外部キャパシタが前記負荷キャパシタよりさらに大きく構成されることを特徴とする、請求項13に記載の液晶表示装置のソース駆動回路。

【請求項19】 前記第1、第2極性変調部は、シフト方向が相反する第1、第2シフトレジスタとを含んで構成されることを特徴とする、請求項12に記載の液晶表示装置のソース駆動回路。

【請求項20】 前記第1、第2極性変調部は、連結手順を反対にする一つのシフトレジスタを含んで構成されることを特徴とする、請求項12に記載の液晶表示装置のソース駆動回路。

【請求項21】 前記第1基板と、第2基板と、前記第1、第2基板の間に封入された液晶を含めた液晶表示装置のソースラインに陰の映像信号及び陽の映像信号を印加する液晶表示装置のソース駆動方法において、前記各映像信号の電圧を極性変調とグレースケール決定の2位相で分けて印加することを特徴とする、液晶表示装置のソース駆動方法。

【請求項 2 2】前記極性変調は、陰の映像信号の一定のグレー値に該当する電圧で陽の映像信号の一定のグレー値に該当する電圧間の電圧変動を伝えることを特徴とする、請求項 2 1 に記載の液晶表示装置のソース駆動方法。

【請求項 2 3】前記グレースケール決定は、ソース駆動回路の増幅器によって成されることを特徴とする、請求項 2 1 に記載の液晶表示装置のソース駆動方法。

【請求項 2 4】前記極性変調は、多段階電荷を介した電荷リカバリ方式を用いることを特徴とする、請求項に 2 1 記載の液晶表示装置のソース駆動方法。

【請求項 2 5】前記増幅器はグレースケールの表示に必要とする程度の消費電力だけを供給することを特徴とする、請求項 2 1 または 2 4 に記載の液晶表示装置のソース駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、消費電力を減少させることの可能な液晶表示装置のソース駆動回路及びその駆動方法に関する。

【0002】

【従来の技術】最近、映像信号を表示する表示素子として液晶表示装置がさらに大きい関心を引き、このような液晶表示装置の駆動に関する研究が盛んに行われている。

【0003】一般に液晶表示装置は大きく液晶パネル部と駆動部に分けられる。液晶パネル部は、ピクセル電極及び薄膜トランジスタがマトリックス形態で配列される下側ガラス基板と、共通電極及びカラーフィルタ層が形成される上側ガラス基板と、上側、下側ガラス基板の間 30 に満たされる液晶層から構成される。

【0004】また、駆動部は、外部から入力される映像信号を処理して複合同期信号を出力する映像信号処理部と、映像信号処理部から出力される複合同期信号が入力されて水平同期信号及び垂直同期信号を分離して出力し、モード（NTSC、PALSECAM）選択信号によってタイミングを制御する制御部と、制御部の出力信号によって液晶パネル部のソースラインに信号電圧を供給するソースドライバと、制御部の出力信号によって液晶パネル部の走査ラインに順次駆動電圧を印加するゲートドライバなどから構成される。

【0005】以下に、図 18～図 27 を参考しながら、従来の液晶表示装置のソース駆動回路及びその駆動方法を説明する。

【0006】図 18 は従来の薄膜トランジスタ液晶表示装置（TFT-LCD）の構成図である。薄膜トランジスタ液晶表示装置（TFT-LCD）は、図 18 に示したように、複数個のゲートライン GL と複数のソースライン SL などの交差点に複数の画素を有する液晶パネル 10 と、液晶パネル 10 のソースライン SL を介して各 50

々の画素に映像信号を提供するソース駆動部 20 と、液晶パネルのゲートライン GL を選択して複数の画素をオンさせるゲート駆動部 30 から構成される。

【0007】画素は、ゲートがゲートライン GL と連結され、ドレインがソースライン SL と連結された複数の薄膜トランジスタ 1 と、薄膜トランジスタのソースと各々並列連結された貯蔵キャパシタ Cs と、液晶キャパシタ Clc とから構成される。

【0008】図 19 は従来の液晶表示装置によるソース駆動回路の構成図である。従来のソース駆動回路の一例として、384 チャンネル 6 ビットドライバを示した。すなわち、RGB データが各々 6 ビットから成り、カラムライン（データ）は 384 ラインから構成されたソースドライバである。ソース駆動回路は、図 19 に示したように、シフトレジスタ部 21 と、サンプリングラッチ部 22 と、ホールディングラッチ部 23 と、デジタル／アナログ変換部 24 と、出力バッファ部 25 とから構成される。

【0009】シフトレジスタ部 21 は、水平同期信号パルス HSYNC をソースパルスクロック HCLK によってシフトさせてラッチイネブルクロックをサンプリングラッチ部 22 から出力する。

【0010】サンプリングラッチ部 22 は、シフトレジスタ部 21 から出力されるラッチイネブルクロックによってデジタル R、G、B データをカラムライン別にサンプリングしてラッチさせる。

【0011】ホールディングラッチ部 23 は、サンプリングラッチ部 22 にラッチされた R、G、B データをロード信号 LD によって同時に伝えられてラッチされる。

【0012】デジタル／アナログ変換部 24 はホールディングラッチ部 23 に貯蔵されたデジタル R、G、B データをアナログ R、G、B データに変換する。

【0013】出力バッファ部 25 は、アナログ信号で変換された R、G、B データに該当する信号の電流を増幅してパネルのソースラインへ出力する。

【0014】上述のように構成されたソース駆動回路は、1 水平周期の間にデジタル R、G、B データをサンプリングし、ホールディングした後にアナログ R、G、B データで変換し、これを電流増幅して出力することになるが、ホールディングラッチ部 23 が n 番目カラムラインに該当する R、G、B データをホールディングしていたら、サンプリングラッチ部 22 は n+1 番目のカラムラインに該当する R、G、B データをサンプリングすることになる。

【0015】図 20 は従来の液晶表示装置によるゲート駆動回路の構成図である。ゲート駆動回路は、図 20 に示したように、シフトレジスタ部 31、レベルシフト部 32、また出力バッファ部 33 から構成される。

【0016】シフトレジスタ部 31 は垂直同期信号パルス VSYNC をゲートパルスクロックによってシフトさ

せて走査ラインを順次イネーブルさせる。

【0017】レベルシフト部32は走査ラインに印加される信号を順次レベルシフトさせて出力バッファ部33へ出力する。従って、出力バッファ部33と連結された複数個の走査ラインを順次イネーブルされる。

【0018】上述のように構成された従来の薄膜トランジスタ液晶表示装置(TFT-LCD)の駆動方法を説明すると以下の通りである。まず、ソース駆動部20のサンプリングラッチ部22は順次一つずつの画素の映像データがサンプリングされ、ホールディングラッチ部23はソースラインSLなどに該当する映像データを貯蔵する。

【0019】また、ゲート駆動部30はゲートライン選択信号GLSを出力して複数のゲートラインGLの中で一つのゲートラインGLを順次選択する。

【0020】従って、選択されたゲートラインGLに連結された複数の薄膜トランジスタ1がターンオンされてソース駆動部20のホールディングラッチ部23に貯蔵された映像データがドレインに印加されることによって映像データが液晶パネル10に表示される。その後、上述のような動作が繰り返されて映像データが液晶パネル10に表示される。

【0021】この時、ソース駆動部20は、VCOM、陽の映像信号(positive video signal)、及び、陰の映像信号(negative video signal)を液晶パネル10に提供して映像データを液晶パネル10に表示することになる。

【0022】図21は、図18の画像信号の電圧範囲を示した図である。すなわち、図21に示したように、薄膜トランジスタ液晶表示装置(TFT-LCD)の動作の時、液晶に直接DC電圧が掛からないようにするためにフレームが変わるごとに、陽の映像信号と陰の映像信号と交代で画素に印加し、このために、薄膜トランジスタ液晶表示装置(TFT-LCD)の上板の電極に陽の映像信号を陰の映像信号の中間電圧であるVCOMを印加する。

【0023】ところが、VCOMに基づき、液晶に陽の映像信号と陰の映像信号を交代で印加する場合液晶の光伝達曲線が一致しないことになってフリッカーが発生される。従って、前記フリッカーの発生を減らすために図22～図23に示したように、フレーム反転(Frame Inversion)方式、ライン反転方式、カラム反転方式、及び、ドット反転方式などの4つの反転方式(反転駆動方式)が各々用いられる。

【0024】まず、図22はフレーム反転方式として、フレームが変わる場合だけ映像信号の極性が変化する方式であり、図23はライン反転方式として、ゲートラインGLが変わるごとに映像信号の極性が変わる方式である。また、図24はカラム反転方式として、ソースラインSLが変わる時とフレームが変わるごとに映像信号

の極性が変わる方式であり、図25はドット反転方式として各ソースラインSLのゲートラインGLが変わる時とフレームが変わるごとに映像信号の極性が変わる方式である。

【0025】このとき画質はフレーム反転方式、ライン反転方式、カラム反転方式、ドット反転方式の順で良好であり、その画質に比例して極性が変わる場合の数が増加されることによって電力消費も増加される。その一例を図26に示した従来の液晶表示装置を駆動するためのドット反転方式方式を参考して説明すると以下の通りである。

【0026】図26はドット反転方式の時、液晶パネル10へ入力される奇数のソースラインSLまたは偶数のソースラインSLの波形を示したもので、ゲートラインGLが変わるごとに常時ソースラインSLの映像信号がVCOMに基づき極性が変化されることを示している。

【0027】このとき、薄膜トランジスタ液晶表示装置(TFT-LCD)のパネル全体が同じグレーを表していると仮定すると、ソースラインSLの映像信号の変化幅VはVCOMと陽の映像信号の変化幅またはVCOMと陰の映像信号の変化幅の2倍となる。従って、従来のドット反転方式はゲートラインGLが変わるごとに映像信号のVCOMに基づき陽から陰へ、陰から陽へ変わるので多くの電力を消費することになる。

【0028】すなわち、図26はノーマリーホワイト(normally-white-mode)液晶でブラックイメージを表示する場合の映像信号スイング幅を示したもので、毎水平周期ごと大幅の電圧変動が必要で、かかる電圧変動はもっぱら出力段増幅器の電源VDDによって供給されたエネルギーから成され、2水平周期(H)ごと消費電力が発生する。

【0029】図27はキャパシタンス負荷を駆動するための一般のCMOS回路を示した回路図である。図27に示したように、PMOSTランジスタP1のソースを電源段V_Hに連結し、ドレインはNMOSTランジスタN1のドレインに連結して出力段にし、NMOSTランジスタN1のソースは他の電源段V_Lに連結し、NMOSTランジスタN1とPMOSTランジスタP1のゲートには出力信号(または入力信号)の周波数Fが入力され、NMOSTランジスタN1とPMOSTランジスタP1のドレインとNMOSTランジスタN1のソース間には負荷キャパシタC_{LOAD}が連結される。

【0030】上述のように構成された従来のCMOS駆動回路の消費電力P_{CONV}は、(式1)のように与えられる。

$$(式1) P_{CONV} = C_{LOAD} \cdot V_H (V_H - V_L) \cdot F$$

【0031】(式1)においてC_{LOAD}は負荷キャパシタC_{LOAD}の容量(キャパシタンス: Capacitance)であり、Fは出力信号(または入力信号)

の周波数である。また、電源 $V_H > V_L$ である。

【0032】

【発明が解決しようとする課題】ところで、上述のような従来の液晶表示装置のソース駆動方法においては、ソース駆動消費電力は映像信号のスイング幅に比例するので2水平周期ごと電力が発生して電力消費が大きいという問題点があった。

【0033】本発明は、従来の液晶表示装置のソース駆動方法が有する上記問題点に鑑みてなされたものであり、本発明の目的は、電圧スイング幅が大きい極性変調の消費電力を減らすとともに増幅器の駆動消費電力を減らすことの可能な、新規かつ改良された液晶表示装置のソース駆動回路及びソース駆動方法を提供することである。

【0034】

【課題を解決するための手段】上記課題を解決するため、本発明の液晶表示装置のソース駆動回路は、シフトレジスタ部と、サンプリングラッチ部と、ホールディングラッチ部と、デジタル/アナログ変換部または出力バッファ部とから構成された液晶表示装置のソース駆動回路において、奇数番目のソースラインの極性変調を行う第1極性変調部と、前記第1極性変調部と反対に偶数番目のソースラインの極性変調を行う第2極性変調部と、外部の制御信号によって出力バッファ部の出力と第1、第2極性変調部の出力のうち、一つを選択してピクセルに出力する複数のマルチプレクサ部またはスイッチ部から構成されることを特徴とする。

【0035】また、上記課題を解決するため、本発明の液晶表示装置のソース駆動方法は、第1基板と第2基板、またその間に封入された液晶を含めた液晶表示装置のソースラインに陰の映像信号及び陽の映像信号を印加する液晶表示装置のソース駆動方法において、前記各映像信号の電圧を極性変調とグレースケール決定の2位相で分けて印加することを特徴とし、前記極性変調は段階的な充電及び放電から成されることを特徴とする。

【0036】

【発明の実施の形態】以下に添付図面を参照しながら、本発明にかかる液晶表示装置のソース駆動回路及びソース駆動方法の好適な実施の形態について詳細に説明す *

電圧変動	A	B	C	D
電力供給	極性変調 V_L	極性変調 V_H	増幅器	増幅器

*る。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0037】図1は、本発明によるドット反転方式（ドット反転駆動方式）による画像信号の動作範囲を示した図である。本発明による液晶表示装置のソース駆動方法である多段階ソースドライビングでは映像信号伝達を極性変調とグレースケール決定（gray scale decision）の2位相から分けて成される。

【0038】すなわち、図1のように、陰の映像の中間グレーに当たる電圧 V_L で陽の映像の中間グレーに当たる電圧 V_H の間の電圧変動 B は極性変調によって行われ、その後にグレースケール決定のための電圧変動 C 、 D はソースドライバの増幅器によって成される。なお、陰の映像信号及び陽の映像信号の中間に当たる電圧による場合に限定されず、陰の映像信号及び陽の映像信号に当たる任意の電圧範囲で用いることができる。

【0039】上述のように本発明のドット反転方式による消費電力発生について、極性変調によるものと増幅器によるものに分けて説明する。

【0040】すなわち、図1において極性変調 B に必要とする消費電力は極性変調の電圧 V_H によって供給され、グレースケール表示 C （この場合、ブラックイメージ）に必要とする消費電力は増幅器の V_{DD} によって供給される。

【0041】また、陰の映像領域の電圧 V_L で極性変調した後、ホワイトイメージを表示するためには D のような電圧変動が必要となり、これもやはり増幅器の V_{DD} によって供給された電力から成される。

【0042】しかし陰の映像領域の電圧 V_L で極性変調した後、ブラックイメージを表示すると増幅器によって消費電力を発生させず、さらに陽の映像領域の電圧 V_H で極性変調するとき（電圧変動 A ）極性変調の電圧 V_L によって消費電力が発生する。以上説明したドット反転方式による消費電力発生を整理すると、表1に示した通りである。

【0043】

【表1】

【0044】なお、多段階ソース駆動回路の駆動波形をオールブラックイメージの場合の一例と、オールホワイ トイメージの場合の一例とを、図2と図3に各々示した。すなわち、図2は多段階ソースドライビング方式の

オールブラックイメージの駆動波形図であり、図3は多段階ソースドライビング方式のオールホワイトイメージ駆動波形図である。

【0045】従って、図2及び図3に示したように、本発明によるドット反転方式は一つの水平周期(H)を極性変調とグレースケール決定の2位相で分けてソース駆動が成されることが分かる。

【0046】このような多段階ソースドライビング方式では電圧スイング幅が大きい極性変調は多段階充電を介した電荷リカバリ方式を用いて消費電力を減少させ、増幅器はグレースケール表示に必要とする程度の消費電力だけを供給するようにして駆動消費電力を減らす。

【0047】上述のように消費電力を減らすことができる本発明による液晶表示装置のソース駆動回路の構成を説明すると以下の通りである。すなわち、図4～図6は本発明による液晶表示装置のソース駆動回路を示した構成図である。

【0048】図4に示したように複数のマルチプレクサ部80などは外部の制御信号CONによる出力バッファ部50の出力と奇数極性変調部60及び偶数極性変調部70の出力のうち一つを選択してピクセルに伝える。なお、薄膜トランジスタ液晶表示装置(TFT-LCD)のドット反転方式では隣のソースライン同士の信号極性が反対であるので多段階電荷駆動の方向も反対である。すなわち、奇数番目のソースラインのキャパシタに段階的充電を行う場合偶数番目のソースラインのキャパシタには段階的放電が行わなければならない。

【0049】従って、極性変調部を構成するスイッチなどの動作手順も反対であるので本発明のソース駆動回路では奇数番目のソースラインと偶数番目のソースラインを別に駆動できるように奇数番目のソースラインの極性変調のための奇数極性変調部60と偶数番目ソースラインの極性変調のための偶数極性変調部70を各々別に取り付ける。

【0050】本発明による液晶表示装置のソース駆動回路は、図19のデジタル/アナログ変換部24でアナログ信号で変換されたデータ信号の電流を増幅してパネルのソースラインに出力する出力バッファ部50と、奇数番目のソースラインを駆動するための奇数極性変調部60と、偶数番目ソースラインを駆動するための偶数極性変調部70と、外部の制御信号CONによって出力バッファ部50の出力と奇数極性変調部60及び偶数極性変調部70の出力のうち、一つを選択してピクセルに出力する複数のマルチプレクサ部80から構成される。

【0051】すなわち、本発明による液晶表示装置のソース駆動回路は従来の液晶表示装置のソース駆動回路の出力バッファ部50段までは同一であり、最終出力直前に些かな変形が必要である。ここで、前記マルチプレクサ部80は外部の制御信号CONによって極性変調とグレースケール決定を選択する役割を果たす。

【0052】なお、図5に示したように、図19のデジタル/アナログ変換部24でアナログ変換されたデータに当たる信号の電流を増幅して出力するAMP_H及びAMP_Lから成される出力バッファ部50の信号を各々入力されて外部の制御信号によって選択してピクセルに出力する複数の第1マルチプレクサ(MUX_A)部80aと、前記第1マックス部80aの出力信号と奇数極性変調部60または偶数極性変調部70の信号を各々入力されて外部の制御信号によって一つを選択してピクセルへ出力する複数の第2マルチプレクサ(MUX_B)部80bから構成される。

【0053】また、図6は、図4と図5の回路をより簡易に構成したものである。すなわち、図6に示したように、各カラムごとに、複数の第1マルチプレクサ(MUX_A)部と複数の第2マルチプレクサ(MUX_B)部は、3個のスイッチに代えることができる。

【0054】図7は、図4及び図5のMUX_B及びMUX_Aを制御する制御信号の波形図であり、図9及び図10は図5の出力バッファ部の増幅器の回路図である。すなわち、図7に示したように、CON信号が“1”であれば極性変調を行い、CON信号が“0”であればグレースケール決定を行う。ここで、CONは図4及び図5のMUX_Bを制御するクロック信号であり、EOは図5のMUX_Aを制御するクロック信号である。

【0055】図6に示した回路は図8に示した制御信号によって動作する。図8によれば、CON=1の場合には極性変調を行い、CON=0の場合にはグレースケールを決定する。グレースケールを表示する場合には、EO1=0であるかまたはEO2=1であるかによって、陽の映像信号を表示するか、陽の映像信号を表示するかが決められる。

【0056】なお、図5の出力バッファ部50の増幅器にはAMP_HとAMP_Lの2種類があり、この二つは回路構造は図9は図10に示したようにVDD電圧が異なる。すなわち、AMP_H(VDD電圧が10V)は陽の映像領域のグレースケールだけを担当し、AMP_L(VDD電圧が5V)は陰の映像領域のグレースケールだけを担当する。

【0057】また、図1のDのように陰の映像領域の信号を伝える時停電圧増幅器を用いることによって高電圧増幅器だけを用いる場合に比べて消費電力を減少させることができる。

【0058】なお、上述のように構成される奇数及び偶数極性変調部の構成をより詳細に説明すると以下の通りである。すなわち、図11は各極性変調部を示した回路図である。図11のように、 V_H で V_L を5等分して(一般にN等分)負荷キャパシタンスを駆動すると消費電力 $P_{stepwise}$ は従来の(式1)より(式2)

のように $1/5$ (一般に $1/N$)で減少することにな

る。

$$(式2) P_{stepwise} = C_{LOAD} V_H (V_H - V_L) F / 5 = P_{CONV} / 5$$

【0059】ここで、負荷キャパシタ C_{LOAD} はM個のカラムラインのキャパシタンスの合で、ここでMは1個のソースドライバの出力数の1/2である。

【0060】本発明でドット反転方式のためには極性変調回路(PM)が偶数カラム奇数カラムの極性変調を反対に行わなければならないので、1個のソース駆動回路には偶数カラムと奇数カラムを分けて担当しなければならないので2個の極性変調回路(PM)が必要である。例えば、300個の出力を有する液晶表示装置のソース駆動回路にこの方式を適用する場合、Mは150となる。

【0061】また、図11の外部のキャパシタ C_{EXT1} 、 C_{EXT2} 、 C_{EXT3} 、 C_{EXT4} はソースドライバチップ外部に装着した外部のキャパシタで各々の大きさはM個の負荷キャパシタ C_{LOAD} の100倍程度の大きさを有し、各外部のキャパシタ C_{EXT1} 、 C_{EXT2} 、 C_{EXT3} 、 C_{EXT4} に電源 V_H と V_L を均等に分割した電圧を各々 $V_L + (4/5)(V_H - V_L)$ 、 $V_L + (3/5)(V_H - V_L)$ 、 $V_L + (2/5)(V_H - V_L)$ 、 $V_L + (1/5)(V_H - V_L)$ が各々充電されている。ここで電源 V_H は V_L より大きい。

【0062】また、各電源 V_H 及び V_L と各外部のキャパシタ C_{EXT1} 、 C_{EXT2} 、 C_{EXT3} 、 C_{EXT4} は各々外部の信号によってターンオンまたはターンオフされるスイッチSW6-SW1によって負荷キャパシタと連結されるように構成される。なお、多段階ソースドライビング方式が実質的な意味を有するようにすると、消費電力低減効率とともに各ステップに所要される時間が十分に短くしなければならないし、回路の大きさが小さくなければならない。

【0063】上述のように本発明の液晶表示装置のソース駆動回路に用いる極性変調回路を用いた多段階ソース駆動回路の消費電力が減少する理由を説明すると以下の通りである。すなわち、図11に示したように、外部のキャパシタ C_{EXT1} 、 C_{EXT2} 、 C_{EXT3} 、 C_{EXT4} には初期に電圧が充電されていると仮定すると、隣の外部キャパシタの間の電圧は全て均等に1/5ほどの差が発する。

【0064】初期に負荷キャパシタに V_L に電圧が充電されていると仮定し、 V_H まで充電しようとする場合、スイッチSW1からSW6まで順次ターンオンさせる。この時、負荷キャパシタ C_{LOAD} の電圧は V_L から V_H まで段階的に上昇することになり、各段階電圧は当たる外部キャパシタで電荷を供給した結果である。

【0065】なお、反対に V_H から V_L へ放電される場合を説明すると、充電の場合には反対にスイッチSW6

からSW1まで順次ターンオンされる。ここで各外部キャパシタ C_{LOAD} が V_H まで充電する過程において負荷キャパシタ C_{LOAD} に供給した電荷 $V_L + (1/5)(V_H - V_L)$ を V_L へ放電する過程で戻すことによって各外部のキャパシタが負荷キャパシタ C_{LOAD} に供給した電力は実質的に“0”となる。

【0066】また、電源 V_H による電力供給はスイッチSW6がターンオンされることによって成されるが、スイッチSW6がターンオンされる直前に負荷キャパシタ C_{LOAD} には $V_L + (4/5)(V_H - V_L)$ が充電されているので電源 V_H によって実際に充電された電圧は $(1/5)(V_H - V_L)$ であり、消費電力は(式1)に示したように1/5に減少する。

【0067】図12は本発明によるソース駆動回路を駆動するための極性変調回路の一実施例を示した回路図である。図12に示したように、奇数極性変調部60と偶数極性変調部70は外部キャパシタを共有している。

【0068】また、抵抗(R)熱は外部キャパシタの初期充電電圧を決定するためのもので、ソース駆動回路の動作初期にSTR信号によって制御されるスイッチなどがターンオンされると抵抗熱に電流が流れて抵抗による電圧分配が成され、各外部キャパシタには分配された電圧などが貯蔵される。

【0069】一応、前記外部キャパシタに所望の電圧が貯蔵されると、STR信号によって各スイッチなどはターンオフさせることによって抵抗熱に不要とする電流が流れて消費電力が発生することを防止することができる。従って、図11のように、外部キャパシタなどがチップ外部に設けられるキャパシタが抵抗熱はチップ内部に集積できる。

【0070】なお、図に示したように第1、第2シフトレジスタ90a、90bは多段階ソース駆動回路のスイッチSW1-SW6などを制御するための信号を発する。スイッチSW1-SW6などを制御する信号を一タチップ外部から供給するより、第1、第2シフトレジスタ90a、90bを用いて内部から生成する方が入力信号の数を減らすことができるためである。

【0071】ここで前記第1、第2シフトレジスタ90a、90bに入力される信号のうち、CLK2は第1、第2シフトレジスタ90a、90bに用いるクロック信号で、PMSは第1、第2シフトレジスタ90a、90bのトリガー信号、PMDはシフト方向を決定する信号である。

【0072】第1シフトレジスタ90aのPMD信号が“1”が入力されると、第2シフトレジスタ90bには“0”が入力される。第1シフトレジスタ90aまたは第2シフトレジスタ90bの先端にインバータを構成して互いに反対の信号を入力されることができる。その理由は前記のように奇数極性変調部60と偶数極性変調部70は各スイッチのターンオン及びターンオフ順序が反

対であるのでスイッチに印加されるターンオン信号の順序も反対にすべきだからである。

【0073】なお、第1、第2シフトレジスタ90a、90bを用いる代わりに図13のように一つのシフトレジスタだけを用いるが、連結順序を反対にすることも可能である。

【0074】また、本発明のドット反転方式のタイミングと回路の大きさに対してシミュレーションした結果を説明すると以下の通りである。例えば、本発明による適用対象は30インチ対角のUXGAパネル及び14イン

チ対角XGAパネルである。ここでは30インチ対角のUXGAパネルを中心と説明する。

【0075】現在開発された30インチLCDパネルは図14のように、4分割駆動によって動作するので、本発明においても4分割駆動の仮定のうえ、シミュレーションを行う。前記のように4分割駆動をすると、各4分割パネルは15インチSVGAパネルに当たる。このときのカラムラインは $C = 128\text{ pF}$ 、 $R = 2.5\text{ k}\Omega$ であるロードで動作し、ラインタイムは $22\text{ }\mu\text{sec}$ である。

【0076】ここで、カラムラインのC及びR値は典型的なピクセルに対してラファエル(Raphael)3Dシミュレーションを介して抽出した値である。実際ソースラインはCとRとが分散されて存在するので、図15のように10セグメントに分けたロードモデルを用いる。

【0077】なお、図11に示したように5ステップ方*

スイッチ	SW1	SW2	SW3	SW4	SW5	SW6
大きさ(μm)	400	400	400	500	500	600

【0081】表3は、ステップ時間 $= 1.5\text{ }\mu\text{sec}$ 、NMOSとPMOSスイッチであるトランジスタの大きさを示したものである。表3は、一番高い電圧を伝えるSW6スイッチをPMOSにした場合である。これは伝えようとする電圧が高いので0Vをオン(ON)信号で*

スイッチ	SW1	SW2	SW3	SW4	SW5	SW6
タイプ	N	N	N	N	N	P
大きさ(μm)	400	400	400	500	500	500

【0083】すなわち、表3に示したように、SW6スイッチでPMOSTランジスタを用いるのでNMOSTランジスタを用いるのよりトランジスタ大きさ面から多少有利であることが分かる。

【0084】表4は、ステップ時間 $= 2.0\text{ }\mu\text{sec}$ 、

スイッチ	SW1	SW2	SW3	SW4	SW5	SW6
大きさ(μm)	100	100	100	200	200	250

【0086】表5は、ステップ時間 $= 2.0\text{ }\mu\text{sec}$ 、50 NMOSとPMOSスイッチの場合のトランジスタの大

*式を用いると仮定する。また、極性変調に所要される時間を1水平周期(1H)の $1/2$ 以下で制限し、余分の時間を増幅器によるグレースケール表示時間に割り当てると仮定すると、XGAパネルはラインタイムが約 $16\text{ }\mu\text{sec}$ で、SVGAパネルはラインタイムが約 $22\text{ }\mu\text{sec}$ であるので、許容されたステップ時間は約 $1.5\text{ }\mu\text{sec}$ 、 $2\text{ }\mu\text{sec}$ である。

【0078】かかるタイミング条件を満たすための図11の各スイッチのトランジスタサイズを表2～表5に亘って整理した。ここで、各スイッチはNMOSTランジスタだけで構成したりNMOSTランジスタとPMOSTランジスタとに分けて構成でき、各トランジスタのチャンネル長さは共通して $0.6\text{ }\mu\text{m}$ である。また、極性変調は $2.25 \sim 7.75\text{ V}$ の電圧を負荷キャパシタ C_{LOAD} に伝えるためのもので各々スイッチ(NMOSTトランジスタ)をオンさせるためには 10 V 、オフさせるためには 0 V を印加する。このとき前記スイッチがPMOSTランジスタの場合は反対である。

【0079】表2は、ステップ時間 $= 1.5\text{ }\mu\text{sec}$ 、NMOSスイッチであるトランジスタの大きさを示したものである。表2に示したように、各スイッチをNMOSTランジスタだけで構成し、SW1、SW2、SW3は $400\text{ }\mu\text{m}$ 、SW4、SW5は $500\text{ }\mu\text{m}$ 、また一番高い電圧を伝達するSW6は $600\text{ }\mu\text{m}$ の大きさで各々構成する。

【0080】

【表2】

*印加するのが $|V_{GS}|$ が大きくなることによって電流伝達に有利である。

【0082】

【表3】

NMOSスイッチであるトランジスタの大きさを示したものである。

【0085】

【表4】

きさを示したものである。

【0087】

*【表5】

スイッチ	SW1	SW2	SW3	SW4	SW5	SW6
タイプ	N	N	N	N	N	P
大きさ (μm)	100	100	100	200	200	250

【0088】上述のように本発明による液晶表示装置のソース駆動回路による電力消費シミュレーション結果を

*シミュレーション条件を表6に整理した。

【0089】

説明すると以下の通りである。すなわち、電力消費シミュレーション条件を表6に整理した。

対角	解像度	フレーム周波数	ロード	その他
30インチ	UXGA	75	C=255pF R=5k Ω	4分割駆動

【0090】ここで、表示イメージ別に提案したステップソースドライビングAC電力消費シミュレーションを行った結果と既存の高電圧駆動方式におけるAC電力消費シミュレーション結果を比較する。

【0091】まず、オールブラックイメージはパネル全体がブラックイメージ表示するときの駆動波形及びコントロール信号を図16に示し、オールホワイトイメージ表示のための駆動波形及びコントロール信号を図17に示した。図16及び図17は、表6に示した仮定の上、HSPICEシミュレーションを行った結果である。

【0092】すなわち、制御信号CONによって極性変

*調またはグレースケール決定になっている。なお、表7、表8、表9に各々電流及び消費電力を整理した。ここで表7のVDDH及びVDDLは図9～図10に示したAMP_H及びAMP_Lの電源電圧である。表7はオールブラックイメージ表示のための消費電力比較を示しており、表8はオールホワイトイメージ表示のための消費電力比較を示しており、表9はオール中間グレイイメージ表示のための消費電力比較を示している。

【0093】

【表7】

	多段階ソースドライビング				従来の高電圧駆動
電 源	VDDH	VDDL	VH	VL	VDD
電圧 (V)	10	5	7.75	2.25	10
AC電流の平均値 (μA)	3.8	0	3.2	3.6	23.1
AC消費電力 (mW)	91.2	0	59.5	19.4	554.4
4分割パネルのAC消費電力 (mW)	170.1				554.4
全体パネルのAC消費電力 (mW)	680.4				2218

【0094】

【表8】

	多段階ソースドライビング				従来の高電圧駆動
電 源	VDDH	VDDL	VH	VL	VDD
電圧 (V)	10	5	7.75	2.25	10
A C 電流の平均値 (μ A)	0	3.6	6.9	0	8.7
A C 消費電力 (mW)	0	43.2	128.3	0	208.8
4分割パネルのA C消費電力 (mW)	171.5				208.8

【0095】

【表9】

	多段階ソースドライビング				従来の高 電圧駆動
電 源	VDDH	VDDL	VH	VL	VDD
電圧 (V)	1.0	5	7.75	2.25	1.0
AC電流の平均値 (μ A)	0	0	3.2	0	16.0
AC消費電力 (mW)	0	0	59.5	0	384
4分割パネルのAC消費電力 (mW)	59.5				384
全体パネルのAC消費電力 (mW)	238				1536

【0096】以上、添付図面を参照しながら本発明にかかる液晶表示装置のソース駆動回路及びソース駆動方法の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0097】

【発明の効果】以上説明したように、本発明による液晶表示装置のソース駆動回路及び駆動方法には以下のような効果がある。すなわち、多段階ソース駆動方式では電圧スイング幅が大きい極性変調は多段階電荷を介した電荷リカバリ方式を用いて消費電力を減少させ、増幅器はグレースケール表示に必要とする程度の消費電力だけを供給させることによって駆動消費電力を減らすことができる。

【図面の簡単な説明】

【図1】本発明によるドット反転方式によりソース駆動回路の出力波形図。

【図2】多段階ソースドライビング方式のオールブラックタイム - ジの駆動波形図。

【図3】多段階ソースドライビング方式のオールホワイトタイム - ジの駆動波形図。

【図4】本発明による液晶表示装置のソース駆動回路を示す構成図。

【図5】本発明による液晶表示装置のソース駆動回路を示す構成図。

【図6】本発明による液晶表示装置のソース駆動回路を示す構成図。

【図7】図4、図5のMUX__A及びMUX__Bを制御する制御信号の波形図。

【図8】図4、図5のMUX__A及びMUX__Bを制御する制御信号の波形図。

【図9】図5の出力バッファ部の増幅器の回路図。

【図10】図5の出力バッファ部の増幅器の回路図。

【図11】各極性変調部を示した回路図。

【図12】本発明によるソース駆動回路を駆動するための極性変調回路の一実施例を示す回路図。

20 【図13】本発明によるソース駆動回路を駆動するため

の極性変調回路の他の実施例を示す回路図。

【図14】30インチ対角のUXGAパネル。

【図15】10セグメントに分けたロードモデル。

【図16】オールブラックイメージの表示のための駆動波形及びコントロール信号の波形図。

【図17】オールホワイトイメージの表示のための駆動波形及びコントロール信号の波形図。

【図18】従来の薄膜トランジスタ液晶表示装置(TFT-LCD)を示した構成図。

【図19】従来の液晶表示装置によるソース駆動回路の構成図。

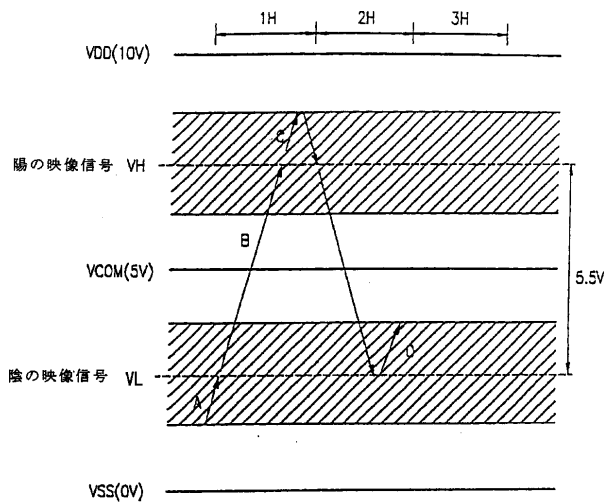
【図20】従来の液晶表示装置によるゲート駆動回路の構成図。

【図21】図18の画像信号の電圧範囲を示した図。

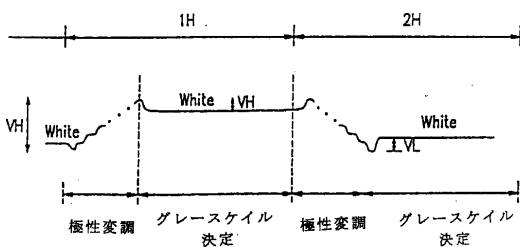
【図22】薄膜トランジスタ液晶表示装置(TFT-LCD)のフレーム反転駆動方式を示した図。

【図23】薄膜トランジスタ液晶表示装置(TFT-L*

【図1】



【図3】



*CD)のライン反転駆動方式を示した図。

【図24】薄膜トランジスタ液晶表示装置(TFT-LCD)のカラム反転駆動方式を示した図。

【図25】薄膜トランジスタ液晶表示装置(TFT-LCD)のドット反転駆動方式を示した図。

【図26】従来のドット反転方式によるソース駆動回路の出力波形図。

【図27】キャパシタンス負荷を駆動するための一般のCMOS回路を示した回路図。

【符号の説明】

50:出力バッファ部

60:奇数極性変調部

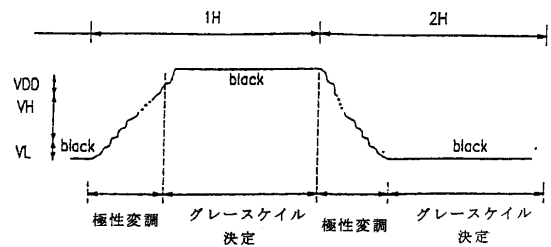
70:偶数極性変調部

80:マルチプレクサ部

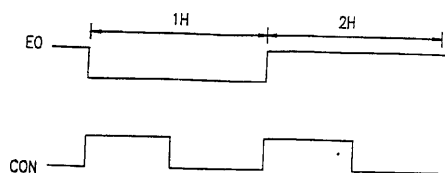
90a, 90b:第1,第2シフトレジスタ

100:インバータ

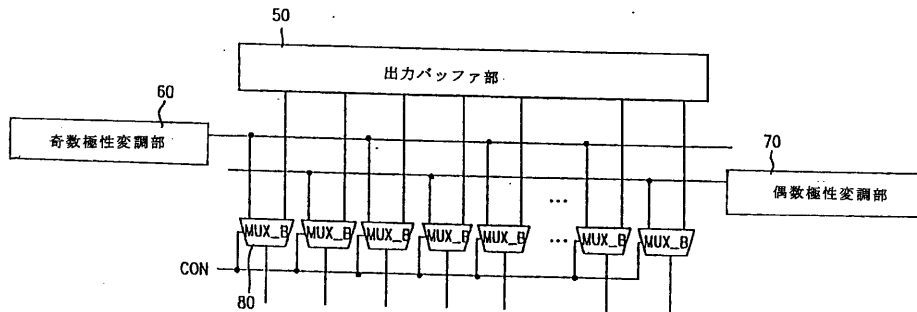
【図2】



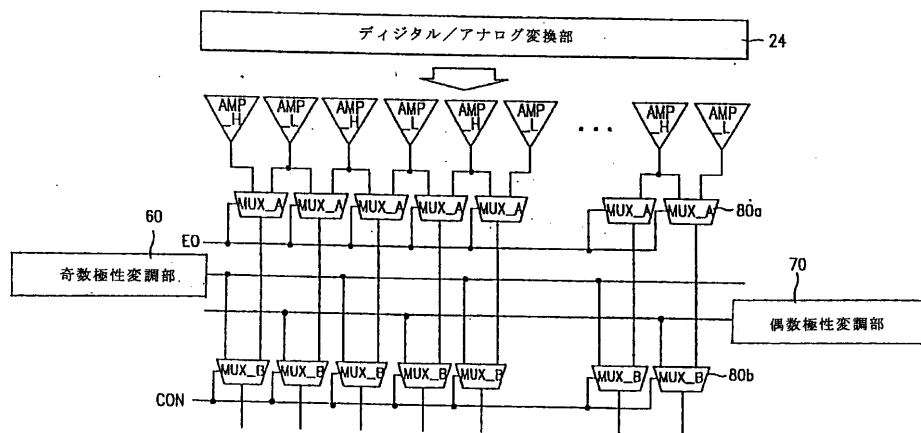
【図7】



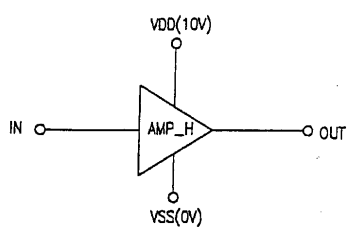
【図4】



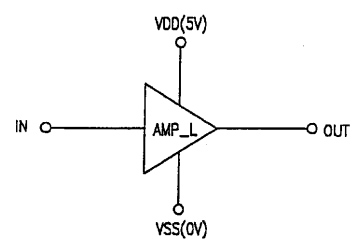
【図5】



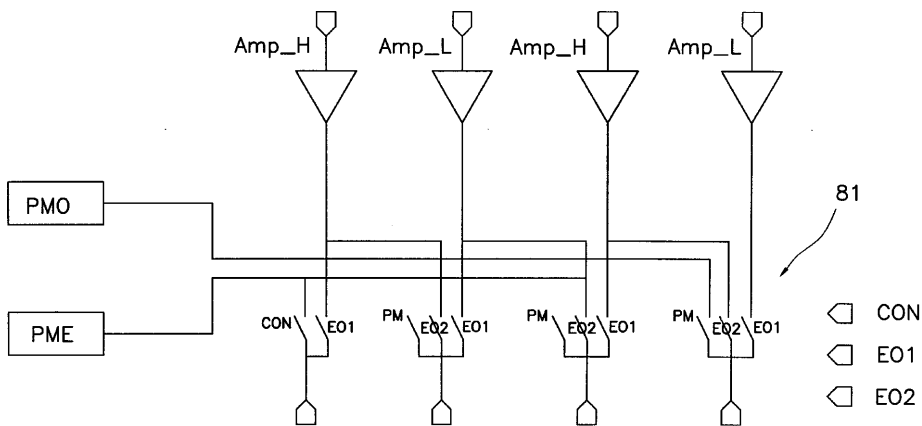
【図9】



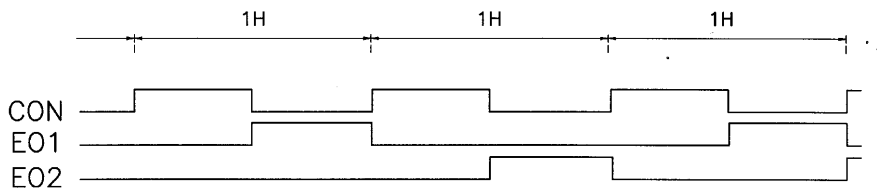
【図10】



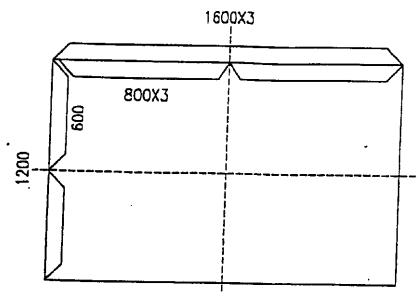
【図6】



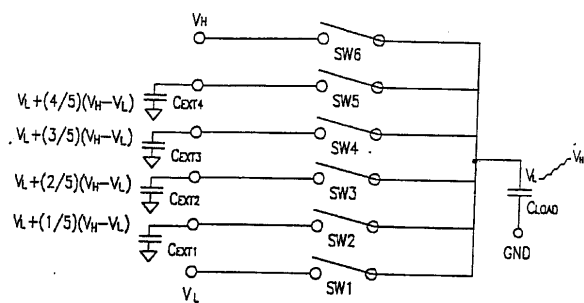
【図8】



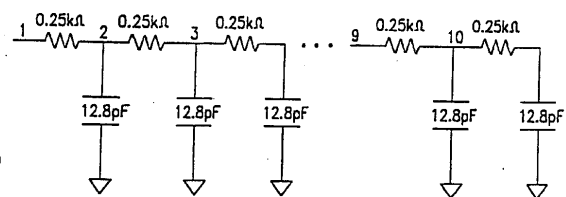
【図14】



【図11】



【図15】

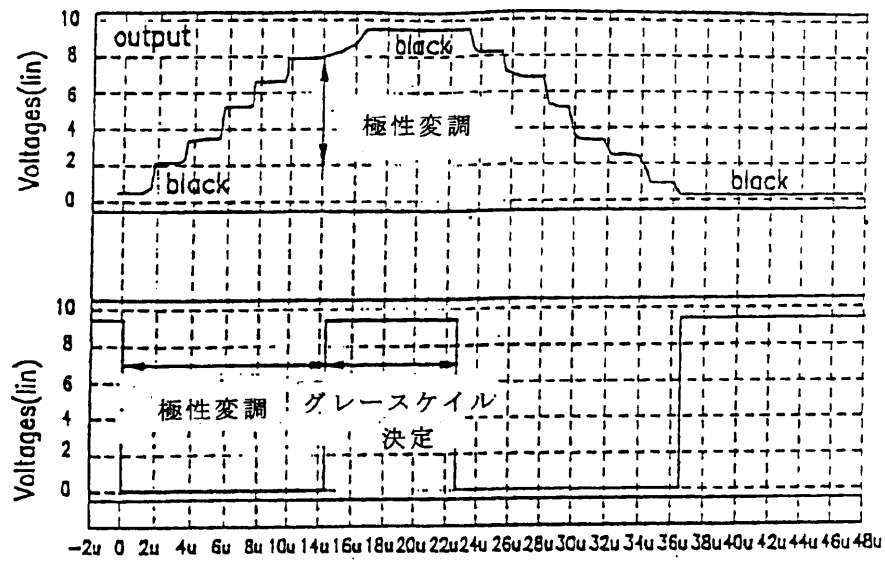


```

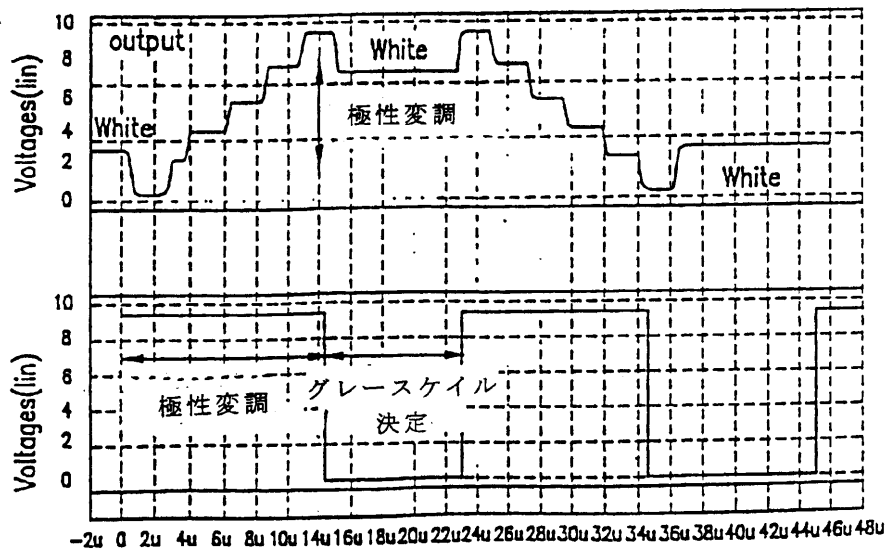
graph TD
    VCLK --> 31
    VSYNC --> 31
    31 --> 32
    32 --> 33
    33 --> G1
    33 --> G2
    33 --> G3
    33 --> Gn_1[Gn-1]
    33 --> Gn
  
```

Figure 1 is a block diagram of the image processing circuit 100. The circuit includes three main functional blocks: a shift register section (31), a level shifter section (32), and an output buffer section (33). The shift register section (31) receives VCLK and VSYNC inputs. The level shifter section (32) receives inputs from the shift register section (31). The output buffer section (33) receives inputs from the level shifter section (32) and outputs a series of signals: G1, G2, G3, ..., Gn-1, Gn.

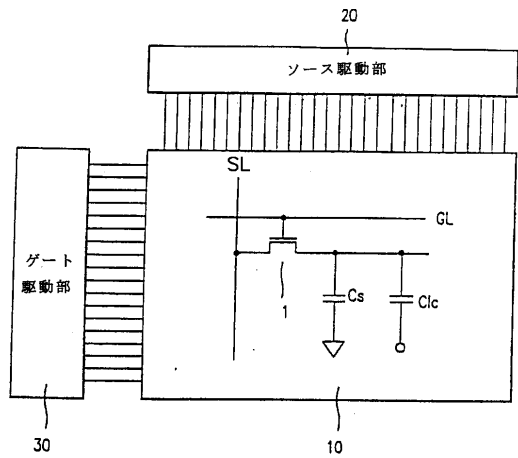
【図16】



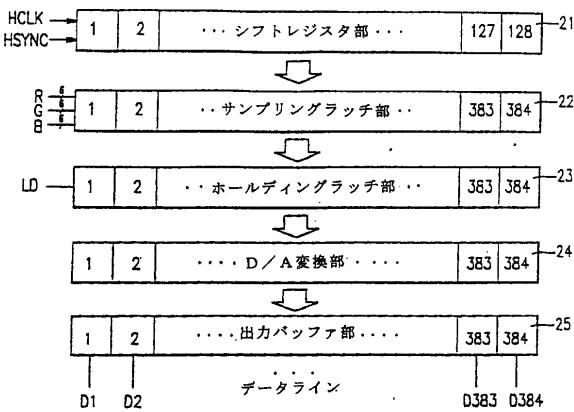
【図17】



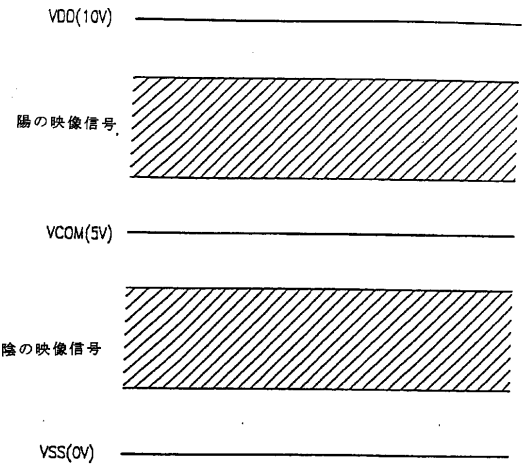
【図18】



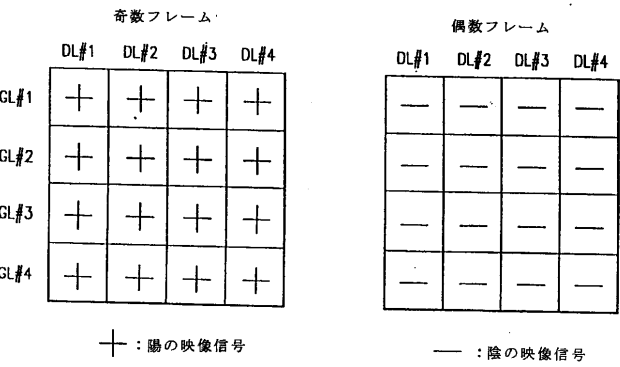
【図19】



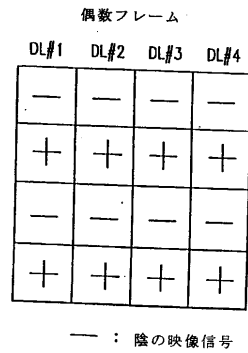
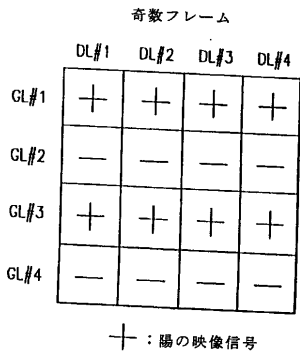
【図21】



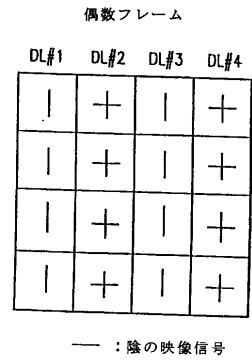
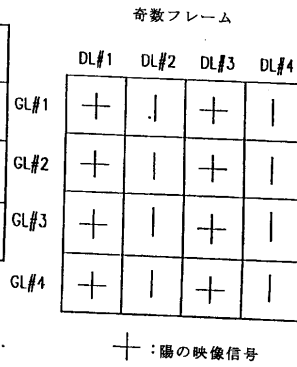
【図22】



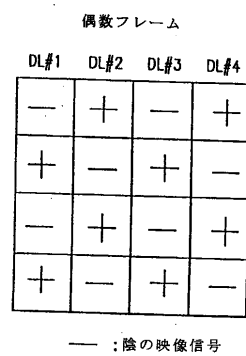
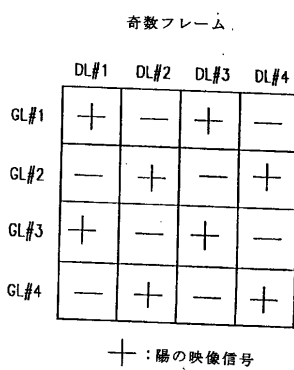
【図23】



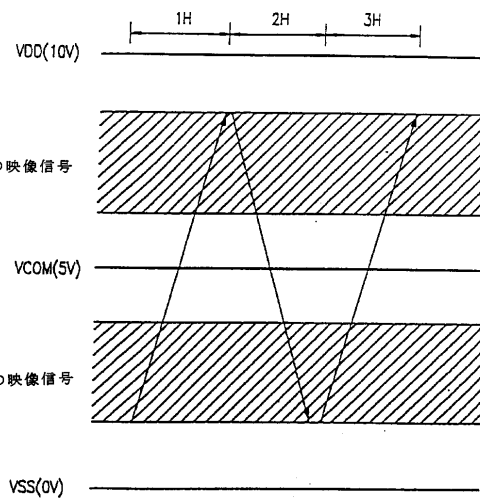
【図24】



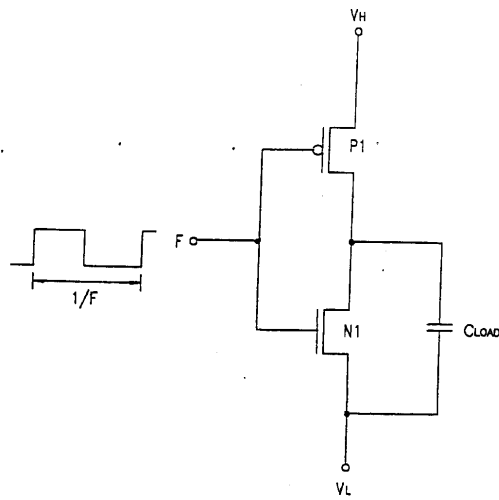
【図25】



【図26】



【図27】



フロントページの続き

(51) Int.Cl.⁷

H 0 4 N 5/66

識別記号

1 0 2

F I

H 0 4 N 5/66

テ-マコード(参考)

1 0 2 B

专利名称(译)	液晶显示装置的源极驱动电路和源极驱动方法		
公开(公告)号	JP2001100713A	公开(公告)日	2001-04-13
申请号	JP2000236912	申请日	2000-08-04
[标]申请(专利权)人(译)	NTT高科技研究		
申请(专利权)人(译)	NTT技术研究公司		
[标]发明人	權五敬		
发明人	權 五敬		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/2011 G09G3/3614 G09G3/3677 G09G3/3688 G09G2310/0248 G09G2310/0297 G09G2320/0247 G09G2330/023		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.621.B G09G3/20.623.R H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA51 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/NC28 2H093/NC34 2H093/ND39 2H093/ND49 2H193/ZA04 2H193/ZC04 2H193/ZC07 2H193/ZC13 2H193/ZC16 2H193/ZD21 5C006/AA01 5C006/AA16 5C006/AC26 5C006/AF41 5C006/AF81 5C006/AF82 5C006/BB16 5C006/BC12 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/BF25 5C006/FA47 5C006/FA56 5C058/AA06 5C058/BA02 5C058/BA04 5C058/BA07 5C058/BA09 5C058/BA26 5C058/BB06 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
优先权	1999P32152 1999-08-05 KR		
其他公开文献	JP3615130B2		
外部链接	Espacenet		

摘要(译)

能够降低功耗的液晶显示装置的源极驱动电路及其驱动方法。源极驱动电路根据外部控制信号CON选择用于对源极线进行极性调制的极性调制单元 (60、70) 和输出缓冲单元 (50) 的输出或极性调制单元的输出中的一个。它由将数据输出到像素的多个多路复用器单元80组成。可以在极性调制和灰度确定的两个阶段中分别施加每个视频信号的电压，并且可以通过逐步充电和放电来执行极性调制。

