

(19)日本国特許庁 (J P)

公開特許公報 (A)

(11)特許出願公開番号

特開2000 - 307424

(P2000 - 307424A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl ⁷	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 1/10			H 0 3 M 1/10	B
G 0 2 F 1/133	505		G 0 2 F 1/133	505
G 0 9 F 9/35	305		G 0 9 F 9/35	305
G 0 9 G 3/20	611		G 0 9 G 3/20	611 H
	623			623 F

審査請求 未請求 請求項の数 7 O L (全 8 数) 最終頁に続く

(21)出願番号 特願2000 - 30625(P2000 - 30625)

(22)出願日 平成12年2月8日(2000.2.8)

(31)優先権主張番号 特願平11 - 37319

(32)優先日 平成11年2月16日(1999.2.16)

(33)優先権主張国 日本(JP)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 吉田 大介

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 100065385

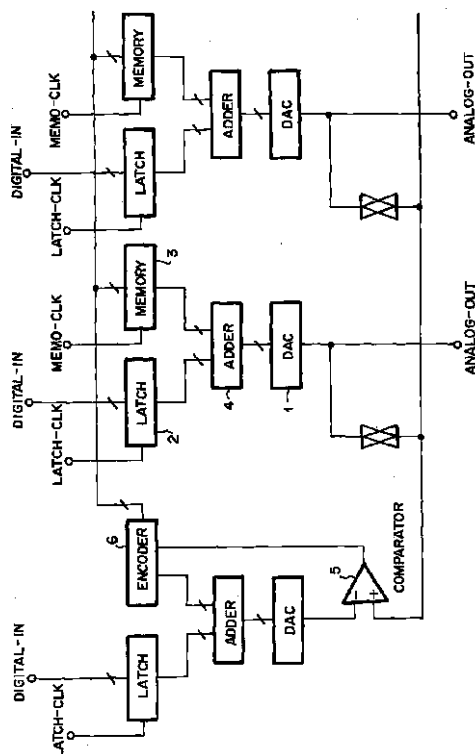
弁理士 山下 穰平

(54)【発明の名称】 電子回路およびそれを用いた液晶表示装置

(57)【要約】

【課題】 D Aコンバータのオフセットばらつきがあっても、これを補正することが可能であり、全D Aコンバータの特性を同一にする。さらに、これにより液晶表示装置を駆動し、全体にばらつきのない均一な表示を行わせる。

【解決手段】 D Aコンバータ1は水平方向に複数配され、各々にデジタル信号を記憶するラッチ回路2、オフセット補正データを記憶するメモリ回路3、前記デジタル信号に前記オフセット補正データを加算する加算回路4を有している。また、左端の回路は、各D Aコンバータ1のオフセット量を測定し、オフセット量をデジタルデータに変換する回路であり、ラッチ回路2とD Aコンバータ1と水平方向に配されたD Aコンバータ1のアナログ出力と前記オフセット量測定回路中のD Aコンバータのアナログ出力を比較する比較器5の出力によってデジタルのオフセット補正データを発生するエンコーダ回路6から成っている。



【特許請求の範囲】

【請求項 1】 複数の第 1 D A コンバータを含み、前記第 1 D A コンバータの各々は、オフセット量を補正するためのデジタルデータを記憶するオフセット記憶手段と、

前記デジタルの入力信号に対し前記オフセット量を補正するためのデジタルデータを加算又は減算する演算手段とを有することを特徴とする電子回路。

【請求項 2】 前記オフセット量を補正するための A D コンバータを少なくとも 1 つ有し、

前記 A D コンバータの出力を前記オフセット記憶手段に記憶することを特徴とする請求項 1 記載の電子回路。

【請求項 3】 複数の第 1 D A コンバータを含む電子回路であって、

前記第 1 D A コンバータの各々は、オフセット量を補正するためのデジタルデータを記憶するオフセット記憶手段と、前記デジタルの入力信号に対し前記オフセット量を補正するためのデジタルデータを加算又は減算する演算手段と、

前記オフセット量を補正するための少なくとも 1 つの A D コンバータとを備え、

前記 A D コンバータは更に、

1 つの第 2 D A コンバータと、

デジタル信号の上位ビットから順に信号を転送するシフトレジスタと、

デジタル入力信号とシフトレジスタの出力信号を加算する加算手段と、

前記加算されたデジタル信号を前記第 2 D A コンバータによってアナログ信号に変換し、前記第 1 D A コンバータのアナログ出力と、前記第 2 D A コンバータのアナログ出力とを比較する手段と、

前記比較手段の出力によってデジタルオフセット補正信号を発生するエンコーダ手段とを備え、

前記 A D コンバータの出力を前記オフセット記憶手段に記憶することを特徴とする電子回路。

【請求項 4】 前記第 1 D A コンバータは外部から入力されるデジタル信号のビット数 n よりも少なくとも 2 ビット多いビット数 m の入力が可能であり、D A コンバータの下位 L ビット ($L \geq 1$) には k ビットのオフセット補正データの下位 L ビットを入力し、上位 ($m - L$) ビットには n ビットのデジタル入力信号とオフセット補正信号の上位 ($k - L$) ビットの信号を加算したデジタル信号を入力することを特徴とした請求項 1、3 のいずれか一つに記載された電子回路。

【請求項 5】 前記第 1 D A コンバータは、複数の連続したレベルの基準電圧発生回路を有し、 n ビットのデジタル入力信号のうち上位 j ビットの信号によって前記連続した基準電圧のうち i 番目と ($i + 2$) 番目の 2 つを選択し、下位 $n - j$ ビットの信号によって前記 2 つの基準電圧レベルの間をさらに分割することを特徴とする請

求項 1、3 のいずれか一つに記載された電子回路。

【請求項 6】 複数の走査線と複数の信号線を有し、前記複数の走査線と前記複数の信号線の交点にスイッチを介して接続された画素電極を形成したアクティブマトリクス回路基板と、対向基板との間に液晶を挟持してなる液晶表示装置において、前記複数の信号線に映像信号を供給する手段が請求項 1 乃至 5 のいずれか一つに記載された電子回路であることを特徴とする液晶表示装置。

【請求項 7】 前記アクティブマトリクス回路と、前記信号線に映像信号を供給する電子回路は、同一基板上に形成されていることを特徴とする請求項 6 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の D A コンバータからなる電子回路及びそれを用いた液晶表示装置に関し、特に、D A コンバータは各々にオフセット量を補正するためのデジタルデータを記憶する手段を有し、デジタルの入力信号に対し前記オフセット量を補正するためのデジタルデータを加算又は減算する手段を有する D A コンバータからなる電子回路及びそれを用いた液晶表示装置に関する。

【0002】

【従来の技術】従来、複数の D A コンバータを使用した回路としては、図 7 に示したようにデータラッチ回路と D A コンバータのみで構成されている。このような回路を液晶表示装置に応用した場合、図 8 に示すようになる。図においては複数の垂直信号線に映像信号を転送する手段として、複数の D A コンバータを用いている。

【0003】

【発明が解決しようとする課題】しかし、上記した従来技術には以下に述べる問題点があった。すなわち、各々の D A コンバータは少なからず特性にばらつきがあり、特に出力段のアナログバッファ回路に C M O S 構成のアンプを用いた場合、D C オフセットが各アンプ毎に大きく異なってしまう。ある垂直信号線には必ず 1 つの D A コンバータから信号が書込まれるため、D A コンバータの特性ばらつきがそのまま画像表示のばらつきとして視認され、より具体的には、D A コンバータのブロック毎に縦の帯状のパターンが視認され、表示品位を低下させるという問題点があった。

【0004】そこで、本発明は、D A コンバータのオフセットばらつきがあっても、これを補正することが可能であり、全 D A コンバータの特性を同一にすることが可能な回路を提供することを課題としている。さらに、本発明は、これを液晶表示装置に応用することにより、全体にばらつきのない均一な表示特性の液晶表示装置を実現することを課題としている。

【0005】

【課題を解決するための手段】上記の課題を解決するた

めの本発明の電子回路は、複数の第 1 D A コンバータを含み、前記第 1 D A コンバータの各々は、オフセット量を補正するためのデジタルデータを記憶するオフセット記憶手段と、前記デジタルの入力信号に対し前記オフセット量を補正するためのデジタルデータを加算又は減算する演算手段とを有する。

【0006】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態について説明する。

【0007】図 1 は本発明の電子回路のブロック図である。図において D A コンバータ 1 は図の水平方向に複数配されており、各々にデジタル信号を記憶するラッチ回路 2、オフセット補正データを記憶するメモリ回路 3、前記デジタル信号に前記オフセット補正データを加算する加算回路 4 を有している。また、図の左端に示す回路は、各 D A コンバータのオフセット量を測定し、前記オフセット量をデジタルデータに変換する回路であり、デジタル信号を記憶するラッチ回路 2 とデジタルデータをアナログ信号に変換する D A コンバータ 1 と水平方向に配された D A コンバータ 1 のアナログ出力と前記オフセ 20 ット量測定回路中の D A コンバータのアナログ出力を比較する比較器 5 の出力によってデジタルのオフセット補正データを発生するエンコーダ回路 6 から成っている。

【0008】次に、本発明回路の動作について説明する。まず各データラッチ回路に同レベルのデジタルデータを転送する。このとき各オフセット補正データを記憶するメモリ回路は所定のレベルにリセットする。各 D A コンバータには同一レベルのデジタル信号が転送されるが、各 D A コンバータのアナログ出力は、各々の D A コンバータに固有のオフセット量が上乘せされているため、各々のアナログ出力値が異なっている。ここで各 D A コンバータの出力に接続されたスイッチを順次オンしていく。そして各々の D A コンバータのアナログ出力はオフセット補正データ発生 A D コンバータ回路内の D A コンバータのアナログ出力と比較され、各 D A コンバータのアナログ出力の、オフセット補正 A D コンバータ内の D A コンバータのアナログ出力に対するオフセット量が測定され、このオフセット量はエンコーダ回路によってデジタルデータとして出力され、各々の D A コンバータ毎に配されたメモリ回路に順次書込まれる。 30

【0009】以上の動作により各 D A コンバータ毎に配されたオフセット補正用メモリ回路に各 D A コンバータ毎のオフセット量に対応するデータが記憶された状態となり、全 D A コンバータはこれ以降同等の特性を得られるようになる。

【0010】図 2 は本発明の電子回路を液晶表示装置に応用した実施形態を示したブロック図である。図において、D A コンバータのアナログ出力は信号転送スイッチを介して垂直信号線に転送される。画素部は画素トランジスタ、付加容量、液晶からなり、垂直シフトレジスタ 40

の出力によって順次走査線が選択され、該画素トランジスタがオン状態となり、画素電極に信号が書込まれる。先に述べたオフセット補正のための動作は電源投入時に行えばよく、さらに望ましくは 1 フィールド毎のブランキング期間に行えばよい。

【0011】以上により、D A コンバータの特性ばらつきがあってもそれぞれに関して補正されているので、全体として均一な表示が得られる。

【0012】図 3、図 4、図 5 は本発明の電子回路の D A コンバータのブロック図である。図においては、デジタル入力信号が 8 ビットであり、上位 3 ビットと下位 5 ビットを分離して D A 変換を行う例を示している。本実施形態ではオフセット補正はデジタル入力信号の (1 / 2) L S B まで可能である。

【0013】図 4 の回路で直列の抵抗分割とバッファ回路によって 10 ヶの基準電圧を発生させる。

【0014】そして図 5 の回路において、デジタル信号の上位 3 ビットをデコードして前記 10 ヶの基準電圧源のうち 1 つ間をおいた 2 ヶを選択する。

【0015】次にデジタル入力信号の下位 5 ビットと、5 ビットのオフセット補正信号のうち上位 4 ビットとを加算し 6 ビットのデータを発生させる。先に選択された 2 ヶの基準電圧は図示の 7 ビット D A 変換器に入力され、この 2 ヶの基準電圧のレンジ内を D A 変換する。ここでは前記デジタル入力信号の下位 5 ビットとオフセット補正デジタル信号の上位 4 ビットを加算した結果である 6 ビットのデータを、前記 7 ビット D A コンバータの上位 6 ビットに入力し、前記オフセット補正信号の最下位 1 ビットを前記 7 ビット D A コンバータの最下位 1 ビットに入力する。以上によりオフセット補正はデジタル入力信号の 1 / 2 L S B の精度で可能であり、補正レンジとしては入力デジタル信号の 15 L S B まで可能となる。

【0016】図 6 は本発明の電子回路の A D コンバータ回路のブロック図である。本実施形態ではシフトレジスタ回路の出力を最上位ビットから順次入力し、このデータとデジタル入力データを加算したデータを D A 変換し、このアナログ出力を不図示の D A コンバータのアナログ出力と逐次比較する。この動作を D A コンバータの最下位ビットまで繰り返すことにより、デジタルの補正データが確定する。この結果をエンコーダ回路によってエンコードし、各々の D A コンバータ毎のメモリに記憶する。

【0017】以上、本発明の本実施形態について説明したが、本発明は液晶表示装置への適用に限らず、音声処理回路、画像処理回路等に適用してもよい。

【0018】

【発明の効果】以上説明した本発明によれば、D A コンバータのオフセット量にばらつきがあっても各々に関して固有の補正が可能であるため、全ての D A コンバータ

は結果的に同一の特性が得られ、このような回路を液晶表示装置に応用した場合、全体にわたって均一な表示が得られる。

【図面の簡単な説明】

【図1】本発明に係る電子回路の実施形態を示した回路ブロック図である。

【図2】本発明に係る液晶表示装置の実施形態を示したブロック図である。

【図3】本発明に係るD/Aコンバータを示した回路ブロック図である。

【図4】本発明に係るD/Aコンバータを示した回路ブロック図である。

【図5】本発明に係るD/Aコンバータを示した回路ブロック図である。

10

*【図6】本発明に係るA/Dコンバータ回路部の実施形態を示した回路図である。

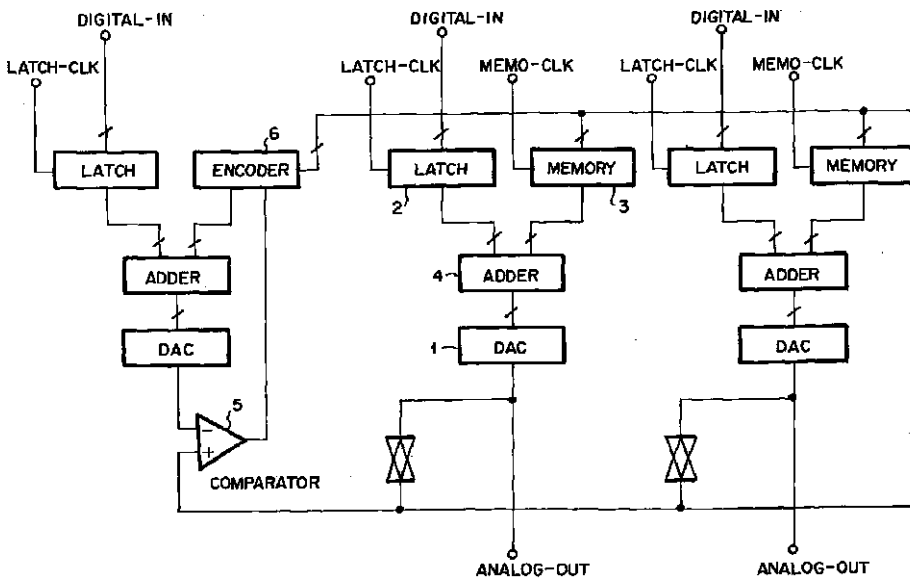
【図7】従来技術のD/Aコンバータを用いた回路を示したブロック図である。

【図8】従来技術の回路を液晶表示装置に応用した場合を示したブロック図である。

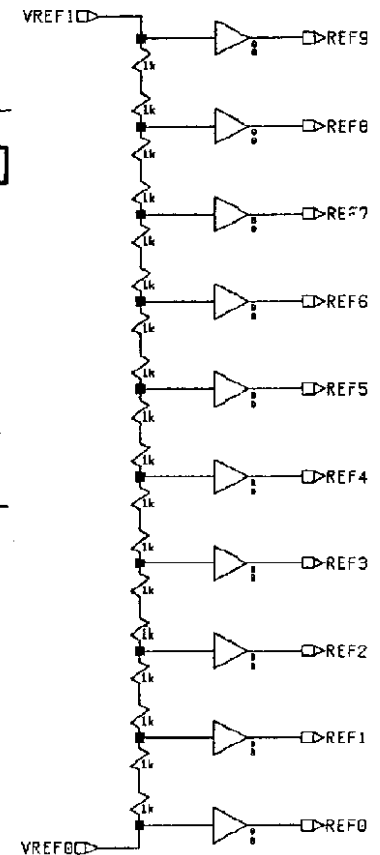
【符号の説明】

- 1 D/Aコンバータ
- 2 ラッチ回路
- 3 メモリ回路
- 4 加算回路
- 5 比較器
- 6 エンコーダ回路

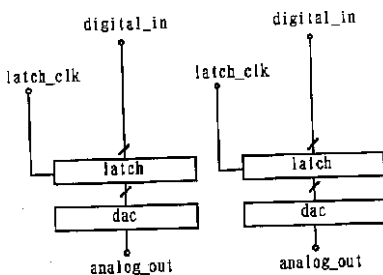
【図1】



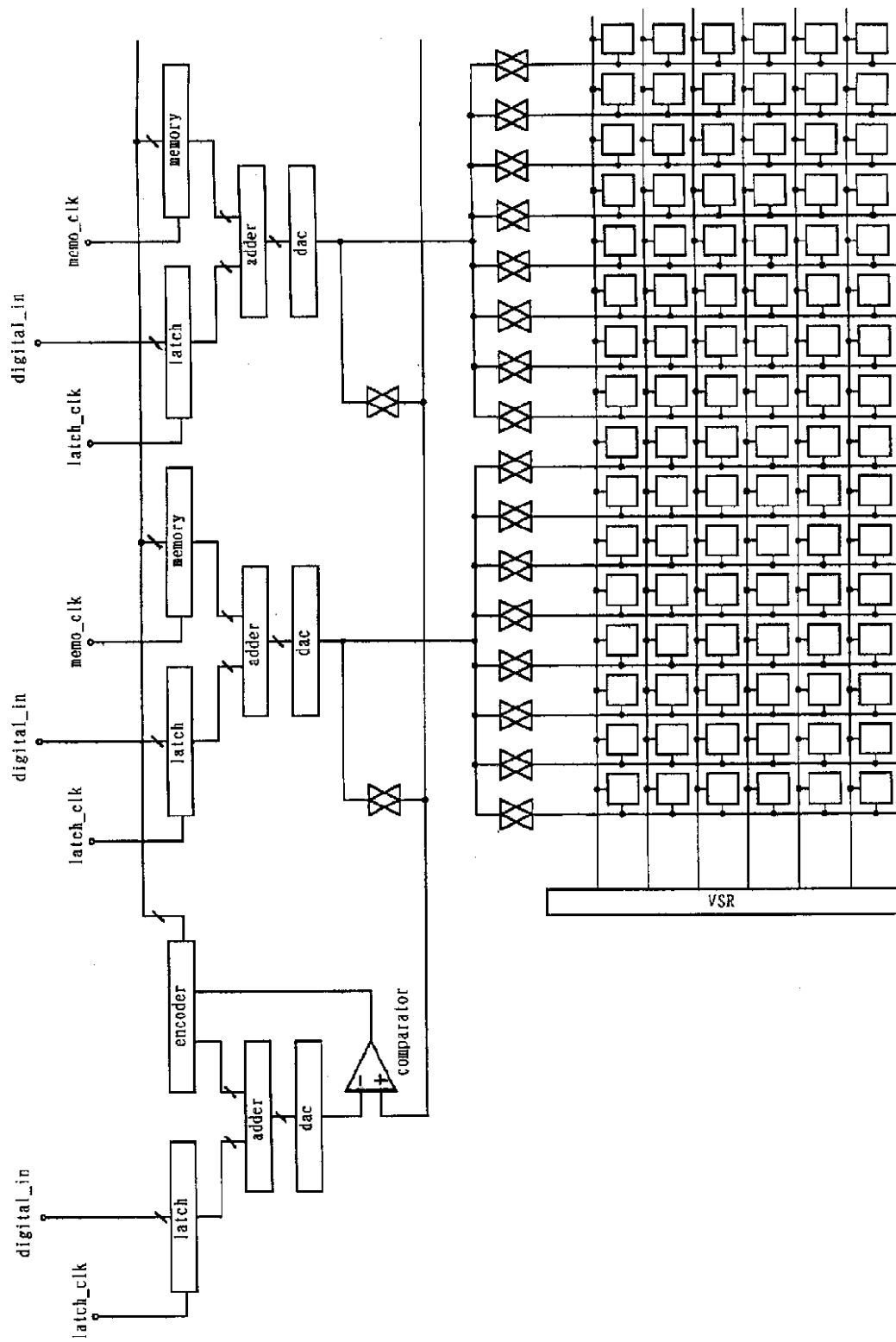
【図4】



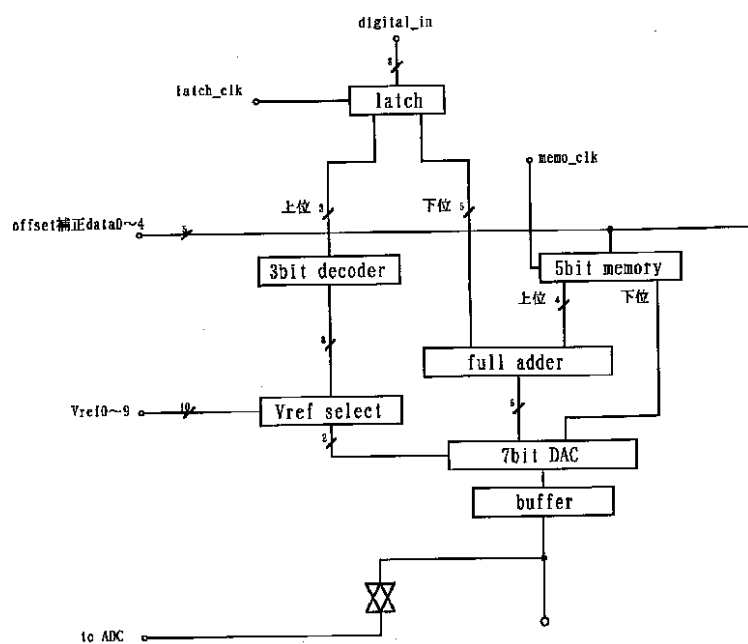
【図7】



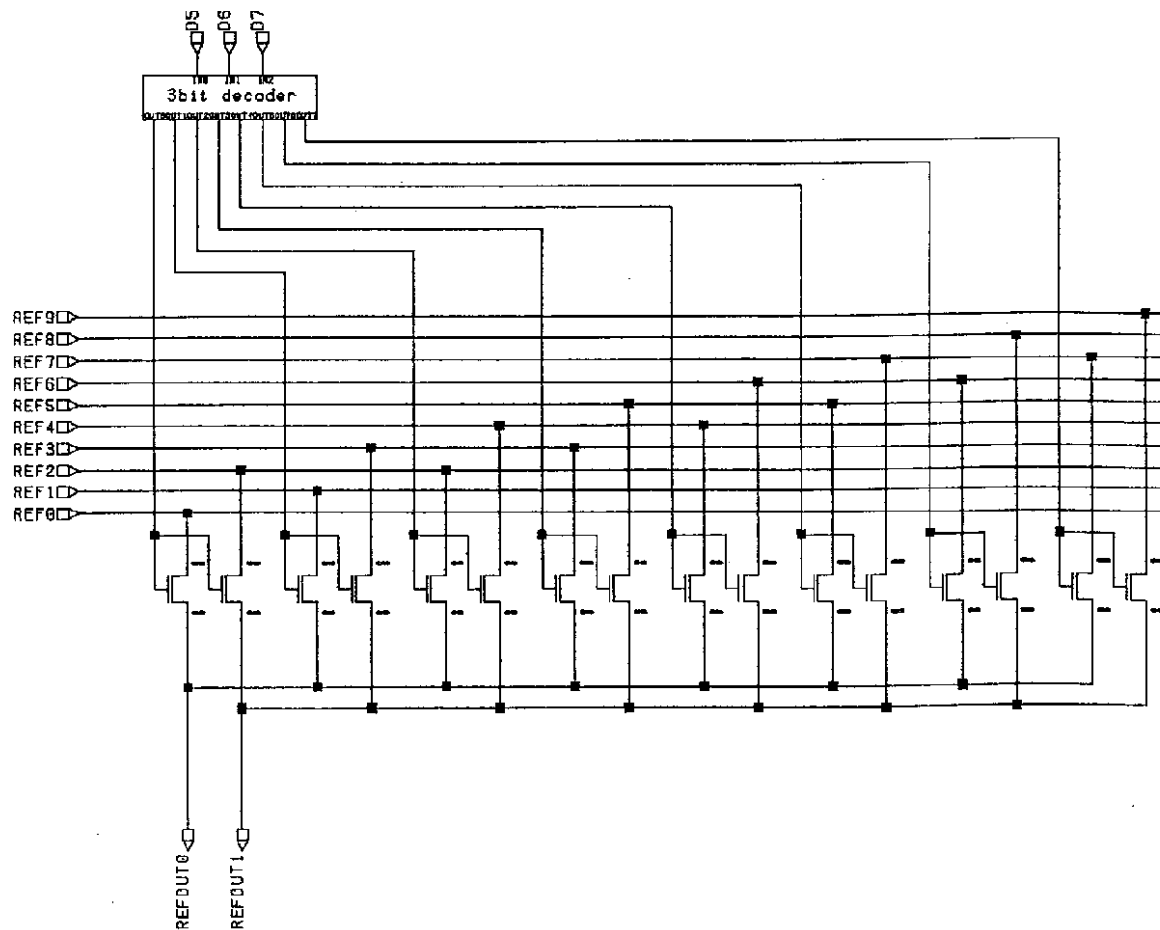
【図2】



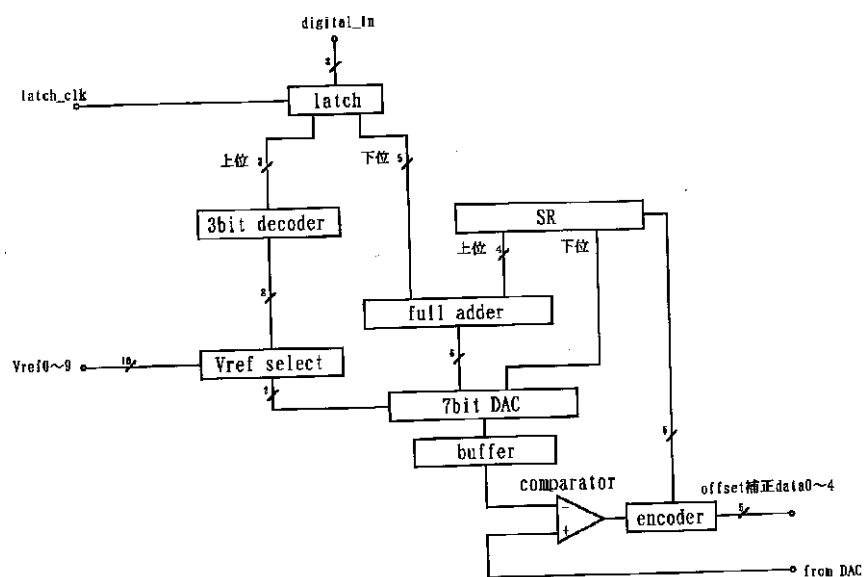
【図3】



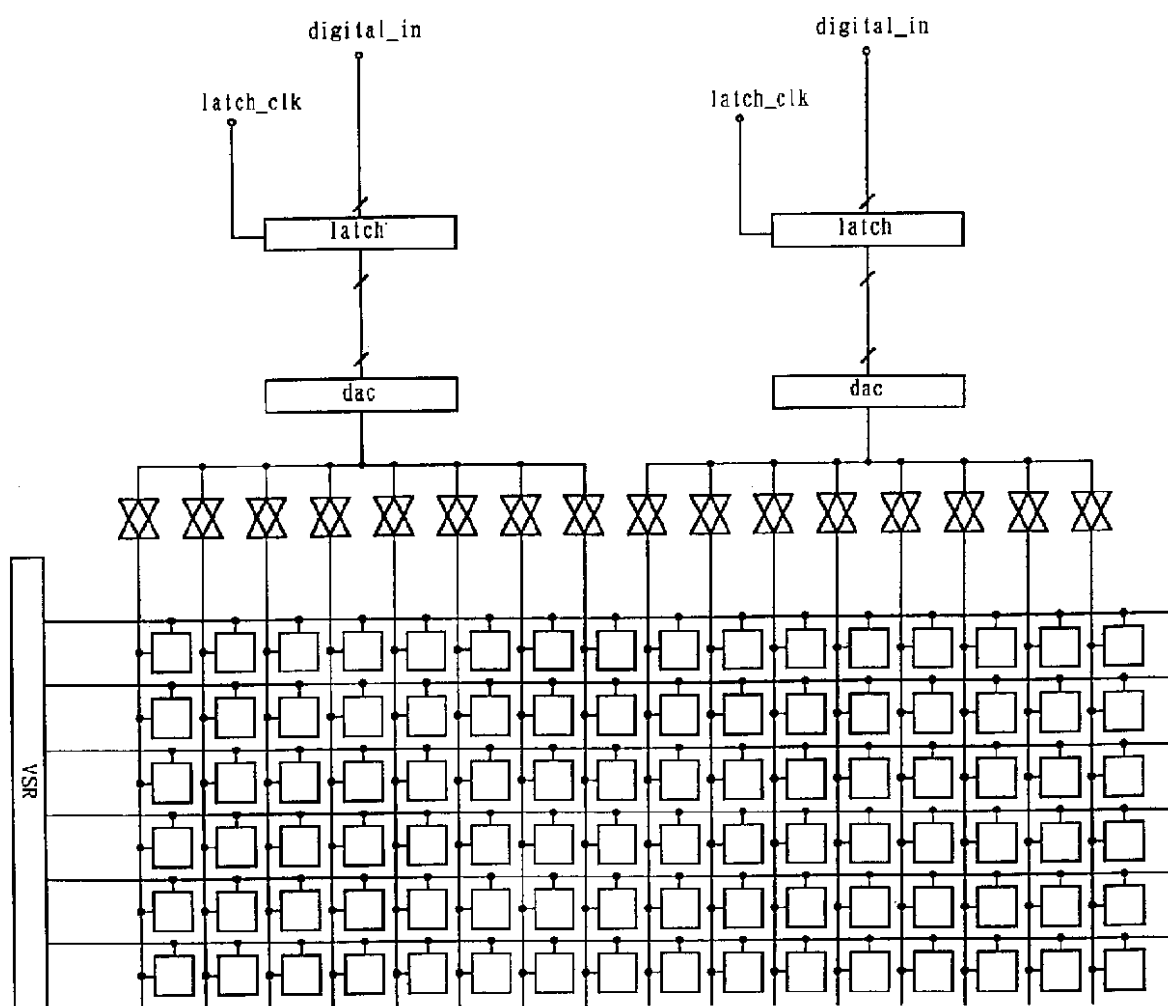
【図5】



【図6】



【図8】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト (参考)
G 0 9 G 3/36		G 0 9 G 3/36	
H 0 3 M 1/66		H 0 3 M 1/66	C

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2000307424A5	公开(公告)日	2005-04-28
申请号	JP2000030625	申请日	2000-02-08
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	吉田大介		
发明人	吉田 大介		
IPC分类号	G09F9/35 H03M1/66 G09G3/36 H03M1/10 G02F1/133 G09G3/20		
FI分类号	H03M1/10.B G02F1/133.505 G09F9/35.305 G09G3/20.611.H G09G3/20.623.F G09G3/36 H03M1/66.C		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC21 2H093/NC22 2H093/NC24 2H093/NC25 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC35 2H093/NC62 2H093/ND05 2H093/ND06 2H093/ND09 2H093/ND60 2H193/ZA04 2H193/ZD23 2H193/ZD32 2H193/ZD34 5C006/AA16 5C006/AF13 5C006/AF46 5C006/AF83 5C006/BF04 5C006/BF14 5C006/BF25 5C006/BF26 5C006/BF28 5C006/BF34 5C006/FA22 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF09 5C080/JJ02 5C080/JJ03 5C094/AA03 5C094/AA55 5C094/BA43 5C094/CA19 5C094/DA09 5C094/GA10 5J022/AA01 5J022/AB01 5J022/AB09 5J022/BA03 5J022/CB06 5J022/CD02 5J022/CD03 5J022/CE09 5J022/CF01 5J022/CG01		
优先权	1999037319 1999-02-16 JP		
其他公开文献	JP3825949B2 JP2000307424A		

摘要(译)

要解决的问题：纠正DA转换器的失调变化，并使所有DA转换器的特性相同。此外，由此，驱动液晶显示装置，并且整体上进行没有偏差的均匀显示。在水平方向上排列有多个DA转换器1，每个DA转换器1具有用于存储数字信号的锁存电路2，用于存储偏移校正数据的存储电路3，以及用于将偏移校正数据与数字信号相加的加法器电路4。有左端的电路是测量每个DA转换器1的偏移量并将该偏移量转换为数字数据的电路，锁存电路2，DA转换器1和DA转换器1的模拟输出沿水平方向布置。编码器电路6通过比较器5的输出生成数字偏移校正数据，该比较器5比较偏移量测量电路中的DA转换器的模拟输出。