

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5232956号
(P5232956)

(45) 発行日 平成25年7月10日(2013.7.10)

(24) 登録日 平成25年4月5日(2013.4.5)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 611J
	G09G 3/20 612K
	G09G 3/20 621F
	請求項の数 5 (全 24 頁) 最終頁に続く

(21) 出願番号	特願2004-532810 (P2004-532810)	(73) 特許権者	512187343
(86) (22) 出願日	平成15年8月26日(2003.8.26)		三星ディスプレイ株式会社
(65) 公表番号	特表2006-516049 (P2006-516049A)		Samsung Display Co., Ltd.
(43) 公表日	平成18年6月15日(2006.6.15)		大韓民国京畿道龍仁市器興区三星二路95
(86) 国際出願番号	PCT/KR2003/001720		95, Samsung 2 Ro, Gih eung-Gu, Yongin-City
(87) 国際公開番号	W02004/021322		, Gyeonggi-Do, Korea
(87) 国際公開日	平成16年3月11日(2004.3.11)	(74) 代理人	100121382
審査請求日	平成18年6月15日(2006.6.15)		弁理士 山下 託嗣
(31) 優先権主張番号	10-2002-0052020	(72) 発明者	ムン, スンフワン
(32) 優先日	平成14年8月30日(2002.8.30)		大韓民国, ギョンギド 449-843
(33) 優先権主張国	韓国 (KR)		, ヨンキンシ, スジウプ, サンヒョン
			ーリ, 205-1504 ヒュンダイ 1
			ーパーク 6-チャ アパート
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

外部からの信号に応じて画像信号、第1及び第2タイミング信号、クロック発生制御信号を出力するタイミング制御部と、

前記クロック発生制御信号にตอบสนองして同位相における極性が反転された第1及び第2クロックを発生し、前記第1及び第2クロックを制御して第1区間の間のゲート駆動信号の電圧レベルを決定し、第2区間の間前記第1及び第2クロックが充電または放電するように制御するクロック発生部と、

前記第1タイミング信号、前記第1及び第2クロックにตอบสนองして順次に前記ゲート駆動信号を出力するゲート駆動部と、

前記第2タイミング信号にตอบสนองして前記画像信号を出力するデータ駆動部と、

前記画像信号の提供を受ける複数のデータラインと、前記ゲート駆動信号の提供を受ける複数のゲートラインと、前記データラインとゲートラインに連結され前記ゲート駆動信号にตอบสนองして前記画像信号を出力するスイッチング素子とを有する液晶パネルと、
を含み、

前記クロック発生制御信号は、

前記第1及び第2クロックが反復的にハイ区間を有するように制御するゲートクロック信号CPVと、

前記ゲート駆動部から連続して出力されるゲート駆動信号が互いに異なる位相を有するように制御するイネーブル信号OEと、

10

20

前記第 1 及び第 2 クロック信号を充電または放電させる充電/放電制御信号 C H C と、
を含み、

前記クロック発生部は、

前記ゲートクロック信号 C P V 及び前記イネーブル信号 O E に応じて、所定電圧を有する前記第 1 及び第 2 クロック信号を出力する電圧印加回路と、

前記ゲートクロック信号 C P V 及び前記充電/放電制御信号 C H C に応じて、前記電圧印加回路からの前記第 1 及び第 2 クロック信号の出力が停止されるとき、前記第 1 及び第 2 クロック信号を充放電する充放電回路とを有し、

前記第 2 区間には、前記充放電回路により前記第 1 及び第 2 クロック信号の出力経路を短絡して前記第 1 及び第 2 クロック信号を充放電する第 4 区間が含まれ、

10

前記第 1 区間には、

前記充放電回路によって前記第 1 及び第 2 クロック信号の出力経路の短絡が切断されて分離され、かつ、前記電圧印加回路から第 1 電源電圧 V o n 及び第 2 電源電圧 V o f f を有する前記第 1 及び第 2 クロック信号を出力する第 3 区間と、

前記第 3 区間及び前記第 4 区間の間の区間であり、前記充放電回路によって前記第 1 及び第 2 クロック信号の出力経路の短絡が切断されて分離され、かつ、前記電圧印加回路からの前記第 1 及び第 2 クロック信号の出力が停止される第 5 区間と、が含まれ、

前記第 1 クロックは前記第 1 区間で前記第 1 電源電圧 V o n を保持し、前記第 2 区間で第 1 極性を有し、

前記第 2 クロックは前記第 1 区間で前記第 1 電源電圧 V o n と極性が反転した前記第 2 電源電圧 V o f f を保持し、前記第 2 区間で前記第 1 極性と極性が反転した第 2 極性を有し、前記第 1 クロック及び第 2 クロックは、傾きを有し、

20

偶数番目のゲート駆動信号は前記第 2 クロックに应答し、奇数番目のゲート駆動信号は前記第 1 クロックに应答することで、前記ゲート駆動信号は前記第 1 電源電圧 V o n 及び第 2 電源電圧 V o f f に対応した信号として生成され、

前記第 2 区間において、前記充放電回路により前記第 1 及び第 2 クロック信号が充放電され、前記奇数番目のゲート駆動信号が前記第 2 電源電圧 V o f f から V だけ充電されて第 1 電圧となるまでは、前記偶数番目のゲート駆動信号は前記第 1 電源電圧 V o n から前記 V だけ放電されるとともに、前記奇数番目のゲート駆動信号が前記第 1 電圧となると前記偶数番目のゲート駆動信号は前記第 2 電源電圧 V o f f まで放電されることを特徴とする液晶表示装置。

30

【請求項 2】

前記クロック発生部は、

前記第 1 タイミング信号の入力を受け、前記 O E 信号に同期し、第 1 端を通じて第 1 クロックイネーブル信号 O C S を出力し第 2 端を通じて第 2 クロックイネーブル信号 E C S を出力する D - フリップ・フロップをさらに有し、

前記電圧印加回路は、

前記 C P V 信号、O E 信号及び O C S 信号に应答して前記第 1 区間の間一定電圧を保持する前記第 1 クロックを出力する第 1 電圧印加回路と、

前記 C P V 信号、O E 信号及び E C S 信号に应答して前記第 1 区間の間一定電圧を保持する前記第 2 クロックを出力する第 2 電圧印加回路と、を有し、

40

前記充放電回路は、前記ゲートクロック信号 C P V 及び前記充電/放電制御信号 C H C に応じて、前記第 1 及び第 2 電圧印加回路からの前記第 1 及び第 2 クロック信号の出力が停止されるとき、前記第 1 及び第 2 クロック信号を充放電することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記第 1 電圧印加回路は、

前記 O C S 信号のハイ区間に应答して前記第 1 クロックに第 1 電源電圧を出力するための第 1 電源電圧供給部と、

前記 O C S 信号のロー区間に応じて前記第 1 クロックに第 2 電源電圧を出力するための

50

第2電源電圧供給部と、を含むことを特徴とする請求項2記載の液晶表示装置。

【請求項4】

前記第2電圧印加回路は、

前記ECS信号のハイ区間に応じて前記第2クロックに第1電源電圧を出力するための第1電源電圧供給部と、

前記ECS信号のロー区間に応じて前記第2クロックに第2電源電圧を出力するための第2電源電圧供給部と、を含むことを特徴とする請求項2記載の液晶表示装置。

【請求項5】

前記充放電回路は、

前記第2クロックの放電の際、前記第1クロックを充電し、前記第1クロックの放電の際前記第2クロックを充電するクロック充電部と、

前記第1及び第2クロック電圧回路のターンオフの際、前記CPV信号とCHC信号に応答して前記クロック充電部をオン/オフさせ、前記クロック充電部の動作時間を制御する充電制御部と、

を含むことを特徴とする請求項2記載の液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、さらに詳細には改善された表示特性を有する液晶表示装置に関する。

20

【背景技術】

【0002】

一般に、液晶表示装置は、それぞれの内面に形成された電極を有する2つの基板と2つの基板の間に介在された液晶層を含む。このような液晶表示装置は、電極に電圧を印加して液晶分子配列を変換させ、液晶層を通じて透過された光の量を調節することによって所望する画像を得る。

【0003】

現在、TFT-LCDが液晶表示装置の最も一般的な形態である。電極は2つの基板上にそれぞれ形成され、薄膜トランジスタは各電極に提供された電源をスイッチングするために使用される。薄膜トランジスタは2つの基板のうちいずれか一つに形成される。一般的に、薄膜トランジスタが単位画素領域に形成された液晶表示装置はアモルファスシリコンa-Si液晶表示装置と、ポリシリコン(poly-Si)液晶表示装置と、で区別される。

30

【0004】

ポリシリコン液晶表示装置は素子動作を高速化することができ、素子の低電力駆動が可能な長所がある反面、薄膜トランジスタ製造工程が複雑な短所がある。従って、ポリシリコンpoly-Si液晶表示装置は、小型表示装置に主に適用され、a-Si液晶表示装置は主なノートブックPC、LCDモニター、HDTVなどの大きい画面表示装置に適用される。

40

【0005】

最近には、a-Si液晶表示装置でもポリシリコン液晶表示装置のように液晶表示パネルのガラス基板上にデータ駆動回路及びゲート駆動回路を形成することで組立工程の数を減少させようとする技術開発に力を注いでいる。

【0006】

一方、使用者の要求に応じて液晶表示装置は漸次大型サイズを有し、高解像度を追求する方向に開発されつつある。このような問題を解決するためにはある所定時間内にさらに多くの信号線を動作させる技術が要求される。

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 7 】

従って、本発明の第1目的は、高速動作を可能にする液晶表示装置を提供することにある。

本発明の第2目的は、ゲート駆動信号の遅延を防止することができる液晶表示装置を提供することにある。

【 0 0 0 8 】

本発明の第3目的は、リダンダンシー *redundancy* 機能を有しゲート駆動信号の遅延を防止することができる液晶表示装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 9 】

前述した目的を達成するための本発明の第1目的による液晶表示装置は、外部からの信号に応答して画像信号、第1及び第2タイミング信号、クロック発生制御信号を出力するタイミング制御部と、前記クロック発生制御信号に응答して互いに反転された位相を有する第1及び第2クロックを発生し、前記第1及び第2クロックを制御し第1区間の間ゲート駆動信号の電圧レベルを決定し、第2区間の間前記第1及び第2クロックが充電または放電するように制御するクロック発生部と、前記第1タイミング信号、前記第1及び第2クロックに응答して順次に前記ゲート駆動信号を出力するゲート駆動部と、前記第2タイミング信号に응答して前記画像信号を出力するデータ駆動部と、前記画像信号の提供を受ける複数のデータライン、前記ゲート駆動信号の提供を受ける複数のゲートライン、及び前記データラインとゲートラインに連結され前記ゲート駆動信号に응答して前記画像信号を出力するスイッチング素子を有する液晶パネルと、を含む。

【 0 0 1 0 】

また、本発明の第2目的による液晶表示装置は、第1方向に延長される複数のゲートライン、前記第1方向と直交する第2方向に延長される複数のデータライン、第1電極が前記ゲートラインに連結され第2電極が前記データラインに連結されるスイッチング素子、及び前記スイッチング素子の第3電極に連結された画素電極を有する液晶パネルと、前記ゲートラインの第1端部に連結され前記複数のゲートラインに順次にゲート駆動信号を印加するためのゲート駆動部と、前記データラインに連結され前記データラインにデータ駆動信号を印加するためのデータ駆動部と、次のゲートラインに印加される第1ゲート駆動信号に응答して現在ゲートラインに印加された第2ゲート駆動信号を放電させるための放電部と、を含む。

【 0 0 1 1 】

また、本発明の第3目的による液晶表示装置は、第1方向に延長された複数のゲートライン、前記第1方向と直交する第2方向に延長された複数のデータライン、第1電極が前記ゲートラインに連結され第2電極が前記データラインに連結されるスイッチング素子、及び前記スイッチング素子の第3電極に連結された画素電極を有する液晶パネルと、前記ゲートラインの第1端部に連結され前記ゲートラインに順次にゲート駆動信号を印加するための第1ゲート駆動部と、前記第1ゲート駆動部の誤動作の際駆動され、前記ゲートラインの第2端部に連結され前記ゲートラインに順次に前記ゲート駆動信号を印加するための第2ゲート駆動部と、前記データラインに連結され前記データラインにデータ信号を印加するためのデータ駆動部と、前記第1ゲート駆動部の動作の際、次のゲートラインに印加される第1ゲート駆動信号に응答して現在のゲートラインに印加された第2ゲート駆動信号を放電させるための第1放電部と、前記第2ゲート駆動部の動作の際前記第2ゲート駆動信号によって駆動され前記第2ゲート駆動信号を放電させるための第2放電部と、を含む。

【 0 0 1 2 】

このような液晶表示装置によると、ゲート駆動信号のレベルを決定する第1区間と、第1及び第2クロック信号を充放電する第2区間とを有する第1及び第2クロックによって、液晶表示装置の高速動作を具現することができる。

【 0 0 1 3 】

また、ゲートラインの一端に放電トランジスタを形成し、次のステージが動作される以前に現在のステージを放電させることで液晶表示装置のゲート駆動信号の遅延を防止することができる。

【0014】

また、ゲートラインの一端には第1ゲート駆動部が配置されゲートの他端には第1ゲート駆動部が誤動作を起こすとき動作されゲートラインを駆動する第2ゲート駆動部を配置することによって液晶表示装置が正常的に駆動することができる。

【発明を実施するための最良の形態】

【0015】

以下、図面を参照して本発明の望ましい一実施形態をより詳細に説明する。

10

図1は本発明の一実施形態による液晶表示装置を示すブロック図である。

図1に示すように、液晶表示装置400はゲート駆動部110とデータ駆動部120が形成された液晶パネル100、外部から信号にตอบสนองして液晶パネル100を制御するタイミング制御部200、及びゲート駆動部110に提供される第1及び第2クロックCKV、CKVBを発生するクロック発生部300を含む。

【0016】

タイミング制御部200は各種タイミング信号を発生してゲート駆動部110とデータ駆動部120を制御する。即ち、外部から提供される水平同期信号であるHsync(Horizontal synchronizer)信号に同期されデータ駆動部で画像データ信号をアナログ値に変換してアナログ値であるデータ信号をデータラインに印加することを命令する水平開始信号であるSTH(start Horizontal)信号をデータ駆動部に出力する。また、垂直同期信号であるVsync(Vertical synchronizer)信号に同期され第1垂直開始信号であるSTV(Start vertical)信号をクロック発生部に出力する。

20

【0017】

タイミング制御部200は、ゲート駆動信号の周期を決定するゲートクロック信号であるCPV(Clock Pulse Vertical)信号、ゲート駆動信号をイネーブルさせるゲートオンイネーブル信号であるOE(Output Enable)信号、第1及び第2クロックの充放電を制御する充放電制御信号であるCHC信号をクロック発生部に出力する。

30

【0018】

一方、液晶パネル100は第1方向に延長された複数のゲートラインG1~Gn、第1方向と直交する第2方向に延長された複数のデータラインD1~Dm、ゲートラインとデータラインD1~Dmに連結されたTF T130、及びTF T130に連結された画素データ140で構成される。

【0019】

また、液晶パネル100にはゲートラインG1~Gnに順次に駆動信号を印加するためのゲート駆動部110と、データラインD1~Dmにデータ信号を印加するためのデータ駆動部120が具備される。具体的に、液晶パネルは、TF T基板、カラーフィルター基板(図示せず)、TF T基板とカラーフィルター基板との間に形成された液晶層(図示せず)で構成され、ゲートラインG1~Gn、データラインD1~Dm、TF T130及び画素電極140はTF T基板上に形成される。

40

【0020】

データ駆動部120はSTH信号にตอบสนองして液晶パネル100の各画素に印加されるデータ信号を生成する。ここで、データ信号は各画素を充電させるための充電電圧である。

ゲート駆動部110は複数のステージが従属的に連結された一つのシフトレジスタからなり、各ゲートラインは各ステージの出力端子と結合される。従って、各ステージが順次に駆動されながらゲートラインG1~Gnに順次にゲート駆動信号を出力する。即ち、ゲート駆動部110は、第1垂直開始信号STVと反対の位相を有する第2垂直開始信号STVB信号にตอบสนองしてゲートラインG1~Gnに順次にハイレベル区間を有するゲート駆

50

動信号を印加してデータ信号が各画素に印加されることを制御する。ここで、ゲート信号はゲートラインG1～Gnに連結されているTFT130を駆動するのに十分な電圧レベルを有する。TFT130がゲート信号によって駆動されると、データ信号はTFT130を通じて画素電極140に印加され液晶層を充電させる。

【0021】

クロック発生部300はタイミング制御部200から提供されるCPV信号及びOE信号にตอบสนองして互いに反転された位相を有する第1及び第2クロックCKV、CKVBを出力する。ここで、第1クロックCKVはゲート駆動部110の奇数番目のステージに提供され、第2クロックCKVBはゲート駆動部110の偶数番目のステージに提供される。

【0022】

このようなクロック発生部300は、CPV信号、イネーブルOE信号及び第1垂直開始信号であるSTV信号にตอบสนองして第1及び第2クロックCKV、CKVBがゲート駆動信号を決定する一定電圧を有するように発生させる第1及び第2電圧印加回路(図示せず)と、ゲートクロック信号であるCPV信号と充放電信号であるCHC信号にตอบสนองして第1及び第2クロックが互いに充放電することができるように制御する充放電回路(図示せず)と、を含む。また、クロック発生部300は、第1垂直開始信号であるSTV信号をゲート駆動部110からゲートラインG1～Gnに順次に印加するために、順次にゲート駆動信号を出力することを命令する第2垂直開始信号であるSTVB信号をゲート駆動部110に出力する。

【0023】

従って、第1クロックCKVと第2クロックCKVBは第1区間では一定電圧を保持し、第2区間では互いに充放電する。これにより、第1及び第2クロックによってゲート駆動信号のパルス幅が減少され高速動作を可能にする。

【0024】

また、このような構造は第1及び第2クロックを発生させるためにクロック発生部300に提供される別途の制御信号を使用せず、既存のタイミング制御部200から出力されるCPV信号とOE信号をそのまま使用することができる。

【0025】

図2は図1に示されたクロック発生部のブロック図であり、図3は図2に示された入力信号のタイミング図である。

図2に示すように、クロック発生部300は、第1クロックイネーブル信号であるOCS(Odd Clock Pulse)信号と第2クロックイネーブル信号であるECS(Even Clock Pulse)信号を出力するためのD-フリップ・フロップ310、OCS信号にตอบสนองして第1クロックCKVを出力するための第1電圧印加回路320、ECS信号にตอบสนองして第2クロックCKVBを出力するための第2電圧印加回路330、及び第1クロックCKV及び第2クロックCKVBを互いに充放電(充電共有)させるための充放電回路340を含む。

【0026】

具体的に、D-フリップ・フロップ310はSTV信号の入力を受け、OE信号に同期し、第1端QBを通じてECS信号を出力し第2端Qを通じてOCS信号を出力する。ここで、OE信号はゲート波形の遅延現象分だけゲート駆動部110の出力を抑制させる役割を遂行する。即ち、OE信号はゲート波形が遅延される時間の間ハイ状態を有し発生される1H周期のパルスである。

【0027】

第1電圧印加回路320は、ゲートクロック信号であるCPV信号、イネーブル信号であるOE信号及びOCS信号にตอบสนองして第1区間の間一定電圧を保持する第1クロックイネーブル信号であるCKVを出力する。また、第2電圧印加回路330は、CPV信号、OE信号及びECS信号にตอบสนองして第1区間の間一定電圧を保持する第2クロックCKVBを出力する。充放電回路340はCPV信号の入力を受け、第1及び第2電圧印加回路のターンオフの際、駆動され第1及び第2クロックCKV、CKVBを充放電させる。

10

20

30

40

50

【 0 0 2 8 】

図 3 に示されたように、C P V 信号は 1 H 周期に発生され、O E 信号がゲート波形遅延時間の間一定デューティ期間のハイ状態を有するように 1 H 周期に発生される。

このとき、C P V 信号がハイ状態であり O E 信号のロー状態のとき定義される第 3 区間 t 3 では第 1 及び第 2 電圧印加回路 3 2 0、3 3 0 が駆動され、C P V 信号がロー状態であり、O E 信号がロー状態であるかハイ状態であるとき定義される第 4 区間 t 4 では充放電回路 3 4 0 が駆動される。第 3 及び第 4 区間 t 3、t 4 の間には第 1 及び第 2 電圧印加回路 3 2 0、3 3 0 と充放電回路 3 4 0 が全部駆動されない第 5 区間 t 5 が備えられる。即ち、第 5 区間 t 5 は C P V 信号がロー状態であり O E 信号がロー状態である区間として定義され、充放電回路 3 4 0 の駆動時間を遅延させ形成される第 4 区間 t 4 の前段に定義される。

10

【 0 0 2 9 】

充放電回路 3 4 0 の駆動時間の遅延については以後充放電回路 3 4 0 の回路図を説明するとき詳細に見てみる。

以下、図面を参照してクロック発生部 3 0 0 の内部を構成回路について具体的に説明する。

【 0 0 3 0 】

図 4 は図 2 に示された D - フリップ・フロップの回路図であり、図 5 は図 4 に示された D - フリップ・フロップのタイミング図である。

図 4 及び図 5 に示すように、第 1 垂直開始信号 S T V と反転の位相を有する第 2 垂直開始信号 S T V B 信号にตอบสนองして D - フリップ・フロップ 3 1 0 がクリアーされ、D - フリップ・フロップ 3 1 0 の第 1 端子 Q B から出力される第 2 クロックイネーブル信号 E C S はハイレベルになる。即ち、D - フリップ・フロップ 3 1 0 は、第 1 垂直開始信号である S T V 信号を受信し、クロック端子 C L K に入力される O E 信号に同期して 2 H を 1 周期にとして第 1 クロックイネーブル信号 O C S 及び第 2 クロックイネーブル信号 E C S をそれぞれ出力する。このとき、第 1 クロックイネーブル信号 O C S は、ゲート駆動部の奇数番目のステージに提供される第 1 クロック C K V を出力する第 1 電圧印加回路 3 2 0 をイネーブルさせる。また、第 1 クロックイネーブル信号 E C S は、ゲート駆動部の偶数番目のステージに提供される第 2 クロック C K V B を出力する第 2 電圧印加回路 3 3 0 をイネーブルさせる。

20

30

【 0 0 3 1 】

図 6 では C P V、O E 及び O C S によって第 1 クロック C K V を発生する第 1 電圧印加回路 3 2 0 を説明し、図 6 では、C P V、O E 及び E C S によって第 2 クロック C K V B を発生する第 2 電圧印加回路 3 3 0 を説明する。

【 0 0 3 2 】

図 6 は図 2 に示された第 1 電圧印加回路の回路図であり、図 7 は図 2 に示された第 2 電圧印加回路の回路図である。

図 6 に示すように、第 1 電圧印加回路 3 2 0 は、ハイレベルの前記 O C S 信号にตอบสนองして前記第 1 クロック C K V に第 1 電源電圧 V o n を出力するための第 1 電源電圧供給部 3 2 1 と、ローレベルの O C S 信号にตอบสนองして前記第 1 クロック C K V に第 2 電源電圧 V o f f を出力するための第 2 電源電圧供給部 3 2 3 を含む。

40

【 0 0 3 3 】

第 1 電源電圧供給部 3 2 1 はオン電圧発生部 3 2 1 a とオン電圧発生部 3 2 1 a の駆動を制御する第 1 制御部 3 2 1 b で構成される。

第 1 制御部 3 2 1 b は、第トランジスタ T 1、第トランジスタ T 2、第 1 抵抗 R 1 及び第 2 抵抗 R 2 で構成される。

【 0 0 3 4 】

具体的に、第 1 トランジスタ T 1 はエミッター端が O E 信号入力端子に連結されコレクタ端が第 2 トランジスタ T 2 のエミッター端に連結される。第 1 抵抗 R 1 は第 1 トランジスタ T 1 のベース端と O C S 信号入力端子との間に連結される。また、第 2 トランジスタ

50

T 2 はコレクタ端がオン電圧発生部 3 2 1 a に連結される。第 2 抵抗 R 2 は第 2 トランジスタ T 2 のベース端と C P V 信号入力端子との間に連結される。

【 0 0 3 5 】

従って、第 1 トランジスタ T 1 は O C S 信号と O E 信号との電圧差によって動作され、第 2 トランジスタ T 2 は第 1 トランジスタ T 1 が駆動されることによって印加される O E 信号と C P V 信号との電圧差によって駆動されることでオン電圧発生部 3 2 1 a の動作を制御する。

【 0 0 3 6 】

一方、オン電圧発生部 3 2 1 a は第 3 トランジスタ T 3、第 3 ないし第 5 抵抗 R 3 ~ R 5 からなる。

具体的に、第 3 トランジスタ T 3 はエミッター端が第 1 電源電圧に連結され、コレクタ端が出力端 C K V に連結される。また、第 3 抵抗 R 3 は第 3 トランジスタ T 3 のエミッター端と第 3 トランジスタ T 3 のベース端との間に連結され、第 4 及び第 5 抵抗 R 4、R 5 は第 3 トランジスタ T 3 のベース端と第 2 トランジスタ T 2 のコレクタ端との間で直列連結される。

【 0 0 3 7 】

従って、第 3 トランジスタ T 3 は、第 1 クロック信号 C K V を出力する。

第 2 電源電圧供給部 3 2 3 はオフ電圧発生部 3 2 3 a と、オフ電圧発生部 3 2 3 a を制御する第 2 制御部 3 2 3 b を有する。

【 0 0 3 8 】

第 2 制御部 3 2 3 b は第 4 及び第 5 トランジスタ T 4、T 5、第 6 ないし第 1 1 抵抗 R 6 ~ R 1 1 で構成される。

具体的に、第 4 トランジスタ T 4 はエミッター端が C P V 信号入力端子に連結されコレクタ端が第 5 トランジスタ T 5 に連結される。また、第 6 抵抗 R 6 は第 4 トランジスタ T 4 のエミッター端とベース端との間に連結され、第 7 及び第 8 抵抗 R 7、R 8 は第 4 トランジスタ T 4 のベース端と O E 信号入力端子との間に直列連結される。一方、第 5 トランジスタ T 5 はコレクタ端がオフ電圧発生部 3 2 3 a に連結される。第 9 抵抗 R 9 は第 5 トランジスタ T 5 のエミッター端とベース端との間に連結され、第 1 0 及び第 1 1 抵抗 R 1 0、R 1 1 は第 5 トランジスタ T 5 のベース端と O C S 信号入力端子との間で直列連結される。

【 0 0 3 9 】

第 4 トランジスタ T 4 は、C P V 信号と O E 信号の電圧差によって駆動され C P V 信号を出力し出力された信号と O C S 信号の電圧差によって第 5 トランジスタ T 5 が駆動され C P V 信号を出力する。このとき、出力された C P V 信号がオフ電圧発生部 3 2 3 a に提供される。

【 0 0 4 0 】

一方、オフ電圧発生部 3 2 3 a は第 6 トランジスタ T 6、第 1 2 ないし第 1 4 抵抗 R 1 2 ~ R 1 4 からなる。

具体的に、第 6 トランジスタ T 6 はエミッター端が第 2 電源電圧に連結されコレクタ端が出力端 C K V に連結される。また、第 1 2 抵抗 R 1 2 は第 5 トランジスタ T 5 のエミッター端と第 1 3 及び第 1 4 抵抗 R 1 3、R 1 4 の第 1 端に並列連結され、第 1 3 抵抗 R 1 3 の第 2 端は第 6 トランジスタ T 6 のエミッター端に連結され第 1 4 抵抗 R 1 4 の第 2 端は第 6 トランジスタ T 6 のベース端に連結される。従って、第 6 トランジスタ T 6 が第 2 制御部 3 2 3 b から出力される C P V 信号によって駆動されると出力端 C K V には第 2 電源電圧が出力される。

【 0 0 4 1 】

図 6 に提示された第 1 ないし第 6 トランジスタ T 1 ~ T 6 はバイポーラ接合電界トランジスタ (B i p o l a r J u n c t i o n T r a n s i s t o r ; B J T) であることが望ましい。

【 0 0 4 2 】

10

20

30

40

50

図7に示すように、第2電圧印加回路330はECS信号のハイ区間に応答して前記第2クロックCKVBに第1電源電圧を出力するための第1電源電圧供給部331とECS信号のロー区間に応答して前記第2クロックCKVBに第2電源電圧Voffを出力するための第2電源電圧供給部333を含む。

【0043】

第1電源電圧供給部331はオン電圧発生部331aとオン電圧発生部331aの駆動を制御する第1制御部331bで構成される。

第1制御部331bは第1及び第2トランジスタT1、T2、第1及び第2抵抗R1、R2で構成される。

【0044】

具体的に、第1トランジスタT1はエミッター端がOE信号入力端子に連結されコレクタ端が第2トランジスタT2に連結される。第1抵抗R1は第1トランジスタT1のベース端とECS信号入力端子との間に連結される。また、第2トランジスタT2はエミッター端が第1トランジスタT1に連結され、コレクタ端がオン電圧発生部331aに連結され、第2抵抗R2は第2トランジスタT2のベース端とCPV信号入力端子との間に連結される。

【0045】

従って、第1トランジスタT1はECS信号とOE信号との電圧差によって動作され、第2トランジスタT2は第1トランジスタT1が駆動されることによって印加されるOE信号とCPV信号との電圧差によって駆動されることでオン電圧発生部331aの動作を制御する。

【0046】

一方、オン電圧発生部331aは第3トランジスタT3、第3ないし第5抵抗R3～R5からなる。具体的に、第3トランジスタT3はエミッター端が第1電源電圧によって連結され、コレクタ端が出力端CKVBに連結される。また、第3抵抗R3は第3トランジスタT3のエミッター端とベース端との間に連結され、第4及び第5抵抗R4、R5は第3トランジスタT3のベース端と第2トランジスタT2のコレクタ端との間で直列連結される。

【0047】

従って、第3トランジスタT3は第2クロック信号CKVBを端子に出力する。

第2電源電圧供給部333はオフ電圧発生部333aと、オフ電圧発生部333aを制御する第2制御部333bを有する。

【0048】

第2制御部333bは第4及び第5トランジスタT4、T5、第6ないし第11抵抗R6～R11からなる。

具体的に、第4トランジスタT4はエミッター端がCPV信号入力端子に連結されコレクタ端が第5トランジスタT5のエミッター端に連結される。また、第6抵抗R6の第4トランジスタT4のエミッター端とベース端との間に連結され、第7及び第8抵抗R7、R8は第4トランジスタT4のベース端とOE信号入力端子との間で直列連結される。一方、第5トランジスタT5はコレクタ端がオフ電圧発生部333aに連結される。第9抵抗R9は第5トランジスタT5のエミッター端とベース端との間に連結され、第10及び第11抵抗R10、R11は第5トランジスタT5のベース端とECS信号入力端子との間で直列連結される。

【0049】

第4トランジスタT4は、ゲートクロック信号CPVとイネーブル信号OEとの電圧差に応答してゲートクロック信号CPV信号を出力する。また、第5トランジスタT5は、第4トランジスタT4から出力されたゲートクロック信号CPVと第2クロックイネーブル信号ECSとの電圧差に応答してCPV信号を出力する。このとき、第5トランジスタT5から出力されたCPV信号はオフ電圧発生部333aに提供される。

【0050】

10

20

30

40

50

一方、オフ電圧発生部 3 3 3 a は第 6 トランジスタ T 6、第 1 2 ないし第 1 4 抵抗 R 1 2 ~ R 1 4 からなる。

具体的に、第 6 トランジスタ T 6 はエミッター端が第 2 電源電圧に連結されコレクタ端が出力端 C K V B に連結される。第 1 2 抵抗 R 1 2 は第 5 トランジスタ T 5 のエミッター端と第 1 3 及び第 1 4 抵抗 R 1 3、R 1 4 の第 1 端に並列連結され、第 1 3 抵抗 R 1 3 の第 2 端は第 6 トランジスタ T 6 のエミッター端に連結され第 1 4 抵抗 R 1 4 の第 2 端は第 6 トランジスタ T 6 のベース端に連結される。従って、第 6 トランジスタ T 6 が第 2 制御部 3 3 3 b に出力される C P V 信号によってターンオンされると出力端 C K V B には第 2 電源電圧が出力される。

【 0 0 5 1 】

図 7 に提示された第 1 ないし第 6 トランジスタ T 1 ~ T 6 は B J T であることが望ましい。

図 8 は図 2 に示された充放電回路を示す回路図である。

【 0 0 5 2 】

図 8 に示すように、充放電回路 3 4 0 は第 1 及び第 2 クロック C K V、C K V B を充電/放電させる充電部 3 4 1、充電部材 3 4 1 を駆動する充電駆動部 3 4 2、充電駆動部 3 4 2 を制御する充電制御部 3 4 3 を有する。

【 0 0 5 3 】

充電制御部 3 4 3 は第 1 ないし第 3 トランジスタ T 1 ~ T 3、第 1 ないし第 1 0 抵抗 R 1 ~ R 1 0 からなる。

具体的に、第 1 トランジスタ T 1 はエミッター端が C P V 信号入力端子に連結されコレクタ端は第 4 抵抗 R 4 の第 1 端に連結される。第 1 抵抗 R 1 は第 1 トランジスタ T 1 のエミッター端とベース端との間に連結され、第 2 及び第 3 抵抗 R 2、R 3 は第 1 トランジスタ T 1 のベース端とグランド電圧入力端子 V o との間で直列連結される。また、第 4 抵抗 R 4 は第 2 トランジスタ T 2 のベース端に連結された第 5 抵抗 R 5 と第 2 トランジスタ T 2 のエミッター端に連結された第 6 抵抗 R 6 に並列連結される。

【 0 0 5 4 】

第 3 トランジスタ T 3 はエミッター端が第 1 電源電圧入力端子 V o n に連結され、コレクタ端が第 1 0 抵抗 R 1 0 を経由して第 2 トランジスタ T 2 のコレクタ端に連結される。第 7 抵抗 R 7 は第 3 トランジスタ T 3 のエミッター端とベース端との間に連結され、第 8 及び第 9 抵抗 R 8、R 9 は第 3 トランジスタ T 3 のベース端と C P V 信号入力端子との間に直列連結される。

【 0 0 5 5 】

充電駆動部 3 4 2 は第 4 及び第 5 トランジスタ T 4、T 5、第 1 1 ないし第 1 4 抵抗 R 1 1 ~ R 1 4 からなる。

具体的に、第 4 トランジスタ T 4 はエミッター端が第 2 クロック端子 C K V B に連結されコレクタ端が第 1 2 抵抗 R 1 2 を経て第 1 クロック端子 C K V に連結される。第 1 1 抵抗 R 1 1 は第 4 トランジスタ T 4 のベース端と充放電制御信号 C H C 入力端子との間に連結される。また、第 5 トランジスタ T 5 はエミッター端が第 1 2 抵抗 R 1 2 に連結されコレクタ端が第 1 3 抵抗 R 1 3 を経て第 1 クロック端子 C K V に連結される。第 1 4 抵抗 R 1 4 は第 5 トランジスタ T 5 のベース端と充放電制御信号 C H C の入力端子との間に連結される。

【 0 0 5 6 】

充電部 3 4 1 は第 1 クロック端子 C K V とグランド電圧入力端子 V o との間に連結された第 1 キャパシタ C 1 と、第 2 クロック端子 C K V B とグランド電圧入力端子 V o との間に連結された第 2 キャパシタ C 2 と、で構成される。

【 0 0 5 7 】

従って、充放電回路 3 4 0 は第 1 及び第 2 電圧印加回路 3 2 0、3 3 0 の第 3 及び第 6 トランジスタ T 3、T 6 がターンオンされた状態で C P V 信号がロー状態であるとき駆動される。即ち、C P V 信号がロー信号であると第 1 トランジスタ T 1 がターンオフされそ

10

20

30

40

50

れによって第2トランジスタT2もターンオフされる。このとき、CPV信号と第1電源電圧によってターンオンされた第3トランジスタT3を通じて第1電源電圧は充電駆動部342に印加される。

【0058】

従って、充電駆動部342の第5トランジスタT5は第1電源電圧とCHC信号によってターンオンされ第2キャパシタC2を充電させる。このとき、充電電圧が第2クロック端子CKVBに出力される。一方、第1キャパシタC1は放電動作を遂行することによって放電電圧を第1クロック端子CKVに出力する。

【0059】

一方、第6トランジスタT6はCHC信号によってターンオンされ第1ノードの電位が上昇されながら第1キャパシタC1が充電される。従って、第1クロック端子CKVに充電電圧を出力する。それと同時に第2キャパシタC2が放電され第2クロック端子CKVBに放電電圧を出力する。

【0060】

このように、第1及び第2電圧印加回路320、330がターンオフされた状態でCPV信号がローに発生されると、第1及び第2クロックCKV、CKVBが互いに充放電を共有しながら出力される。

【0061】

このとき、第1及び第2電圧印加回路320、330が動作していない期間に充放電回路340を駆動するためには、充電駆動部342に第1電源電圧が提供される時間を、第3トランジスタT3のコレクタに接続される第10抵抗によって遅延させる必要がある。

【0062】

従って、図3に示された第5区間t5を確保することができ、第1及び第2クロック電源印加回路320、330と充放電回路340とが同時に駆動されることを防止することができる。

【0063】

図9は図2に示されたクロック発生部から出力される第1及び第2クロックをシミュレーションした波形図であり、図10は図1及び図2クロックを出力するのに必要な電流をシミュレーションした波形図である。但し、第1電源電圧は20Vであり、第2電源電圧は-14Vである。

【0064】

図9及び図10に示すように、第1クロックCKVは第1区間t1では第1電源電圧を保持し、第2区間t2では第1極性の傾きを有して出力される。一方、第2クロックCKVBは第1区間t1では第1電源電圧と位相の反転された第2電源電圧を保持し、第2区間t2では第1極性と位相の反対された第2極性の一定傾きを有して出力される。

【0065】

各クロックCKV、CKVBの $t_1 + t_2 = 1H$ で、t2時間の間、位相が異なる第1及び第2クロックCKV、CKVBを充放電(charge sharing)するようになる。そして、クロック発生部300では従来の波形でより半分程度の電圧遷移をさせ、クロック発生部300での消費電力を半分以下に減少させることができる。

【0066】

消費電力Pは次の数式1のように表される。

【0067】

【数1】

$$P \propto f \Delta V_2 C$$

電圧遷移が半分程度に減少されるとき、消費電力は数式1のように電圧遷移の二乗に比例するので、クロック発生部300での消費電力が1/4程度に減少される。即ち、第1及び第2クロックCKV、CKVBを発生するためのクロック発生部300の消費電力が

減少される。

【0068】

図11は第1及び第2クロックによる各ステージの出力波形を示す波形図である。

図11に示すように、第2クロックの上昇エッジで*i*番目のステージから*i*番目のゲート駆動信号が出力される。以後、*i*+1番目のステージから出力された*i*+1番目のゲート駆動信号が第1電圧*V*₁レベルに至ったとき*i*番目のゲート駆動信号が放電され、第1電圧*V*₁の時間分だけ*i*番目のゲート駆動信号のハイレベル保持時間が減少される。

【0069】

このように、ゲート駆動部110に第1及び第2クロック*CKV*、*CKVB*を印加するとゲート駆動信号のパルス幅が調節されることで第1及び第2クロック*CKV*、*CKVB*は液晶表示装置400の高速動作を可能にする。

10

【0070】

図1ないし図11でのクロック発生部300に提供され第1及び第2電圧印加回路320、330と充放電回路340を制御するクロック発生制御信号が*CPV*信号と*OE*信号である場合本発明の実施形態として説明した。しかし、クロック発生制御信号はここに限定されず多様な形態に具現されることができる。

【0071】

以後、図12及び図13ではクロック発生制御信号の他の形態を示す図面である。

図12及び図13は本発明の他の形態によるクロック発生制御信号を示す波形図である。

20

【0072】

図12に示すように、クロック発生制御信号は1*H*周期を有する第1制御信号*CT1*と1*H*周期を有し第1制御信号*CT1*と部分的に反転された位相を有する第2制御信号*CT2*を含む。ここで、第1及び第2制御信号*CT1*、*CT2*は第1及び第2電圧印加回路320、330と充放電回路340の駆動を制御する。

【0073】

具体的に、第1制御信号*CT1*がハイ状態であり第2制御信号*CT2*がロー状態のとき定義される第3区間*t*₃では第1及び第2電圧印加回路320、330が駆動される。第1制御信号*CT1*がロー状態であり第2制御信号*CT2*がハイ状態のとき定義される第4区間*t*₄では充放電回路340が駆動される。また、第3及び第4区間*t*₃、*t*₄の間に存在し、第1制御信号*CT1*と第2制御信号*CT2*が全部ロー状態のとき定義される第5区間*t*₅では第1及び第2電圧印加回路320、330と充放電回路340が全部動作しない。従って、第1及び第2電圧印加回路320、330の動作と充放電回路340の動作が同時に駆動される現象を防止することができる。

30

【0074】

一方、図13に示されたようにクロック発生回路は1*H*周期を有する第3制御信号と、1*H*周期を有し第3制御信号がロー状態のときハイ状態に発生される第4制御信号と、ならなることができる。ここで、第3及び第4制御信号*CT3*、*CT4*は第1及び第2電圧印加回路と320、330充放電回路340の駆動を制御する。

【0075】

具体的に、第3制御信号*CT3*がハイ状態であり第4制御信号*CT4*がロー状態のとき、定義される第3区間*t*₃では第1及び第2電圧印加回路が動作する。また、第3制御信号*CT3*がロー状態であり第4制御信号*CT4*がロー状態のとき定義される第4区間*t*₄では充放電回路が動作する。第3区間*t*₃と第4区間*t*₄との間に存在され、第3制御信号*CT3*がロー状態であり、第4制御信号*CT4*がハイ状態のとき定義される第5区間*t*₅では第1及び第2電圧印加回路と充放電回路が全部動作しない。従って、第1及び第2電圧印加回路の動作と充放電回路の動作が同時に駆動される現象を防止することができる。

40

【0076】

図14は本発明の他の実施形態による液晶表示装置を示す概略図であり、図15は図1

50

4に示された遅延防止部の概略図である。図16は放電部の電流のシミュレーション結果を示す波形図であり、図17は図14に示された液晶表示装置のゲート駆動信号のシミュレーション結果を示す波形図である。

【0077】

図14に示すように、液晶表示装置500はゲート駆動部110、電極駆動部120及び放電部150が形成された液晶パネル100を含む。

液晶パネル100には第1方向に延長された複数のゲートラインG1～Gnと、第1方向と直交する第2方向に延長された複数のデータラインD1～Dmが形成される。前記ゲートラインG1～GnとデータラインD1～Dmによって定義される領域には第1電極131が前記ゲートラインG1～Gnに連結され第2電極132が前記データラインD1～Dmに連結されるTFT130が形成される。TFT130は第1電極131に提供されるゲート駆動信号によって駆動され第2電極132に提供されるデータ信号を画素電極140に出力するスイッチング素子である。

10

【0078】

ゲート駆動部110はゲートラインG1～Gnの第1端部に連結され前記ゲートラインG1～Gnに順次にゲート駆動信号を印加する。また、データ駆動部120はデータラインD1～Dmに連結されゲート駆動信号が印加されることによってデータラインD1～Dmにデータ信号を印加する。

【0079】

一方、放電部150は第1端部と向き合うゲートラインG1～Gnの第2端部それぞれに連結される。図15に示されたように、放電部150は次のゲートラインGi+1に印加される第1ゲート駆動信号によって駆動され現在ゲートラインGiに印加された第2ゲート駆動信号を放電電圧、即ち、第2電源電圧Voffに放電させる。ここで、iは1よりは大きくnよりは小さい自然数である。

20

【0080】

放電部150は第1電極155aが現在ゲートラインGiに連結され、第2電極155bが第2電源電圧入力端子に連結され、第3電極155cが次のゲートラインGi+1に連結された放電トランジスタ155からなる。

【0081】

即ち、第1ゲート駆動信号が放電トランジスタ155のしきい電圧以上に増加されると放電トランジスタ155が駆動され第2ゲート駆動信号を第2電源電圧Voffに放電させる。

30

【0082】

図16及び図17に示すように、第1ゲート駆動信号が放電トランジスタ155のしきい電圧以上に上昇されると、放電トランジスタ155が駆動されながら第2ゲート駆動信号を第2電源電圧Voffに放電させる。従って、放電トランジスタ155は第1ゲート駆動信号がプルアップされる以前に第2ゲート駆動信号を十分に放電させ第2ゲート駆動信号が遅延される現象を防止することができる。

【0083】

図18は従来 of ゲート駆動信号をシミュレーションした波形図であり、図19は図14に示された液晶パネルによるゲート駆動信号をシミュレーションした波形図である。図18及び図19では一つのゲートラインに連結された一番目のスイッチング素子に印加される一番目の駆動信号Vfirst、中間部分のスイッチング素子に印加される中間ゲート駆動信号Vcenter、最後のスイッチング素子に印加される最後のゲート駆動信号Vendを示す。

40

【0084】

図18に示すように、第1、第2及び第3ゲート駆動信号Vfirst、Vcenter、Vendは、'140µs'付近で完全に放電される。また、各ゲート駆動信号が第2電源電圧Voffに到達する時間もそれぞれ異なることで示された。

【0085】

50

一方、図19に示すように、第1、第2及び第3ゲート駆動信号Vfirst、Vcenter、Vendそれぞれ印加されるゲート駆動信号は‘136 μ s’近傍で完全に放電される。即ち、図18に示す従来の第1、第2及び第3ゲート駆動信号Vfirst、Vcenter、Vendと比較すると、本願発明の第1、第2及び第3ゲート駆動信号Vfirst、Vcenter、Vendは、従来より‘4 μ s’程度ゲート駆動信号の遅延を短縮させることができる。また、ゲート駆動信号が第2電源電圧に到達する時間もそれぞれ一致することでゲート駆動信号の全体的な遅延特性を改善することができる。

【0086】

図20及び図21は本発明の他の実施形態による液晶表示装置を示す概略図である。

図20に示すように、液晶表示装置600は第1ゲート駆動部160、第2ゲート駆動部170、データ駆動部120、第1放電部180及び第2放電部190を含む。

10

【0087】

具体的に、液晶パネル100には第1方向に延長された複数のゲートラインG1~Gnと、第1方向と直交する第2方向に延長された複数のデータラインD1~Dmが形成される。ゲートラインG1~GnとデータラインD1~Dmに定義される領域には第1電極がゲートラインG1~Gnに連結され第2電極がデータラインD1~Dmに連結されるTFT130が形成される。TFT130は第1電極から提供されるゲート駆動信号によって駆動され第2電極を通じて提供されるデータ信号を画素電極140に印加するスイッチング素子である。

【0088】

20

また、液晶パネル100上にはゲートラインG1~Gnの第1端部に連結されゲートラインG1~Gnに順次にゲート駆動信号を印加するための第1ゲート駆動部160、データラインD1~Dmの一端部に連結されゲート駆動信号が印加されると同時にデータラインD1~Dmにデータ信号を出力するデータ駆動部120が具備される。

【0089】

一方、液晶パネル100には第1ゲート駆動部160の誤動作の際駆動され、ゲートラインG1~Gnの第2端部に連結されゲートラインG1~Gnに順次にゲート駆動信号を印加するための第2ゲート駆動部170がさらに具備される。従って、第1ゲート駆動部160が誤動作する場合第2ゲート駆動部170が動作されることで液晶パネル100を正常的に駆動することができる。

30

【0090】

第1及び第2ゲート駆動部160、170それぞれは、従属的に連結された複数のステージからなる一つのシフトレジスタから構成され、互いに同一の構成を有する。

図20に示されたように、第1ゲート駆動部160は外部から提供される信号の入力を受ける5個の外部入力端子を具備する。具体的に、外部入力端子はSTV信号入力端子、第1クロック入力端子CKV、第2クロック入力端子CKVB、第1電源電圧入力端子、及び第2電源電圧入力端子Voffを含む。

【0091】

また、前記第2ゲート駆動部170は5個の外部入力端子を具備する。このとき、第1ゲート駆動部160が正常的に駆動される場合には前記外部入力端子を通じてSTV信号、第1電源電圧、及び第2電源電圧のみの提供を受ける。即ち、第1クロック入力端子CKVには第1電源電圧Vonが印加され、第2クロック入力端子にも第1電源電圧が印加される。また、第1電源電圧入力端子には第2電源電圧が印加される。従って、第1ゲート駆動部160が正常的に駆動される場合第2ゲート駆動部170はバイアス状態を保持する。

40

【0092】

しかし、第1ゲート駆動部160が誤動作を起こすと第1クロック入力端子CKVには第1クロックCKVが提供され、第2クロック入力端子CKVBには第2クロックCKVが提供され、第1電源電圧入力端子には第1電源電圧が提供されることによって正常的なゲート駆動信号を出力する。

50

【0093】

一方、第1ゲート駆動部160の動作の際、ゲート駆動信号の遅延を防止するためにゲートラインG1～Gnの第2端部には第1放電部180が連結され、第2ゲート駆動部170の動作の際、ゲート駆動信号の遅延を防止するためにゲートラインG1～Gnの第1端部には第2放電部190が連結される。

【0094】

具体的に、第1放電部180は第1電極が現在ゲートラインの第1端部に連結され、第2電極が第2電源電圧入力端子Voffに連結され、第3電極が次のゲートラインの第1端部に連結された第1放電トランジスタからなる。従って、第1放電トランジスタは第1ゲート駆動部160から出力され次のゲートラインに印加される第1ゲート駆動信号によって駆動され現在のゲートラインに印加された第2ゲート駆動信号を第2電源電圧Voffに放電させる。

10

【0095】

一方、第2放電部190は第1電極が現在ゲートラインの第2端部に連結され第2電極が第2電源電圧入力端子Vofに連結され第3電極が次のゲートラインの第2端部に連結された第2放電トランジスタからなる。従って、第2放電トランジスタは第2ゲート駆動部170から出力され次のゲートラインに印加される第1ゲート駆動信号によって駆動され現在のゲートラインに印加された第2ゲート駆動信号を第2電源電圧Voffに放電させる。

【0096】

図20ではゲートラインG1～Gnの第1端部に第1ゲート駆動部160が配置され、第2端部に第2ゲート駆動部170が配置された構造を提示した。しかし、第1及び第2ゲート駆動部160、170は互いに反対に配置されることが出来る。このような構造は図20に示される。

20

【0097】

図21に示された液晶表示装置700でゲートラインG1～Gnの第1端部には第1ゲート駆動部160が配置され、第2端部には第1ゲート駆動部160が誤動作を起こす場合動作される第2ゲート駆動部170が配置される。

【0098】

図22は図20に示された第1ゲート駆動部の内部構成を示す回路図であり、図23は図22に示された第1ゲート駆動部の出力をシミュレーションした波形図である。但し、第1ゲート駆動部160は各ステージが従属的に連結された一つのシフトレジスタからなり、各ステージは同一の構成を有する。

30

【0099】

図22に示すように、シフトレジスタの各ステージ161はプルアップ部161a、プルダウン部161b、プルアップ駆動部161c及びプルダウン駆動部161dを含む。

プルアップ部161aはクロック入力端子CKVにドレインが連結され、第1ノードN1にゲートが連結され、現在端出力端子Goutiにソースが連結された第1NMOSTランジスタNT1から構成される。

【0100】

プルダウン部161bは出力端子OUTにドレインが連結され、第2ノードN2にゲートが連結され、ソースが第2電源電圧Voffに連結された第2NMOSTランジスタNT2から構成される。

40

【0101】

プルアップ駆動部161cはキャパシタC1、第3ないし第5NMOSTランジスタNT3～NT5から構成される。キャパシタC1は第1ノードN1と出力端子との間に連結される。第3トランジスタNT3は第1電源電圧Vonにドレインが連結され、端子(Gouti-1)にゲートが連結され、第1ノードN1にソースが連結される。第4NMOSTランジスタNT4は第1ノードN1にドレインが連結され、次の端出力端子(Gouti+1)にゲートが連結され、ソースが第2電源電圧Voffに連結される。第5NM

50

OSトランジスタNT5は第1ノードN1にドレインが連結され、第2ノードN2にゲートが連結され、ソースが第2電源電圧に連結される。

【0102】

プルダウン駆動部161dは第6及び第7NMOSトランジスタNT6、NT7から構成される。第6NMOSトランジスタNT6は第1電源電圧Vonにドレインとゲートが共通に結合され、第2ノードN2にソースが連結される。第7NMOSトランジスタNT7は第2ノードN2にドレインが連結され、第1ノードN1にゲートが連結され、ソースが第2電源電圧Voffに結合される。このとき、第6NMOSトランジスタNT6のサイズは第7NMOSトランジスタNT7のサイズより約1.6倍程度大きく形成される。

【0103】

第1クロック、第2クロックCKV、CKVB及びSTV信号がシフトレジストに供給されると、各ステージから順次にゲート駆動信号が出力される。具体的に、各ステージでは以前ステージの出力信号にตอบสนองして第1クロックCKVのハイレベル区間を出力端子にゲート駆動信号(Gouti)に発生する。

【0104】

現在端出力端子(Gouti)に第1クロックのハイレベル区間が表れ出すと、この出力電圧がキャパシタC1にブートストラップ(BOOTSTRAP)されプルアップトランジスタNT1のゲート電圧がターンオン電圧VDD以上に上昇するようになる。従って、第1NMOSトランジスタNT1が完全な導通状態を保持するようになる。このとき、第3NMOSトランジスタNT3のサイズは完全道通状態を保持するようになる。このとき、第3NMOSトランジスタNT3のサイズは第5NMOSトランジスタNT5のサイズより約2倍程度大きいのでSTV信号によって第5NMOSトランジスタがターンオンされても第1NMOSトランジスタNT1をターンオン状態に遷移させる。

【0105】

一方、プルダウン駆動部161dは入力信号によって第7NMOSトランジスタNT7がターンオフされ第2ノードN2が第1電源電圧Vonに上昇され第2NMOSトランジスタNT2をターンオンさせる。従って、出力端子Goutiの出力信号の電圧が第2電源電圧状態である。このとき、以前ステージの出力端子Gout(i-1)によって第7NMOSトランジスタNT7がターンオンされるので第2ノードN2の電位が第2電源電圧Voffにダウンされる。

【0106】

以後、第6NMOSトランジスタNT6はターンオンされても、第7NMOSトランジスタNT7のサイズが第6NMOSトランジスタNT6のサイズより約1.6倍程度大きいので第2ノードN2は第2電源電圧状態に保持される。従って、第2NMOSトランジスタNT2はターンオン状態からターンオフ状態に遷移される。

【0107】

現在端出力端子Goutiの電圧が第2電源電圧Voff状態に遷移されると、第7NMOSトランジスタNT7がターンオフされるので、第6NMOSトランジスタNT6を通じて第2ノードN2に第1電源電圧Vonのみ供給される状態であるので第2ノードN2の電位は第2電源電圧Voffで第1電源電圧に上昇され始める。第2ノードN2の電位が上昇され始めると、第5NMOSトランジスタNT5がターンオンされ始め、これによりキャパシタの充電電圧は第5NMOSトランジスタNT5を通じて放電され始める。従って、第1NMOSトランジスタNT1もターンオフされ始める。

【0108】

続いて、次端出力信号(Gout+1)がターンオン電圧に上昇されることによって、第4NMOSトランジスタNT4がターンオンされる。このとき、第4NMOSトランジスタNT4のサイズは第5NMOSトランジスタNT5より約2倍程度大きいので第1ノードN1の電位は第5NMOSトランジスタNT5のみターンオンされたときよりさらに速く第2電源電圧にダウンされる。従って、第1NMOSトランジスタNT1はターンオフされ、第2NMOSトランジスタNT2はターンオンされ、現在端出力端子Gouti

10

20

30

40

50

は第1電源電圧Vonから第2電源電圧Voffにダウンされる。

【0109】

次端の出力信号Gouti+1がローレベルに下降され第4NMOSトランジスタNT4がターンオフされても第2ノードN2は第6NMOSトランジスタNT6を通じて第1電源電圧Vonにバイアス状態を保持する。また、第1ノードN1はターンオン状態を保持する第5NMOSトランジスタNT5を通じて第2電源電圧Voffを保持する。従って、第2ノードN2の電位が第1電源電圧Vonに保持されるので第2NMOSトランジスタNT2がターンオフされる誤動作の懸念のない動作が行われる。

【0110】

図24は図20に示された第2ゲート駆動部の第1電源電圧入力端子に第1電源電圧を印加する場合第1ゲート駆動部の出力をシミュレーションした波形図である。図25は図20に示された第2ゲート駆動部の第1及び第2クロック入力端子に第2電源電圧を印加する場合、第1ゲート駆動部の出力をシミュレーションした波形図である。

10

【0111】

図24に示すように第2ゲート駆動部170の外部入力端子のうち第1電源電圧入力端子Vonに第1電源電圧vonをそのまま提供した場合第1ゲート駆動部160から出力される各ステージの出力波形が不良になる。従って、液晶表示装置の表示特性が低下される。

【0112】

一方、図25に示されたように第2ゲート駆動部170の外部入力端子のうち第1及び第2クロック入力端子CKV、CKVBに第2電源電圧Voffを提供する場合、第1ゲート駆動部160から出力される各ステージの出力波形の電圧レベルがダウンされる。このような電圧降下は第1ゲート駆動部160を駆動させるための消費電力を増加させる。

20

【0113】

従って、第1ゲート駆動部160が正常駆動の際、第2ゲート駆動部170の第1及び第2クロック入力端子CKV、CKVBに第1電源電圧を印加し、第1電源電圧入力端子Vonに第2電源電圧を印加することが望ましい。

【0114】

前述した液晶表示装置によると、クロック発生部はゲート駆動信号を決定する第1区間と互いに充放電する第2区間を有する第1及び第2クロックを発生してゲート駆動部に印加することによってゲート駆動信号のパルス幅を調節する。従って、ゲートラインが高速に動作され与えられた時間、即ち、一つのフレームの間該当ゲートラインを全部駆動することができ高解像度を有する液晶表示装置を具現することができる。

30

【0115】

また、ゲートラインの一端に放電トランジスタを形成して次のゲートラインが動作される以前に現在ゲートラインを放電させる。従って、ゲート駆動信号の遅延を防止することができる。

【0116】

また、ゲートラインの一端には第1ゲート駆動部が配置されゲートラインの他端には第1ゲート駆動部が誤動作を起こすとき動作されゲートラインを駆動する第2ゲート駆動部が配置される。従って、第1ゲート駆動部がまともに動作されなくても第2ゲート駆動部によって液晶表示装置が正常的に駆動されることができる。

40

【0117】

以上、本発明の実施形態によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有する者であれば、本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0118】

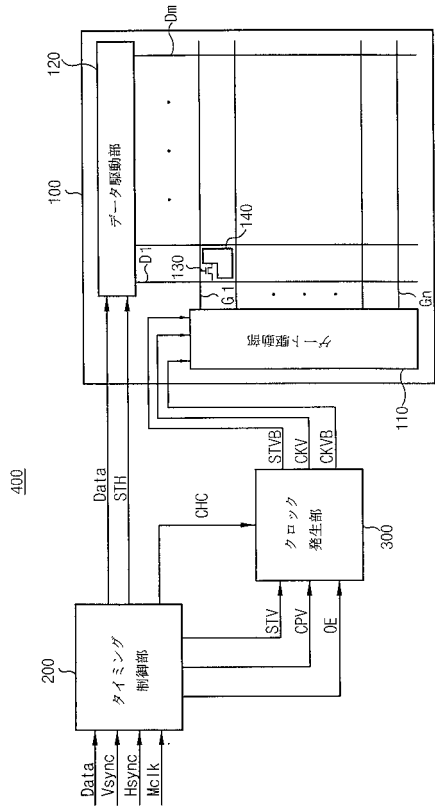
【図1】本発明の一実施形態による液晶表示装置を示すブロック図である。

【図2】図1に示されたクロック発生部のブロック図である。

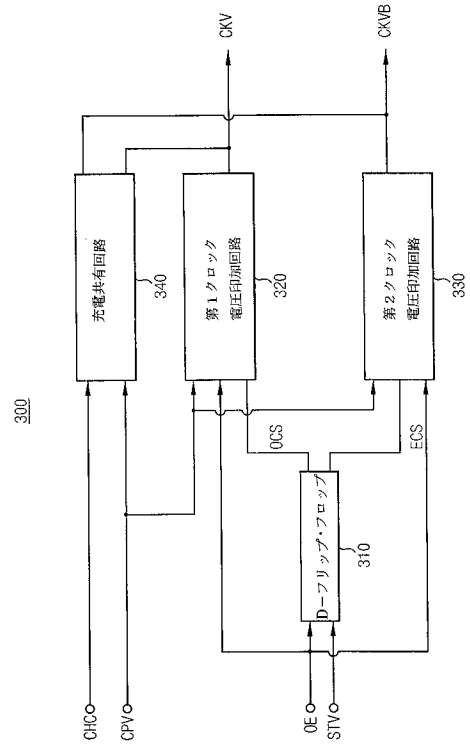
50

- 【図3】図2に示された入力信号のタイミング図である。
- 【図4】図2に示されたD-フリップ・フロップの回路図である。
- 【図5】図4に示されたD-フリップ・フロップのタイミング図である。
- 【図6】図2に示された第1電圧印加回路の回路図である。
- 【図7】図2に示された第2電圧印加回路の回路図である。
- 【図8】図2に示された充放電回路を示す回路図である。
- 【図9】図2に示されたクロック発生部から出力される第1及び第2クロックをシミュレーションした波形図である。
- 【図10】図2に示されたクロック発生部から第1及び第2クロックを出力するのに必要とされる電流をシミュレーションした波形図である。 10
- 【図11】第1及び第2クロックによる各ステージの出力波形を示す波形図である。
- 【図12】本発明の他の形態によるクロック発生制御信号を示す波形図である。
- 【図13】本発明の他の形態によるクロック発生制御信号を示す波形図である。
- 【図14】本発明の他の実施形態による液晶表示装置を示す概略図である。
- 【図15】図14に示された放電部の概略図である。
- 【図16】放電部の電流のシミュレーション結果を示す波形図である。
- 【図17】図14に示された液晶表示装置のゲート駆動信号のシミュレーション結果を示す波形図である。
- 【図18】従来のゲート駆動信号をシミュレーションした波形図である。
- 【図19】図14に示された液晶パネルによるゲート駆動信号をシミュレーションした波形図である。 20
- 【図20】本発明の他の実施形態による液晶表示装置を示す概略図である。
- 【図21】本発明の他の実施形態による液晶表示装置を示す概略図である。
- 【図22】図20に示された第1ゲート駆動部の内部構成を示す回路図である。
- 【図23】図22に示された第1ゲート駆動部の出力をシミュレーションした波形図である。
- 【図24】図20に示された第2ゲート駆動部の第1電源電圧入力端子に第1電源電圧を印加した場合、第1ゲート駆動部の出力をシミュレーションした波形図である。
- 【図25】図20に示された第2ゲート駆動部の第1及び第2クロック入力端子に第2電源電圧を印加した場合第1ゲート駆動部の出力をシミュレーションした波形図である。 30
- 【符号の説明】
- 【0119】
- | | | |
|-----|-------------|----|
| 100 | 液晶パネル | |
| 110 | ゲート駆動部 | |
| 120 | データ駆動部 | |
| 160 | 第1ゲート駆動部 | |
| 170 | 第2ゲート駆動部 | |
| 180 | 第1放電部 | |
| 190 | 第2放電部 | |
| 200 | タイミング制御部 | 40 |
| 300 | クロック発生部 | |
| 310 | D-フリップ・フロップ | |
| 320 | 第1電圧印加回路 | |
| 330 | 第2電圧印加回路 | |
| 340 | 充放電回路 | |
| 400 | 液晶表示装置 | |

【 図 1 】

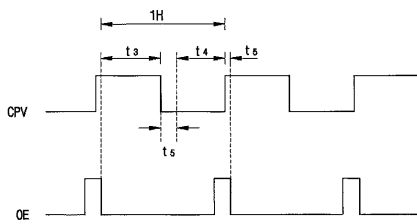


【 図 2 】



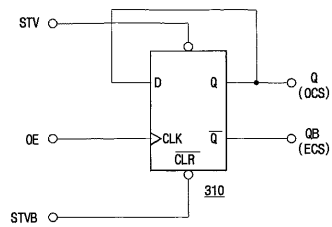
【 図 3 】

FIG.3



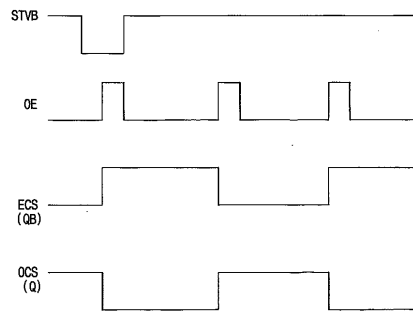
【 図 4 】

FIG.4



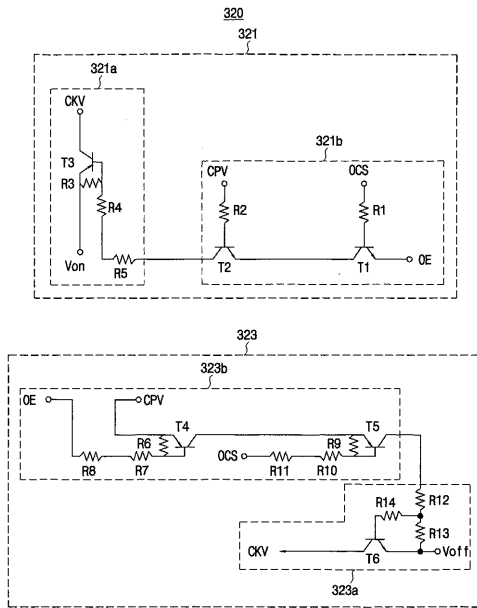
【 図 5 】

FIG.5



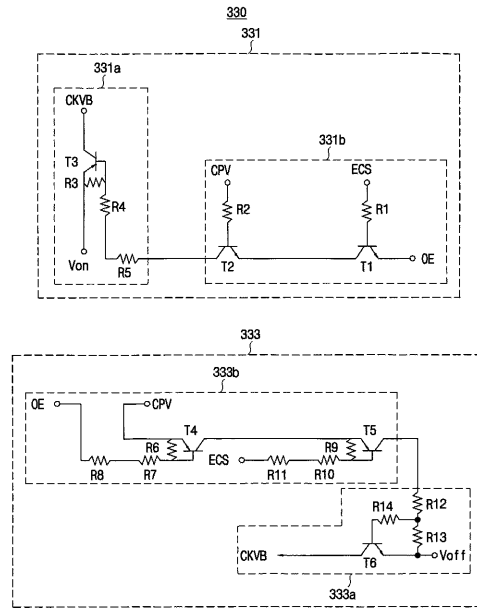
【 図 6 】

FIG.6



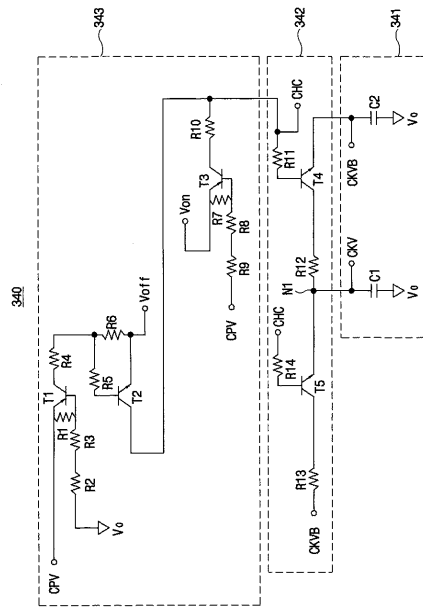
【 図 7 】

FIG.7



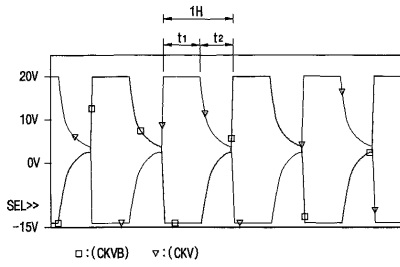
【 図 8 】

FIG.8



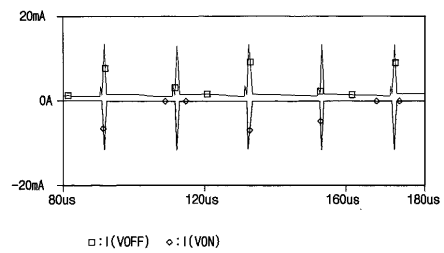
【 図 9 】

FIG.9



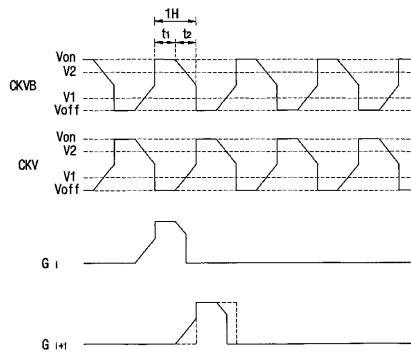
【 図 10 】

FIG.10



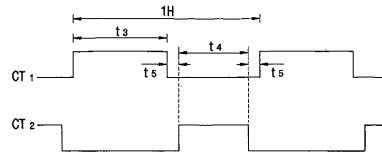
【 図 1 1 】

FIG.11



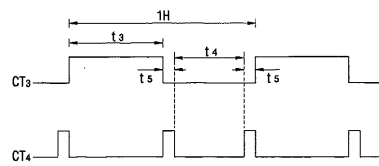
【 図 1 2 】

FIG.12

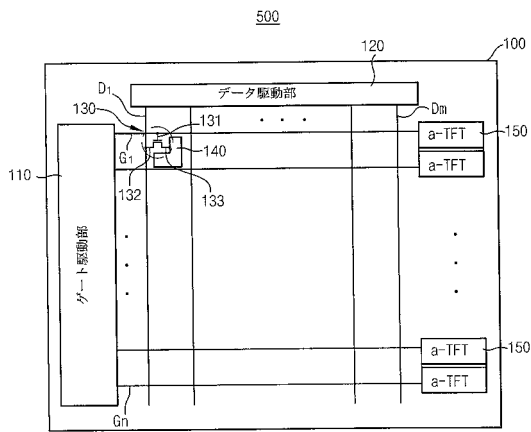


【 図 1 3 】

FIG.13

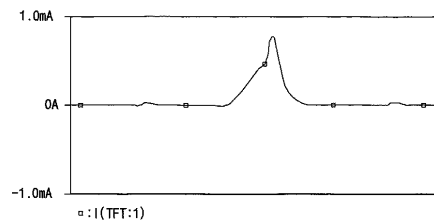


【 図 1 4 】



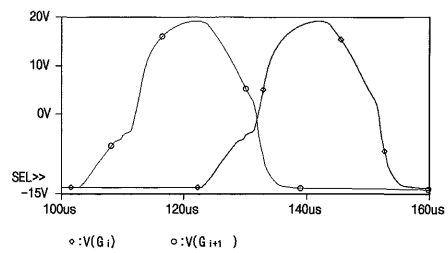
【 図 1 6 】

FIG.16



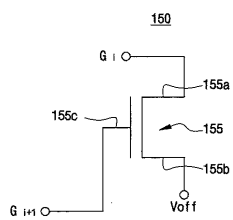
【 図 1 7 】

FIG.17



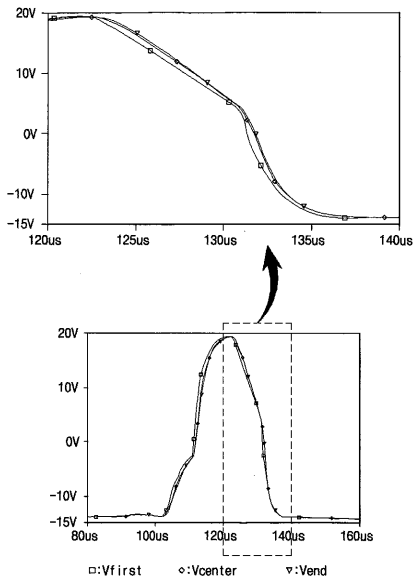
【 図 1 5 】

FIG.15



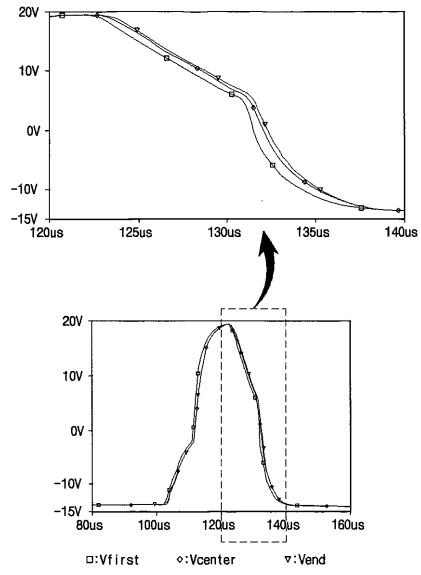
【 図 18 】

FIG.18

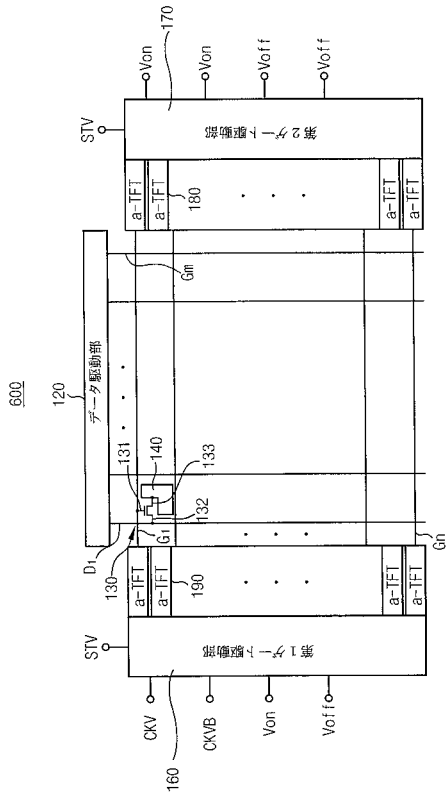


【 図 19 】

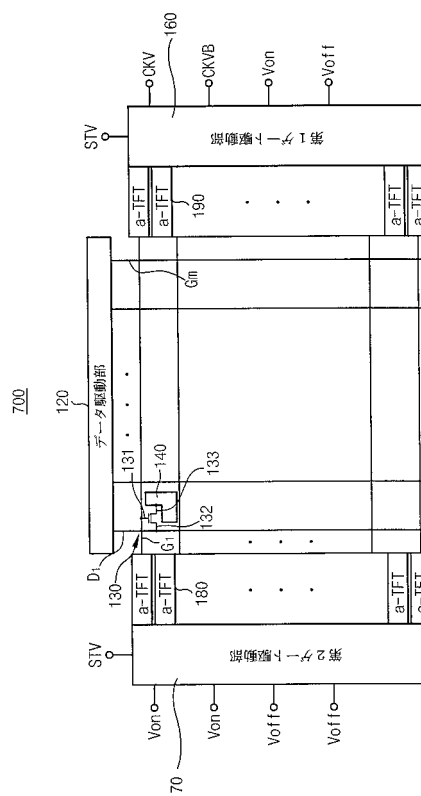
FIG.19



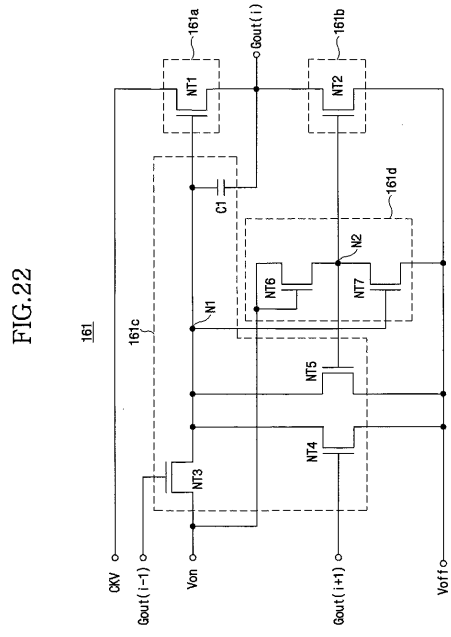
【 図 20 】



【 図 21 】

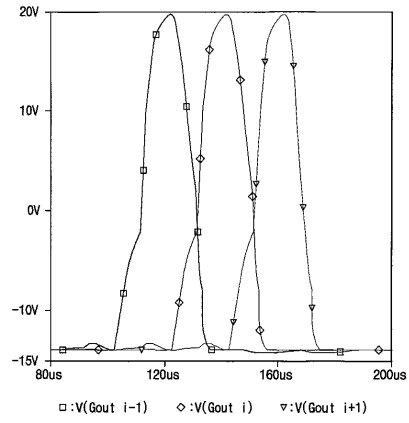


【 2 2 】



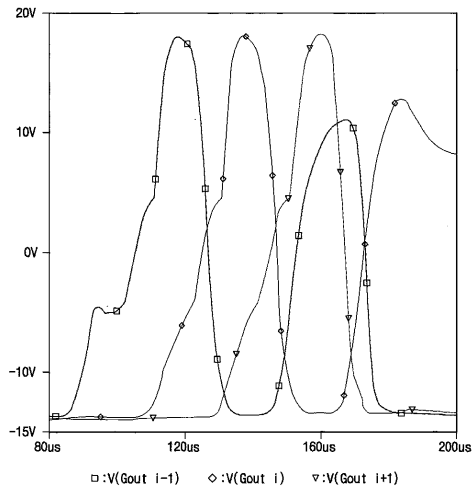
【 2 3 】

FIG.23



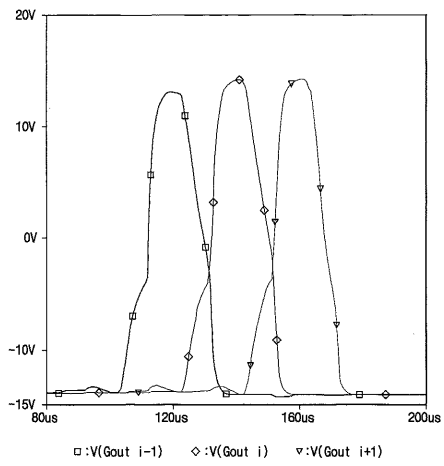
【 2 4 】

FIG.24



【 2 5 】

FIG.25



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 J
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 7 0 E

審査官 武田 悟

(56)参考文献 特開平8 - 2 9 2 7 4 1 (J P , A)
特開2 0 0 1 - 2 6 5 2 8 9 (J P , A)
国際公開第0 2 / 0 6 5 0 6 2 (W O , A 2)

(58)調査した分野(Int.Cl. , D B名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP5232956B2	公开(公告)日	2013-07-10
申请号	JP2004532810	申请日	2003-08-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	ムンスンフワン		
发明人	ムン,スン-フワン		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G2330/08		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.J G09G3/20.612.K G09G3/20.621.F G09G3/20.621.J G09G3/20.622.C G09G3/20.622.D G09G3/20.622.G G09G3/20.622.K G09G3/20.670.E		
代理人(译)	山下大浩嗣		
审查员(译)	武田 悟		
优先权	1020020052020 2002-08-30 KR		
其他公开文献	JP2006516049A5 JP2006516049A		
外部链接	Espacenet		

摘要(译)

公开了一种具有改进的显示特性的LCD装置。时钟发生器将第一和第二时钟信号施加到栅极驱动器，以便控制栅极驱动信号的脉冲宽度。连接到栅极线的第一端的放电晶体管在操作下一级之前放电当前级。栅极线包括用于操作栅极线的第一栅极驱动器和第二栅极驱动器，同时第一栅极驱动器在异常状态下操作。因此，LCD装置可以高速操作并防止栅极驱动信号被延迟。

