

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5026744号
(P5026744)

(45) 発行日 平成24年9月19日 (2012.9.19)

(24) 登録日 平成24年6月29日 (2012.6.29)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 505

G09G 3/20 611J

G09G 3/20 612F

G09G 3/20 612K

請求項の数 1 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2006-163594 (P2006-163594)
 (22) 出願日 平成18年6月13日 (2006.6.13)
 (65) 公開番号 特開2007-102173 (P2007-102173A)
 (43) 公開日 平成19年4月19日 (2007.4.19)
 審査請求日 平成18年6月13日 (2006.6.13)
 審査番号 不服2010-29168 (P2010-29168/J1)
 審査請求日 平成22年12月24日 (2010.12.24)
 (31) 優先権主張番号 10-2005-0092260
 (32) 優先日 平成17年9月30日 (2005.9.30)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順
 (74) 代理人 100147566
 弁理士 上田 俊一

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

画像を表示するためのデジタルデータ信号を出力するとともに、前記デジタルデータ信号をサンプリングするためのクロック信号を出力するタイミングコントローラと、

前記クロック信号の第1電圧と第2電圧との中間値を持つ基準電圧を出力する基準電圧発生部と、前記基準電圧と前記タイミングコントローラからのデジタルデータ信号の大きさととの比較結果に基づいて、入力された前記デジタルデータ信号の大きさをあらかじめ設定された電圧のいずれか1つに変調してデータドライバ集積回路に供給する比較器とを含むデータ復元部と、

前記タイミングコントローラからの前記デジタルデータ信号を前記比較器に伝送する複数のデータ伝送ラインと、

前記タイミングコントローラからの前記クロック信号を前記基準電圧発生部に伝送するための複数のクロック伝送ラインと、

前記データドライバ集積回路に基準ガンマ電圧を供給するための基準ガンマ電圧生成部と、

前記データドライバ集積回路からのアナログデータ信号を受信して画像を表示する液晶パネルと、

前記液晶パネルのゲートラインを駆動するための複数のゲートドライバ集積回路と、

前記ゲートドライバ集積回路が実装されたゲートTCPと、

前記データドライバ集積回路が実装されたデータTCPと、

10

20

前記データＴＣＰを介して前記液晶パネルに接続された印刷回路基板とを備え、
 前記データ伝送ラインと前記クロック伝送ラインは、同じ大きさの抵抗成分及びキャパシタンス成分を有し、
 前記比較器は、前記デジタルデータ信号をビットごとに受け取り、各ビットの電圧の大きさを前記基準電圧の大きさと比較し、
 前記比較器は、
 前記ビットの電圧が前記基準電圧よりも大きい場合には、前記ビットの電圧をあらかじめ設定されたハイレベル電圧に変調して出力し、
 前記ビットの電圧が前記基準電圧よりも小さい場合には、前記ビットの電圧をあらかじめ設定されたローレベル電圧に変調して出力し、
 前記ハイレベル電圧は、 3.3 V であり、前記ローレベル電圧は、 0 V であり、
 前記デジタルデータ信号は、 $0.6\text{ V} \sim 1.5\text{ V}$ の大きさの電圧レベルを有し、
 前記データドライバ集積回路は、
 前記タイミングコントローラからの前記クロック信号及びソーススタートパルスを用いてサンプリング信号を発生するシフトレジスタと、
 前記サンプリング信号によって前記データ復元部からのデジタルデータ信号をラッチするラッチ部と、
 前記ラッチ部によりラッチされた前記デジタルデータ信号をアナログ信号に変換して液晶パネルに供給するデジタル・アナログ変換部と
 を備え、
 前記データ復元部は、前記データドライバ集積回路に内蔵され、
 前記タイミングコントローラは、前記印刷回路基板に実装されたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置に係り、特に、比較器の誤動作を防止することができる液晶表示装置に関する。

【背景技術】

【０００２】

近来、ＣＲＴ（Cathode Ray Tube）の短所とされる重さと体積を低減できる各種の平板表示装置が台頭してきている。かかる平板表示装置には、液晶表示装置（Liquid Crystal Display）、電界放出表示装置（Field Emission Display）、プラズマ表示パネル（Plasma Display Panel）及び発光表示装置（Light Emitting Display）などがある。

【０００３】

なかでも液晶表示装置は、複数のデータラインと複数のゲートラインとによって定義される領域に複数の液晶セルが配置され、各液晶セルにスイッチング素子である薄膜トランジスタが形成された薄膜トランジスタ基板と、カラーフィルタが形成されたカラーフィルタ基板と、これら両基板間に形成された液晶層とを備える。このような液晶表示装置は、データ信号によって液晶層に電界を形成し、液晶層を通過する光の透過率を調節することによって所望の画像を表示する。

【０００４】

図１は、従来の液晶表示装置を概略的に示す図である。

従来の液晶表示装置は、図１に示すように、 n 個のゲートライン $GL1 \sim GLn$ と m 個のデータライン $DL1 \sim DLM$ とによって定義される液晶セルを含む液晶パネル１１０と、データライン $DL1 \sim DLM$ にアナログデータ信号を供給するデータドライバ１４０と、ゲートライン $GL1 \sim GLn$ にスキャンパルス进行供給するゲートドライバ１５０と、外部から入力されるデジタルデータ信号 $Data$ を、液晶パネル１１０の駆動に合わせて整理してデータドライバ１４０に供給するとともに、データドライバ１４０とゲートドライ

10

20

30

40

50

バ 1 5 0 を制御するタイミングコントローラ 1 3 0 とを備える。

【 0 0 0 5 】

液晶パネル 1 1 0 は、 n 個のゲートライン $GL1 \sim GLn$ と m 個のデータライン $DL1 \sim DLM$ とによって定義される領域に形成された薄膜トランジスタ TFT と、薄膜トランジスタ TFT に接続される液晶セルとを備える。薄膜トランジスタ TFT は、ゲートライン $GL1 \sim GLn$ からのスキャンパルスにตอบสนองして、データライン $DL1 \sim DLM$ からのデータ信号を液晶セルに供給する。液晶セルは、液晶を間において対向する共通電極と薄膜トランジスタ TFT に接続されたサブピクセル電極とで構成され、等価的に液晶キャパシタ $C1c$ で表すことができる。このような液晶セルは、液晶キャパシタ $C1c$ に充電されたデータ信号を、次のデータ信号が充電されるまで維持させるために、前段ゲートラインに接続されたストレージキャパシタ Cst を備える。

10

【 0 0 0 6 】

タイミングコントローラ 1 3 0 は、外部から供給されるデジタルデータ信号 $Data$ を、液晶パネル 1 1 0 の駆動に合わせて整列してデータドライバ 1 4 0 に供給する。また、タイミングコントローラ 1 3 0 は、外部から入力されるメインクロック $MCLK$ 、データイネーブル信号 DE 、水平同期信号 $Hsync$ 及び垂直同期信号 $Vsync$ を用いて、データ制御信号 DCS とゲート制御信号 GCS をそれぞれ生成し、データドライバ 1 4 0 とゲートドライバ 1 5 0 のそれぞれの駆動タイミングを制御する。

【 0 0 0 7 】

ゲートドライバ 1 5 0 は、タイミングコントローラ 1 3 0 からのゲート制御信号 GCS にตอบสนองしてスキャンパルス、すなわち、ゲートハイパルスを順次発生するシフトレジスタを含む。このため、ゲートドライバ 1 5 0 は、シフトレジスタを有する複数のゲートドライバ集積回路を備える。

20

【 0 0 0 8 】

データドライバ 1 4 0 は、液晶パネル 1 1 0 のデータライン DL のそれぞれにアナログデータ信号を供給する複数のデータドライバ集積回路を備える。

【 0 0 0 9 】

各データドライバ集積回路は、タイミングコントローラ 1 3 0 から供給されるデータ制御信号 DCS によって、タイミングコントローラ 1 3 0 からの整列されたデジタルデータ信号 $Data$ をアナログデータ信号に変換し、ゲートライン $GL1 \sim GLn$ にスキャンパルスが供給される 1 水平周期ごとに 1 水平ライン分のアナログデータ信号を、データライン $DL1 \sim DLM$ に供給する。すなわち、各データドライバ集積回路は、データ信号 $Data$ の階調数に対応する相異なる電圧値を持つ複数のガンマ電圧を生成し、デジタルデータ信号 $Data$ の階調値によって 1 つのガンマ電圧を上記アナログデータ信号として選択して、データライン $DL1 \sim DLM$ に供給する。

30

【 0 0 1 0 】

このような従来の液晶表示装置の駆動装置は、CMOS インターフェース方式によって、タイミングコントローラ 1 3 0 で外部からのデジタルソースデータ $Data$ を TTL / CMOS (Transistor-Transistor Logic/Complementary Metal Oxide Semiconductor) レベルに変換し、変換されたデジタルデータ信号 $Data$ を 1 ポート対 1 ポート、または 1 ポート対 2 ポート方式でデータドライバ 1 4 0 に並列伝送する。

40

【 0 0 1 1 】

一方、タイミングコントローラ 1 3 0 から出力されるデジタルデータ信号 $Data$ の大きさは、約 $0.6 \sim 1.5$ V である。このようにタイミングコントローラ 1 3 0 は、デジタルデータ信号 $Data$ の大きさを、通常の 3.3 V ではなく、それより低い電圧レベルに下げることによって、デジタルデータ信号 $Data$ を 100 MHz 以上の高速で伝送可能である。また、タイミングコントローラ 1 3 0 は、デジタルデータ信号 $Data$ の電圧レベルを下げることによって、デジタルデータ信号 $Data$ がデータ伝送ラインを通る際に発生する EMI (Electromagnetic Interference) の大きさも減らすことができる。

【 0 0 1 2 】

50

このようにタイミングコントローラ 130 から出力されたデジタルデータ信号 Data は、各データドライバ集積回路に供給され、このときに、各データドライバ集積回路は、自分に供給されたデジタルデータ信号 Data の電圧レベルを 3.3V の大きさに復元する。このため、各データドライバ集積回路は、0.6 ~ 1.5V の電圧レベルを持つデジタルデータ信号 Data を元の 3.3V の大きさに復元させるデータ復元部を備える。

【0013】

このデータ復元部について、より具体的に説明すると、次の通りである。

【0014】

図2は、図1の各データドライバ集積回路に備えられたデータ復元部を示す図である。

【0015】

データ復元部 201 は、図2に示すように、基準電圧 Vref を発生する基準電圧発生部 201a と、基準電圧発生部 201a から提供された基準電圧 Vref の大きさと、タイミングコントローラ 130 から提供されたデジタルデータ信号 Data の大きさとを比較し、この比較結果によってハイ論理のデジタルデータ信号 Data 及びロー論理のデジタルデータ信号 Data のいずれかを選択して出力する比較器 201b とを備える。

【0016】

すなわち、比較器 201b は、データ伝送ライン 222 から供給されるデジタルデータ信号 Data をビットごとに受け取り、この入力された各ビットに該当する電圧を、基準電圧 Vref と比較する。比較の結果、当該ビットの電圧が基準電圧 Vref よりも大きい場合（すなわち、当該ビットがハイ論理のデジタルデータ値を持つ場合）には、当該ビットの電圧をあらかじめ設定されたハイレベル電圧として出力する。また、当該ビットの電圧が基準電圧 Vref よりも小さい場合（すなわち、当該ビットがロー論理のデジタルデータ値を持つ場合）には、当該ビットの電圧をあらかじめ設定されたローレベル電圧として出力する。

【0017】

上述したように、ハイレベル電圧の大きさは、3.3V である。そして、ローレベル電圧の大きさは 0V である。したがって、デジタルデータ信号 Data は、比較器 201b を通過しながら各ビットの大きさが元の電圧レベル 3.3V に復元されたデジタルデータ信号 Data' に変換される。

【発明の開示】

【発明が解決しようとする課題】

【0018】

このような比較器 201b が高精度に動作するためには、比較器 201b に入力される基準電圧 Vref の大きさが、タイミングコントローラ 130 から出力されたデジタルデータ信号 Data の中間値に該当する電圧に維持されなければならない。すなわち、基準電圧 Vref は、ハイ論理のデジタルデータ値を持つビットと、ロー論理のデジタルデータ値を持つビットとの中間値を持っているべきである。このように、基準電圧 Vref が上述の大きさに維持されないと、比較器 201b は誤動作してしまう。

【0019】

一方、タイミングコントローラ 130 から出力されたデジタルデータ信号 Data は、データ伝送ライン 222 を通過しながら該データ伝送ライン 222 の抵抗及びキャパシタンス成分によって歪んでしまう。したがって、デジタルデータ信号 Data の各ビットの電圧が所望の大きさよりも小さくなるか、または、大きくなる。このように、デジタルデータ信号 Data の大きさが変化すると、前述したように、基準電圧 Vref の大きさは固定されているため、基準電圧 Vref は、デジタルデータ信号 Data の中間値に該当する値を持つことができなくなる。その結果、比較器 201b は、誤動作を起こすことになる。

【0020】

本発明は、上記の問題点を解決するためのもので、その目的は、デジタルデータ信号をサンプリングするためのクロック信号に基づいて基準電圧の大きさを継続して変化させる

10

20

30

40

50

ことによって、該基準電圧の大きさを常にデジタルデータ信号の中間値に維持することができる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0021】

前記のような目的を達成するために、本発明に係る液晶表示装置は、画像を表示するためのデジタルデータ信号を出力するとともに、前記デジタルデータ信号をサンプリングするためのクロック信号を出力するタイミングコントローラと、前記クロック信号の第1電圧と第2電圧との中間値を持つ基準電圧を出力する基準電圧発生部と、前記基準電圧と前記タイミングコントローラからのデジタルデータ信号の大きさとの比較結果に基づいて、入力された前記デジタルデータ信号の大きさをあらかじめ設定された電圧のいずれか1つに変調してデータドライバ集積回路に供給する比較器とを含むデータ復元部と、前記タイミングコントローラからの前記デジタルデータ信号を前記比較器に伝送する複数のデータ伝送ラインと、前記タイミングコントローラからの前記クロック信号を前記基準電圧発生部に伝送するための複数のクロック伝送ラインと、前記データドライバ集積回路に基準ガンマ電圧を供給するための基準ガンマ電圧生成部と、前記データドライバ集積回路からのアナログデータ信号を受信して画像を表示する液晶パネルと、前記液晶パネルのゲートラインを駆動するための複数のゲートドライバ集積回路と、前記ゲートドライバ集積回路が実装されたゲートTCPと、前記データドライバ集積回路が実装されたデータTCPと、前記データTCPを介して前記液晶パネルに接続された印刷回路基板とを備え、前記データ伝送ラインと前記クロック伝送ラインは、同じ大きさの抵抗成分及びキャパシタンス成分を有し、前記比較器は、前記デジタルデータ信号をビットごとに受け取り、各ビットの電圧の大きさを前記基準電圧の大きさと比較し、前記比較器は、前記ビットの電圧が前記基準電圧よりも大きい場合には、前記ビットの電圧をあらかじめ設定されたハイレベル電圧に変調して出力し、前記ビットの電圧が前記基準電圧よりも小さい場合には、前記ビットの電圧をあらかじめ設定されたローレベル電圧に変調して出力し、前記ハイレベル電圧は、3.3Vであり、前記ローレベル電圧は、0Vであり、前記デジタルデータ信号は、0.6V～1.5Vの大きさの電圧レベルを有し、前記データドライバ集積回路は、前記タイミングコントローラからの前記クロック信号及びソーススタートパルスを用いてサンプリング信号を発生するシフトレジスタと、前記サンプリング信号によって前記データ復元部からのデジタルデータ信号をラッチするラッチ部と、前記ラッチ部によりラッチされた前記デジタルデータ信号をアナログ信号に変換して液晶パネルに供給するデジタル-アナログ変換部とを備え、前記データ復元部は、前記データドライバ集積回路に内蔵され、前記タイミングコントローラは、前記印刷回路基板に実装されたことを特徴とする。

【発明の効果】

【0023】

本発明に係る液晶表示装置に備えられた基準電圧発生部は、クロック信号の大きさを読み取り、この読み取った結果に基づいて基準電圧の大きさを変動させて出力するが、この際、クロック信号の変化は、デジタルデータ信号の変化を反映するので、出力する基準電圧を、デジタルデータ信号の大きさによって流動的に変化させることができ、この結果、デジタルデータ信号の大きさが歪んだ場合にも、基準電圧を常にデジタルデータ信号の中間値に維持することができ、基準電圧が供給される比較器の誤動作を防止することが可能になる。

【発明を実施するための最良の形態】

【0024】

以下、添付の図面を参照して、本発明に係る液晶表示装置の好適な実施の形態について詳細に説明する。

【0025】

図3は、本発明の実施の形態による液晶表示装置を示す図である。

【0026】

本発明の実施の形態による液晶表示装置は、図3に示すように、画像を表示する表示部

３１２を有する液晶パネル３１０と、液晶パネル３１０にスキャンパルスを供給する複数のゲートドライバ集積回路３５０と、液晶パネル３１０にアナログデータ信号を供給する複数のデータドライバ集積回路３４０と、外部から入力されるデジタルデータ信号Dataを液晶パネル３１０の駆動に合わせて整列して各データドライバ集積回路３４０に供給するとともに、各データドライバ集積回路３４０と各ゲートドライバ集積回路３５０を制御するタイミングコントローラ３３０とを備える。

【００２７】

また、本発明の実施の形態による液晶表示装置は、タイミングコントローラ３３０及び電源回路（図示せず）が実装された印刷回路基板３２０と、各データドライバ集積回路３４０が実装され、印刷回路基板３２０と液晶パネル３１０との間に付着される複数のデータTCP（Tape Carrier package）３４１と、各ゲートドライバ集積回路３５０が実装され、液晶パネル３１０に付着される複数のゲートTCP３５１とをさらに備える。

10

【００２８】

液晶パネル３１０は、マトリクス状に形成された液晶セルLCの光透過率を調節して画像を表示する。各液晶セルLCは、ゲートラインGLとデータラインDLとの交差点に接続されたスイッチング素子である薄膜トランジスタTFTを備える。データラインDLは、各データドライバ集積回路３４０からアナログデータ信号が供給される。

【００２９】

各データTCP３４１は、TAB（Tape Automated Bonding）方式によって印刷回路基板３２０と液晶パネル３１０との間に付着される。ここで、各データTCP３４１の入力パッドは、印刷回路基板３２０に電氣的に接続され、出力パッドは、液晶パネル３１０のデータパッドに電氣的に接続される。このような各データTCP３４１上には、データドライバ集積回路３４０が実装される。

20

【００３０】

各ゲートTCP３５１は、TAB方式で液晶パネル３１０のゲートパッドに電氣的に接続される。このような各ゲートTCP３５１上には、ゲートドライバ集積回路３５０が実装される。

【００３１】

印刷回路基板３２０には、タイミングコントローラ３３０、電源回路、及び各データドライバ集積回路３４０に基準ガンマ電圧を供給するための基準ガンマ電圧生成部（図示せず）などが実装される。また、印刷回路基板３２０には、各構成要素間を電氣的に接続する信号配線（図示せず）が形成される。

30

【００３２】

タイミングコントローラ３３０は、ユーザーコネクタ（図示せず）を介して外部から入力されるメインクロックMCLK、データイネーブル信号DE、水平同期信号Hsync及び垂直同期信号Vsyncを用いてデータ制御信号DCSとゲート制御信号GCSを生成し、これらの制御信号によって各データドライバ集積回路３４０と各ゲートドライバ集積回路３５０の駆動タイミングを制御する。

【００３３】

次に、タイミングコントローラ３３０とデータドライバ集積回路３４０との間の連結関係について、より具体的に説明する。

40

【００３４】

図４は、図３のタイミングコントローラとデータドライバ集積回路との間の結合関係を示す図である。

【００３５】

図４に示すように、タイミングコントローラ３３０と各データドライバ集積回路３４０とは、複数のデータ伝送ライン４４４及び複数の制御信号伝送ライン４２４を介して接続される。ここで、複数の制御信号伝送ライン４２４は、デジタルデータ信号Dataをサンプリングする時に必要なクロック信号を伝送するクロック伝送ラインを含む。

【００３６】

50

これにより、各データドライバ集積回路340は、複数の制御信号伝送ライン424を介してタイミングコントローラ330から供給されるデータ制御信号DCSによって、順次駆動される。この際、各データドライバ集積回路340は、複数のデータ伝送ライン444を介してタイミングコントローラ330からデジタルデータ信号Dataを受信する。そして、各データドライバ集積回路340は、自分に供給されたデジタルデータ信号Dataをアナログ信号に変換して液晶パネル310のデータラインDLに供給する。

【0037】

一方、タイミングコントローラ330から出力されるデジタルデータ信号Dataの大きさは、約0.6~1.5Vである。このように、タイミングコントローラ330は、デジタルデータ信号Dataの大きさを、通常の3.3Vではなく、それより低い電圧のレベルに下げることによって、デジタルデータ信号Dataを100MHz以上の高速で伝送可能である。また、タイミングコントローラ330は、デジタルデータ信号Dataの電圧レベルを下げることによって、デジタルデータ信号Dataがデータ伝送ライン444を通る際に発生するEMI (Electromagnetic Interference) の大きさも減らすことができる。

10

【0038】

このように、タイミングコントローラ330から出力されたデジタルデータ信号Dataは、各データドライバ集積回路340に供給されるが、このとき、各データドライバ集積回路340は、自分に供給されたデジタルデータ信号Dataの電圧レベルを3.3Vの大きさに復元する。このため、各データドライバ集積回路340は、0.6~1.5Vの電圧レベルを持つデジタルデータ信号Dataを、元の3.3Vの大きさに復元させるデータ復元部を備える。

20

【0039】

このデータ復元部について、より具体的に説明すると、次の通りである。

【0040】

図5は、図3の各データ集積回路に備えられたデータ復元部を示す図である。

【0041】

データ復元部501は、図5に示すように、基準電圧発生部501aと、比較器501bとを備える。基準電圧発生部501aは、タイミングコントローラ330からクロック信号CLKを受け取り、このクロック信号CLKのハイ論理電圧とロー論理電圧との中間値を基準電圧Vrefとして出力する。そして、比較器501bは、基準電圧発生部501aからの基準電圧Vrefと、タイミングコントローラ330からのデジタルデータ信号Dataとの大きさを比較し、この比較結果によってハイレベルの電圧またはローレベルの電圧のいずれかを選択して出力する。

30

【0042】

すなわち、比較器501bは、データ伝送ライン444から供給されるデジタルデータ信号Dataをビットごとに受信し、この受信した各ビットに該当する電圧を基準電圧Vrefと比較する。比較の結果、当該ビットの電圧が基準電圧Vrefよりも大きい場合（すなわち、当該ビットがハイ論理電圧を有する場合）には、当該ビットの電圧をあらかじめ設定されたハイレベル電圧として出力する。また、当該ビットの電圧が基準電圧Vrefよりも小さい場合（すなわち、当該ビットがロー論理電圧を有する場合）には、当該ビットの電圧をあらかじめ設定されたローレベル電圧として出力する。

40

【0043】

ここで、ハイレベル電圧の大きさは、前述したように、3.3Vである。そして、ローレベル電圧の大きさは0Vである。したがって、当該デジタルデータ信号Dataは、比較器501bを通過しながら各ビットの大きさが元の電圧レベル3.3Vに復元されたデジタルデータ信号Data'に変換される。

【0044】

一方、上述した如く、タイミングコントローラ330から出力されたデジタルデータ信号Dataは、データ伝送ライン444を通過しながらデータ伝送ライン444の抵抗及

50

びキャパシタンス成分によって歪んでしまう。このため、デジタルデータ信号 *Data* の各ビットの電圧が、所望の大きさよりも小さくなるか、または、大きくなることがある。

【0045】

このようなデジタルデータ信号 *Data* の歪みによる比較器 501b の誤動作を防止すべく、本発明では、基準電圧 *Vref* を歪みに応じて変化させる。これを、図6に基づいて、具体的に説明する。

【0046】

図6は、図5の基準電圧発生部から出力される基準電圧の波形を示す図である。

【0047】

まず、当該デジタルデータ信号 *Data* の大きさと、当該クロック信号 *CLK* の大きさは同一である。すなわち、当該デジタルデータ信号 *Data* でハイ論理電圧を表すビットの電圧の大きさと、当該クロック信号 *CLK* でハイ論理電圧を表すビットの電圧の大きさは同一である。さらに、当該デジタルデータ信号 *Data* でロー論理電圧を表すビットの電圧の大きさと、当該クロック信号 *CLK* でロー論理電圧を表すビットの電圧の大きさも同一である。

10

【0048】

一方、各データ伝送ライン444と各クロック伝送ライン555の長さは、略同一であり、また、互いに隣接するように配列されているため、各データ伝送ライン444に沿って伝送されるデジタルデータ信号 *Data* と、各クロック伝送ライン555に沿って伝送されるクロック信号 *CLK* とは、略同じ抵抗成分及びキャパシタンス成分によって歪む。すなわち、当該デジタルデータ信号 *Data* のピーク間電圧の変化と当該クロック信号 *CLK* のピーク間電圧の変化は、略同一である。したがって、クロック信号 *CLK* の変化がわかると、デジタルデータ信号 *Data* の変化も間接的にわかる。

20

【0049】

本発明の基準電圧発生部501aは、クロック信号 *CLK* を受信して周期的にそのクロック信号 *CLK* の大きさを感知する。すなわち、基準電圧発生部501aは、当該クロック信号 *CLK* のハイ論理電圧およびロー論理電圧の大きさを読み取り、読み取られた結果によってハイ論理電圧とロー論理電圧との中間値を持つ基準電圧 *Vref* を発生する。したがって、当該クロック信号 *CLK* の大きさが変化しても、図6に示すように、基準電圧発生部501aから発生した基準電圧 *Vref* は、常にクロック信号 *CLK* のハイ論理電圧とロー論理電圧との中間値を持つようになる。

30

【0050】

上述の如く、クロック信号 *CLK* の変化は、結果的には、デジタルデータ信号 *Data* の変化がそのまま反映されたものであり、基準電圧 *Vref* は、常にデジタルデータ信号 *Data* のハイ論理電圧とロー論理電圧との中間値を表すようになる。

【0051】

一方、各データドライバ集積回路340は、データ復元部501の他に、次のような構成要素をさらに備える。

【0052】

図7は、図3の各データ集積回路の詳細構成図である。

40

【0053】

各データドライバ集積回路340は、図7に示すように、上述したデータ復元部501と、シフトレジスタ700と、第1ラッチ730と、第2ラッチ740と、デジタル-アナログ変換器750とを備える。ここで、シフトレジスタ700は、タイミングコントローラ330からのデータ制御信号 *DCS* の中に含まれているクロック信号 *CLK* 及びソーススタートパルス *SSP* を用いて、サンプリング信号を生成する。第1ラッチ730は、当該サンプリング信号によってデータ復元部501から供給される1ライン分のデジタルデータ信号 *Data* を順次サンプリングする。第2ラッチ740は、データ制御信号 *DCS* の中に含まれているソース出力イネーブル信号 *SOE* に従って、第1ラッチ730でサンプリングされた1ライン分のデジタルデータ信号 *Data* を同時に出力する。デジタル

50

- アナログ変換器 750 は、第 2 ラッチ 740 から供給される 1 ライン分のデジタルデータ信号 *Data* をアナログデータ信号に変換し、液晶パネル 310 の各データライン *DL* 1 ~ *DL* *m* に供給する。

【図面の簡単な説明】

【0054】

【図 1】従来の液晶表示装置を概略的に示す図である。

【図 2】図 1 の各データドライバ集積回路に備えられたデータ復元部を示す図である。

【図 3】本発明の実施の形態による液晶表示装置を示す図である。

【図 4】図 3 のタイミングコントローラとデータドライバ集積回路との間の結合関係を示す図である。

10

【図 5】図 3 の各データ集積回路に備えられたデータ復元部を示す図である。

【図 6】図 5 の基準電圧発生部から出力される基準電圧の波形を示す図である。

【図 7】図 3 の各データ集積回路の詳細構成図である。

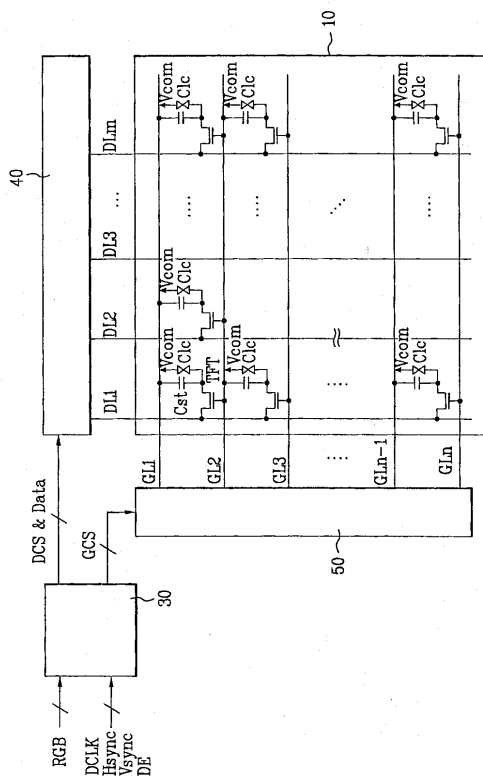
【符号の説明】

【0055】

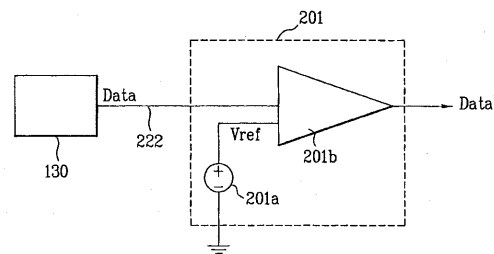
310 液晶パネル、312 表示部、320 印刷回路基板、330 タイミングコントローラ、340 データドライバ集積回路、350 ゲートドライバ集積回路、424 制御信号伝送ライン、444 データ伝送ライン、501 データ復元部、501a 基準電圧発生部、501b 比較器、555 クロック伝送ライン、700 シフトレジスタ、730 第 1 ラッチ、740 第 2 ラッチ、750 デジタル - アナログ変換器。

20

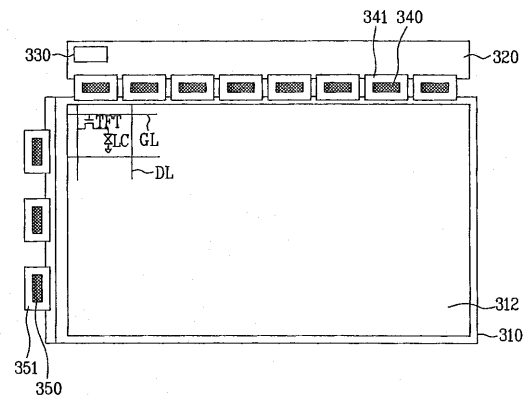
【図 1】



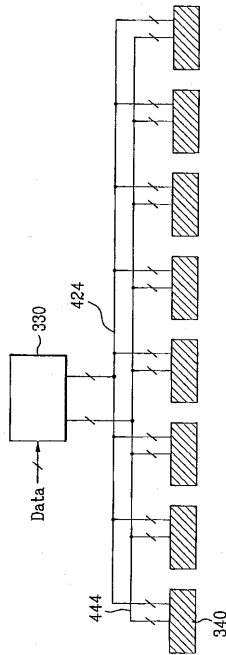
【図 2】



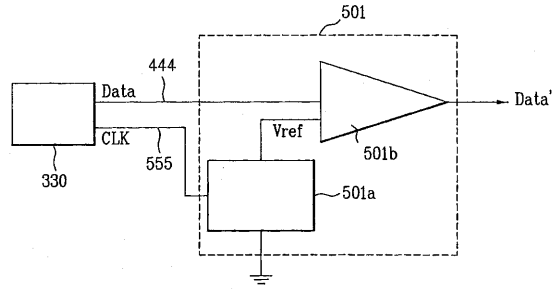
【図 3】



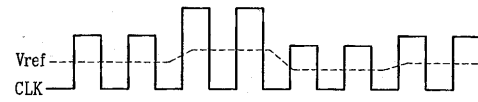
【図 4】



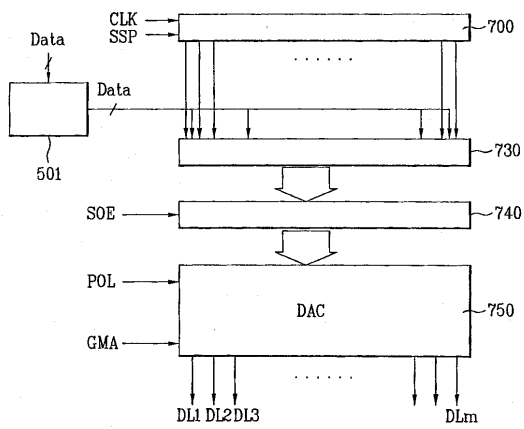
【図 5】



【図 6】



【図 7】



 フロントページの続き

(51)Int.Cl. F I

G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 3 3 B
G 0 9 G	3/20	6 4 1 Q
G 0 9 G	3/20	6 7 0 E
G 0 9 G	3/20	6 8 0 G

(72)発明者 金 鐘勳
大韓民国京畿道軍浦市山本洞サンボン・サイバーテル 9 1 0

合議体
審判長 飯野 茂
審判官 中塚 直樹
審判官 小林 紀史

(56)参考文献 特開平 1 1 - 1 9 4 7 3 7 (J P , A)
特開平 1 0 - 3 2 7 2 0 2 (J P , A)
特開 2 0 0 5 - 2 0 2 4 0 8 (J P , A)
特開 2 0 0 4 - 3 5 7 0 0 4 (J P , A)
特開平 7 - 2 2 1 6 1 2 (J P , A)
特開 2 0 0 0 - 4 9 5 7 5 (J P , A)
特開 2 0 0 4 - 3 1 7 9 1 0 (J P , A)
特開 2 0 0 2 - 1 0 8 3 1 1 (J P , A)
特開 2 0 0 0 - 2 0 6 9 4 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G09G 3/00-3/38
G02F 1/133,505-580
H04L 25/00-25/66

专利名称(译)	液晶表示装置		
公开(公告)号	JP5026744B2	公开(公告)日	2012-09-19
申请号	JP2006163594	申请日	2006-06-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	金鐘勳		
发明人	金 鐘勳		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G2310/027 G09G2320/0223 G09G2330/06		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.611.J G09G3/20.612.F G09G3/20.612.K G09G3/20.612.U G09G3/20.621.M G09G3/20.622.A G09G3/20.623.F G09G3/20.623.G G09G3/20.623.H G09G3/20.633.B G09G3/20.641.Q G09G3/20.670.E G09G3/20.680.G		
F-TERM分类号	2H093/NA16 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC25 2H093/NC34 2H093/NC35 2H093/NC90 2H093/ND40 2H093/ND48 2H093/ND60 2H193/ZA04 2H193/ZF22 2H193/ZF36 5C006/AC11 5C006/AC21 5C006/AF43 5C006/AF44 5C006/AF51 5C006/AF71 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC16 5C006/BF14 5C006/FA14 5C006/FA37 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD09 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
审查员(译)	饭野滋		
助理审查员(译)	纳基·纳卡塔茨卡		
优先权	1020050092260 2005-09-30 KR		
其他公开文献	JP2007102173A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够防止比较器故障的液晶显示装置。解决方案：液晶显示装置包括：定时控制器330，用于输出数字数据信号以显示图像;时钟信号，用于对数字数据信号进行采样;以及数据恢复器501，用于通过从定时接收时钟信号来产生参考电压。控制器330，将从时序控制器330输出的数字数据信号的电压电平与参考电压进行比较，将输入数字数据信号的电压电平调制为预设电压之一，并将转换后的电压电平提供给集成的数据驱动器电路。 Ž

【図 3】

