

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4786996号
(P4786996)

(45) 発行日 平成23年10月5日 (2011. 10. 5)

(24) 登録日 平成23年7月22日 (2011. 7. 22)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G02F 1/133 510

G09G 3/20 623F

G09G 3/20 641C

請求項の数 7 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2005-306003 (P2005-306003)
 (22) 出願日 平成17年10月20日 (2005. 10. 20)
 (65) 公開番号 特開2007-114496 (P2007-114496A)
 (43) 公開日 平成19年5月10日 (2007. 5. 10)
 審査請求日 平成19年8月9日 (2007. 8. 9)

(73) 特許権者 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100093506
 弁理士 小野寺 洋二
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 100093506
 弁理士 小野寺 洋二
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶層を介して対向して配置される2枚の基板のうち、一方の基板の内面に対向電極を形成し、他方の基板の内面に互いに交差する複数本の行電極と複数本の列電極を形成し、前記行電極と列電極の交差部に3端子のスイッチング素子を形成し、前記3端子のスイッチング素子の第1端子は行電極に、第2端子は列電極に、第3端子は液晶層の一方と保持容量に接続され、前記液晶層の他方は対向電極に接続される画素部と、

外部装置から入力される表示データを前記列電極に出力する列電圧に変換すると共に、液晶駆動用の表示同期信号を生成し、前記表示同期信号に従って、1行分の前記列電圧を時分割して出力する列駆動部と、

前記列駆動部からの時分割された前記列電圧を分配して前記列電極へ出力する分配部と、

前記分配部とは反対側で、前記列電極と前記電源部との間に、前記電源部から出力されるイコライズ信号によりオン・オフ制御される複数のスイッチング素子からなり、前記スイッチング素子を介して前記列電極のそれぞれと接続されるイコライズ回路と、

前記分配部の前記スイッチング素子のオン・オフを制御するための前記行電極に出力する行電圧を前記表示同期信号に従って、前記行電極へ1行ずつ順次出力する行駆動部と、

前記表示同期信号に従って、前記表示同期信号を前記行駆動部に出力し、対向電圧を前記対向電極に出力し、選択信号を前記分配部へ出力する電源部とを備え、

前記外部装置は行単位で表示期間と非表示期間を前記列駆動部と前記電源部に設定し、

前記電源部は非表示期間において、前記分配部へ出力する前記選択信号をオフ状態とし、前記イコライズ回路に出力するイコライズ信号を、前記スイッチング素子をオン状態とするレベルとし、前記列電極を前記対向電極の電位レベル又は“0”に相当する電圧とすることを特徴とする表示装置。

【請求項2】

前記分配部は、前記選択信号によりオン・オフが制御される複数のスイッチング素子を備え、非表示期間において、前記選択信号により当該複数のスイッチング素子をオフ状態とし、

前記イコライズ回路は、非表示期間において、前記イコライズ信号により前記列電極のそれぞれに接続された前記複数のスイッチング素子をオン状態とすることを特徴とする請求項1に記載の表示装置。

10

【請求項3】

液晶層を介して対向して配置される2枚の基板のうち、一方の基板の内面に対向電極を形成し、他方の基板の内面に互いに交差する複数本の行電極と複数本の列電極を形成し、前記行電極と前記列電極の交差部に3端子のスイッチング素子を形成し、前記3端子のスイッチング素子の第1端子は行電極に、第2端子は列電極に、第3端子は液晶層の一方と保持容量に接続され、前記液晶層の他方は対向電極に接続される画素部と、

外部装置から入力される表示データを列電圧に変換すると共に、液晶駆動用の表示同期信号を生成し、前記表示同期信号に従って、1行分の列電圧を時分割して出力する列駆動部と、

20

前記列駆動部からの時分割された前記列電圧を分配して前記列電極へ出力する分配部と、

前記分配部とは反対側で、前記列電極と前記電源部との間に、前記電源部から出力されるイコライズ信号によりオン・オフ制御される複数のスイッチング素子からなり、前記スイッチング素子を介して前記列電極のそれぞれと接続されるイコライズ回路と、

前記分配部の前記スイッチング素子のオン・オフを制御するための前記行電極に出力する行電圧を前記表示同期信号に従って、前記行電極へ1行ずつ順次出力する行駆動部と、

前記表示同期信号に従って、前記表示同期信号を前記行駆動部に出力し、対向電圧を前記対向電極に出力し、選択信号を前記分配部へ出力する電源部とを備え、

前記外部装置は、行単位で表示期間と非表示期間を前記列駆動部と前記電源部に設定し

30

、
前記電源部は、非表示期間において、前記分配部へ出力する前記選択信号をオフ状態とし、前記イコライズ回路に出力するイコライズ信号を、前記スイッチング素子をオン状態とするレベルとし、前記列電極を前記対向電極の電位レベル又は“0”に相当する電圧とするものであり、

前記電源部から前記分配部へ出力される前記選択信号は、任意の行電極で最後に選択された列電極が次の行電極において最初に選択されるまで、そのレベルを変えないことを特徴とする表示装置。

【請求項4】

前記選択信号のレベルを変えない場合には、低階調で表示し、変える場合には、多階調で表示すると共に、前記選択信号の切り替わり時に、前記分配部の前記スイッチング素子を1度オフとする選択信号を用いて、多階調表示時と低階調表示時において切り替えることを特徴とする請求項3に記載の表示装置。

40

【請求項5】

液晶層を介して対向して配置される2枚の基板のうち、一方の基板の内面に対向電極を形成し、他方の基板の内面に互いに交差する複数本の行電極と複数本の列電極を形成し、前記行電極と列電極の交差部に3端子のスイッチング素子を形成し、前記3端子のスイッチング素子の第1端子は行電極に、第2端子は列電極に、第3端子は液晶層の一方と保持容量に接続され、前記液晶層の他方は対向電極に接続される画素部と、

外部装置から入力される表示データを前記列電極に出力する列電圧に変換すると共に、

50

液晶駆動用の表示同期信号を生成し、前記表示同期信号に従って、1行分の前記列電圧を時分割して出力する列駆動部と、

前記列駆動部からの時分割された前記列電圧を分配して前記列電極へ出力する分配部と

、

前記分配部とは反対側で、前記列電極と前記電源部との間に、前記電源部から出力されるイコライズ信号によりオン・オフ制御される複数のスイッチング素子からなり、前記スイッチング素子を介して前記列電極のそれぞれと接続されるイコライズ回路と、

前記分配部の前記スイッチング素子のオン・オフを制御するための前記行電極に出力する行電圧を前記表示同期信号に従って、前記行電極へ1行ずつ順次出力する行駆動部と、

前記表示同期信号に従って、前記表示同期信号を前記行駆動部に出力し、対向電圧を前記対向電極に出力し、選択信号を前記分配部へ出力する電源部とを備え、

10

前記外部装置は、行単位で表示期間と非表示期間を前記列駆動部と前記電源部に設定し

、

前記電源部は、非表示期間において、前記分配部へ出力する前記選択信号をオフ状態とし、前記イコライズ回路に出力するイコライズ信号を、前記スイッチング素子をオン状態とするレベルとし、前記列電極を前記対向電極の電位レベル又は“0”に相当する電圧とするものであり、

前記表示データが前記複数本の行毎に切り替えられ、

前記電源部から前記分配部へ出力される前記選択信号は、任意の行電極で最後に選択された列電極が次の行電極において最初に選択されるまで、そのレベルを変えないことを特徴とする表示装置。

20

【請求項6】

互いに交差する複数本の行電極と複数本の列電極を形成し、前記複数本の行電極と複数本の列電極の交差部に対応して形成された画素部と、

外部装置から入力される表示データを前記列電極に出力する列電圧に変換すると共に、前記画素部の駆動用の表示同期信号を生成し、前記表示同期信号に従って、1行分の列電圧を時分割して出力する列駆動部と、

前記列駆動部からの時分割された前記列電圧を分配して前記列電極へ出力する分配部と

、

前記分配部とは反対側で、前記列電極と前記電源部との間に、前記電源部から出力されるイコライズ信号によりオン・オフ制御される複数のスイッチング素子からなり、前記スイッチング素子を介して前記列電極のそれぞれと接続されるイコライズ回路と、

30

前記分配部の前記スイッチング素子のオン・オフを制御するための前記行電極に出力する行電圧を前記表示同期信号に従って、前記行電極へ1行ずつ順次出力する行駆動部と、

前記表示同期信号に従って、前記表示同期信号を前記行駆動部に出力し、対向電圧を前記対向電極に出力し、選択信号を前記分配部へ出力する電源部とを備え、

前記外部装置は、行単位で表示期間と非表示期間を前記列駆動部と前記電源部に設定し

、

前記電源部は、非表示期間において、前記分配部へ出力する前記選択信号をオフ状態とし、前記イコライズ回路に出力するイコライズ信号を、前記スイッチング素子をオン状態とするレベルとし、前記列電極を前記対向電極の電位レベル又は“0”に相当する電圧とするものであり、

40

前記外部装置は行単位で表示期間と非表示期間を前記列駆動部と前記電源部に設定し、

前記電源部は非表示期間において、前記分配部へ出力する前記選択信号をオフ状態とし、前記イコライズ回路に出力する前記イコライズ信号をオン状態とすることを特徴とする表示装置。

【請求項7】

互いに交差する複数本の行電極と複数本の列電極を形成し、前記複数本の行電極と複数本の列電極の交差部に対応して形成された画素部と、

外部装置から入力される表示データを前記列電極に出力する列電圧に変換すると共に、

50

前記画素部の駆動用の表示同期信号を生成し、前記表示同期信号に従って、1行分の列電圧を時分割して出力する列駆動部と、

前記列駆動部からの時分割された前記列電圧を分配して前記列電極へ出力する分配部と

、

前記分配部とは反対側で、前記列電極と前記電源部との間に、前記電源部から出力されるイコライズ信号によりオン・オフ制御される複数のスイッチング素子からなり、前記スイッチング素子を介して前記列電極のそれぞれと接続されるイコライズ回路と、

前記分配部の前記スイッチング素子のオン・オフを制御するための前記行電極に出力する行電圧を前記表示同期信号に従って、前記行電極へ1行ずつ順次出力する行駆動部と、

前記表示同期信号に従って、前記表示同期信号を前記行駆動部に出力し、対向電圧を前記対向電極に出力し、選択信号を前記分配部へ出力する電源部とを備え、

10

前記外部装置は、行単位で表示期間と非表示期間を前記列駆動部と前記電源部に設定し

、

前記電源部は、

非表示期間において、前記分配部へ出力する前記選択信号をオフ状態とし、前記イコライズ回路に出力するイコライズ信号を、前記スイッチング素子をオン状態とするレベルとし、前記列電極を前記対向電極の電位レベル又は“0”に相当する電圧とするものであり

、

前記電源部から前記分配部へ出力される選択信号は、任意の行電極で最後に選択された列電極が次の行電極において最初に選択されるまで、そのレベルを変えないことを特徴とする表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、低消費電力の表示装置に係り、特に、液晶素子、EL素子、プラズマを用いた表示装置に関する。

【背景技術】

30

【0002】

携帯電話などで用いられる小型液晶ディスプレイは、消費電力を小さく抑えることが重要である。そこで、下記特許文献1に示されるように、待ち受け時には、液晶ディスプレイの一部分のみを表示し、他の部分を非表示とすることにより、低消費電力化を図る方式が提案されていた。このようなディスプレイの一部のみを表示状態とする方式を、以下パースシャル表示という。この特許文献1では、非表示部分の走査を数フレームに分けて行うことで1フレーム当たりの駆動周波数を下げ、低消費電力化していた。

【0003】

一方、現在携帯電話などで用いられる小型液晶ディスプレイは、TFT (Thin Film Transistor) を用いているものが一般的である。従来、TFT材料としては、アモルファスシリコンを用いていた。このアモルファスシリコンは、安価に製造できるメリットがあるが、電子移動度が遅いため、液晶駆動回路は外付けのLSIで対応していた。近年、電子移動度の大きい低温ポリシリコン (LTPS (Low Temperature Poly Silicon)) が開発され、駆動回路などを液晶パネルに取り込めるようになってきた。そこで、下記特許文献2に示すように、走査線駆動回路を液晶パネル内に取り込むことにより、部品点数を下げコストを低減する方式が提案されている。

40

【0004】

また、下記特許文献3に示すように、液晶パネルにRGB (Red, Green, Blue) 3色の液晶素子に与える信号を時分割して入力し、配線数を下げることによりコストを下げる方式が提案されている。この方式を、以下RGB時分割駆動という。

50

【 0 0 0 5 】

しかし、この R G B 時分割駆動を導入することにより、液晶パネル内で 1 本の信号線から R G B それぞれの液晶素子に接続された信号線に信号を分配する R G B 分配スイッチが必要となる。この R G B 分配スイッチは、水平周期で操作されるため、消費電力が大きい。そのため、消費電力を低減するためのパーシャル表示であっても、R G B 時分割駆動を採用した L T P S - T F T 液晶パネルの方が、R G B 時分割駆動を採用しないアモルファスシリコン T F T 液晶パネルよりも消費電力が大きくなるという問題があった。

【 0 0 0 6 】

それを解決するために、下記特許文献 4 に示すように、パーシャル表示において、非表示部分への信号入力時には、全ての R G B 分配スイッチをオン状態とし、R G B 分配スイッチへの制御信号の変動をなくすことにより、消費電力を低減する技術が提案されている。

10

【 0 0 0 7 】

また、R G B 時分割駆動を導入することにより、各信号線からリークする電荷量が不均一になり、フリッカを発生するなどの問題が発生していた。この問題を解決するために、下記特許文献 5 に示されるように、各信号線への表示信号電圧の印加順序を 1 水平期間毎に反転するように制御する技術が提案されている。

【 0 0 0 8 】

また、下記特許文献 6 に示されるように、ドレイン信号線の電圧書込効率の向上と、ドライバ出力負荷軽減による消費電力を低減するために、イコライズ回路を設ける方式が提案されている。

20

【特許文献 1】特開 2 0 0 3 - 5 7 2 7 号公報

【特許文献 2】特開 2 0 0 2 - 2 1 5 1 1 8 号公報

【特許文献 3】特開 2 0 0 3 - 2 5 5 9 0 4 号公報

【特許文献 4】特開 2 0 0 3 - 0 2 9 7 1 5 号公報

【特許文献 5】特開 2 0 0 5 - 1 9 5 7 0 3 号公報

【特許文献 6】特開 2 0 0 3 - 2 2 2 8 9 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

30

上記特許文献 4 の技術においては、信号線を駆動するアンプの消費電力の低減については考慮されておらず、消費電力があまり低減できないという問題があった。また、上記特許文献 5 の技術においては、低消費電力化に関しては考慮されておらず、消費電力があまり低減できないという問題があった。

【 0 0 1 0 】

本発明は上記問題点を解決するために、R G B 時分割駆動を導入した L T P S - T F T 液晶パネルを用いた表示装置において、消費電力を低減することを課題とする。

【課題を解決するための手段】

【 0 0 1 1 】

上記課題を解決するために本発明は、R G B 分配スイッチを選択する R G B 選択信号の順番を 1 水平期間毎に、例えば、R G B から B G R と入れ替え、さらに、1 水平期間の切れ目において、最後に選択される、例えば、B 選択信号を選択状態のまま保ち、B 選択信号の周波数を下げることで、消費電力を低減するものである。

40

【 0 0 1 2 】

さらに、上記課題を解決するために本発明は、パーシャル表示において、非表示部分の信号入力時には、全ての R G B 分配スイッチをオフ状態とし、イコライズ回路をオン状態として、ドレイン信号線への電圧書き込みを行い、このドレイン信号線を駆動するアンプの電源を切断することにより、低消費電力化を行うものである。

【発明の効果】

【 0 0 1 3 】

50

以上説明したように、RGB分配スイッチへの選択信号の周波数を低下させることにより、LTPS-TFT液晶パネルを用いた表示装置の場合であっても、その表示装置の消費電力を低減することができる。

【0014】

また、本発明は、液晶パネルに入力するRGB選択信号の入力の順番を変更するだけで実施できるので、パーシャル表示において、液晶パネルでの表示部分と非表示部分の位置及び範囲を自由に変更できるという効果がある。

【発明を実施するための最良の形態】

【0015】

以下、図面を用いて、本発明の実施例を説明する。

10

【実施例1】

【0016】

以下、本発明の実施例1について説明する。図1は、本実施例の表示装置のブロック図であって、100は表示装置、101は列駆動部、102はパネル部、103は電源部である。

【0017】

図1に示す列駆動部101において、111はシステムインターフェイス、112はデータレジスタ、113はタイミング生成部、114はメモリライト制御部、115はメモリリード制御部、116は列電圧生成部、117は時分割部、118は列電圧出力部、119は表示メモリである。

20

【0018】

また、図1に示すパネル102において、121は分配部、122は画素部、123は行駆動部、124はイコライズ回路であり、これらは、例えば、低温ポリシリコンTFT素子で、ガラス基板上に一体形成されているものとする。

【0019】

このパネル102内の分配部121において、1214, 1215, 1216はTFT素子であり、また、イコライズ回路124において、1241~1249はTFT素子である。

【0020】

また、パネル102内の画素部122には、複数本の行電極と列電極との交差部に3端子のスイッチング素子が形成され、このスイッチング素子の第1端子は行電極に、第2端子は列電極に、第3端子は液晶層の一方と図示しない保持容量に接続され、液晶層の他方は対向電極131に接続される。

30

【0021】

なお、画素部122で駆動される表示素子は、例えば、TN型の液晶であり、所定の電圧レベルを印加することで、表示を行うものとする。また、表示装置に入力する表示データは、R(赤)G(緑)B(青)各8ビットのデジタルデータとする。ただし、各色のビット数はこれに限定されない。

【0022】

また、列駆動部101、電源部103は1チップのLSIで構成してもよく、実際1チップのLSIで構成される場合が多い。

40

【0023】

図1において、通常表示時の動作について、図2を用いて説明する。まず、列駆動部101の動作について説明する。

【0024】

列駆動部101へは、外部装置のCPU1から表示装置の動作を制御する制御データがシステムバス3を介して与えられる。この制御データには、表示データとその表示位置、駆動ライン数、フレーム周波数などに関するデータが含まれている。

【0025】

システムインターフェイス111は、制御データをデータレジスタ112内のCPU1

50

によって指定されたアドレスに書き込む。そして、データレジスタ 112 に格納された各種制御データは、各ブロックへ出力される。例えば、表示データは表示メモリ 119 へ、表示位置データはメモリライト制御部 114 へ、駆動ライン数、フレーム周波数などに関するデータはタイミング生成部 113 へ出力される。

【0026】

メモリライト制御部 114 は、表示位置データをデコードし、これに相当する表示メモリ 119 内のビット線とワード線を選択する。これと同時にデータレジスタ 112 から表示データを表示メモリ 119 へ出力し、書き込み動作を完了する。

【0027】

タイミング制御部 113 は、データレジスタ 112 から与えられる駆動情報に基づき、図 2 に示すタイミング信号群を自ら生成し、メモリリード制御部 115、時分割部 117、列電圧出力部 118 へ出力する。

10

【0028】

メモリリード制御部 115 は、タイミング制御部 113 が出力する信号をデコードし、該当する表示メモリ 119 内のワード線を選択する。この動作は、例えば、画面の先頭行の表示データが格納されているワード線から順に 1 行ずつ選択し、最終行の次は、再び先頭行に戻ってこの動作を繰り返す。そして、ワード線を選択動作と同時に表示メモリ 119 のデータ線から 1 行分の表示データが順次一括して出力される。ここで、ワード線の切り替えタイミングは、タイミング生成部 113 から与えられるライン信号に同期し、先頭行のワード線を選択するタイミングは、タイミング生成部 113 から与えられるフレーム信号に同期するものとする。

20

【0029】

時分割部 117 は、表示メモリ 119 から与えられる 1 行分の表示データを時分割（マルチプレクサ）する。この動作はタイミング生成部 113 から与えられた図 2 に示す分割信号 D1 ~ D3 を用いてライン信号の周期を 3 分割し、表示メモリ 119 から出力された表示データを、R データ、G データ、B データとして出力する。この時、R データ、G データ、B データの順番は、図 2 に示す時分割データのように、1 ラインごとに入れ替わる。すなわち、あるラインで R G B の順番に出力したら、次のラインでは B G R の順番で出力する。さらに、次のラインでは R G B の順番となり、1 ラインごとに入れ替わる。

【0030】

30

列電圧生成部 116 は、時分割データを電圧レベルへ変換する際に必要な列電圧を生成するブロックである。このブロックでは、表示データである各デジタルデータに対応する電圧が生成される。例えば、表示データは本実施例においては 8 ビットで表されているので、256 種類のデータとなる。このブロックでは基準電圧を抵抗分圧し、V0 から V255 の 256 種類の電圧を作り出す。ここで、V0 はデータ 0 に対応する電圧であり、V255 はデータ 255 に対応する電圧である。

【0031】

列電圧出力部 118 は、タイミング生成部 113 から与えられる交流化信号および時分割データに応じ 256 種類の列電圧から 1 レベルを選択し、内蔵するアンプにてドライブ能力を増強して出力するブロックである。これらアンプは列駆動信号 DR0 ~ DRm 毎に設けられており、定常的に直流電流を流さなくてはならないため、非常に消費電力が大きい。

40

【0032】

次に、パネル部 102 の動作について説明する。まず、画素部 122 は、3 端子の TFT 素子、液晶層、保持容量から構成され、3 端子の TFT 素子のドレイン端子は列電極、ゲート端子は行電極、ソース端子は液晶層と図示しない保持容量に接続される。また、液晶層の対向側には共通の対向電極があり、液晶層と電氣的に接続されている。さらに、保持容量の他方の端子は、図示しないストレージ線と呼ばれる電極に接続されている。この構成を実現するため、例えば、列電極、行電極、ストレージ線は、液晶層を保持する 2 枚の透明基板のうち、一方の透明基板の内面にマトリクス上に形成され、対向電極は他方の

50

透明基板の内面に形成される。なお、この画素の回路構成はいわゆるC s t構造と呼ばれる構成であるが、保持容量の他方の端子を前段の行電極に接続する、いわゆるC a d d構造と呼ばれる構成へも適用可能である。

【0033】

分配部121は、列駆動部101から与えられる列電圧を分配(デマルチプレクサ)し、画素部122の列電極へ出力するブロックであり、T F T素子1214, 1215, 1216のスイッチを用いた回路構成で実現可能である。その動作は、図2に示す選択信号S A, S B, S Cが、分配制御線1211, 1212, 1213に供給され、選択信号が“ハイ”の状態ですwitchがオンとなり、列電極へ列電圧が印加される。なお、選択信号S A ~ S Cは後述する電源部503から与えられる。本実施例の分配部は、スイッチとして1つのT F T素子を用いたスイッチ回路で説明するが、スイッチ回路は電圧レベルを伝達できるスイッチであれば、C M O Sなど2つ以上のM O Sの組み合わせによるスイッチであっても、また他のどのような構成のスイッチであっても良く、限定されない。

10

【0034】

行駆動部123は、列駆動部101内のタイミング生成部113から転送されたフレーム信号に同期して、先頭の行電極に“ハイ”の行電圧を印加し、その後、同じく転送されたライン信号に同期して、順次“ハイ”の行電圧を次段の行電極へ印加する。なお、行駆動部123の動作は、シフトレジスタ回路を応用することで、容易に実現可能である。

【0035】

イコライズ回路124は、T F T素子1241 ~ 1249で構成され、電源部103から与えられるイコライズ信号(以下「E Q G信号」という。)が“ハイ”のときに、R色の液晶素子に接続されている列電極にV E Q R信号を供給し、G色の液晶素子に接続されている列電極にV E Q G信号を供給し、B色の液晶素子に接続されている列電極にV E Q B信号を供給する。本実施例では、通常表示時、E Q G信号は、常に“ロー”に保たれ、列電極は、V E Q R、V E Q G、V E Q B信号とは遮断されている。

20

【0036】

次に電源部103の動作について説明する。電源部103は、対向電極131への印加電圧である対向電圧V C O M、図示しないストレージ線への印加電圧であるストレージ電圧、行駆動部123の入力クロックである 1、 2、行駆動部123のシフトレジスタスタート信号 I N、選択信号S A ~ S C、E Q G信号、V E Q R、V E Q G、V E Q B信号を生成する。

30

【0037】

まず、対向電圧V C O Mの生成においては、タイミング生成部113から転送される交流信号を液晶駆動に必要なレベルに変換して出力する。対向電圧V C O Mの振幅は、一般的に、列電圧の振幅よりも大きくなるように変換される。なお、液晶印加電圧の極性は、対向電圧からみた列電圧の極性であることから、交流信号に連動して液晶印加電圧の極性が反転する。図2に示す交流化信号はフレーム反転駆動に相当するが、交流周期はこれに限定されない。

【0038】

なお、ストレージ電圧については、対向電圧と同様、タイミング生成部113から転送される交流化信号を対向電圧と同じレベルに変換して出力する。対向電極は液晶素子と直接接続され、平面状に広く配線されているので、非常にノイズが載りやすいが、ストレージ線は行毎に配線を分け、大きな保持容量に接続されているため、安定している。ストレージ線は液晶の表示を安定する機能を担う。

40

【0039】

次に、行駆動部123の入力クロックである 1、 2は、タイミング生成部113から転送されるライン信号で反転する2相クロックである。この2相クロックの“ハイ”レベルはゲート信号の“ハイ”レベルに等しく、“ロー”レベルはゲート信号の“ロー”レベルに等しい。また、シフトレジスタスタート信号 I Nは、タイミング生成部113から転送されるフレーム信号に同期し、2相クロック 1、 2の1周期分だけ“ハイ”と

50

なる信号である。

【 0 0 4 0 】

選択信号 S A ~ S C については、タイミング生成部 1 1 3 からの図 2 に示す分割信号 D 1 ~ D 3 をもとに生成する。この選択信号 S A ~ S C の “ ハイ ” は、分配部 1 2 1 の T F T 素子 1 2 1 4 , 1 2 1 5 , 1 2 1 6 がオン、“ ロー ” はオフとなるような電圧レベルとする。選択信号 S A ~ S C は、図 2 に示す波形であるので、1 行目 (ある行) において、R G B の順で列電圧が印加されたら、2 行目 (その次の行) においては、B G R の順で列電圧が印加される。すなわち、ある行において最後に選択された列は、次の行において最初に選択される。また、行の切れ目において “ ハイ ” であった選択信号は “ ハイ ” のままであり、次の行で最初の列選択が終了するまで “ ハイ ” のままである。

10

【 0 0 4 1 】

このように R G B 、 B G R 、 R G B の順で動作することにより、通常動作時、選択信号 S A , S C の動作周波数は、R G B 、 R G B 、 R G B の順で動作する場合に比べ 2 分の 1 となる。したがって、全体では、選択信号の周波数を 2 / 3 とすることができ、分配部 1 2 1 の T F T 素子による充放電電力を 2 / 3 に削減することができる。

【 0 0 4 2 】

なお、電源部 1 0 3 は、このような動作の他に本発明の表示装置に必要な電源電圧を生成し、各ブロックへ出力する。例えば、外部から与えられる電源電圧を昇圧する手段、昇圧された電圧を調整する手段により、実現可能である。また、電圧調整の制御情報は列駆動部 1 0 1 内のデータレジスタ 1 1 2 から転送されるものとする。

20

【 0 0 4 3 】

次に、待ち受け画面、すなわち、パーシャル表示における本実施例の動作について、図 3 及び図 4 を用いて説明する。パーシャル表示とは、表示装置の一部を非表示状態とし、消費電力を抑える方式である。本実施例では、図 3 下側に示すように縦方向に表示画面を 3 分割し、中央部分を非表示領域、上下の部分を表示領域とする。本実施例の表示装置は、図 3 に示す動作を最初のフレームで 1 回、図 4 に示す動作を次のフレーム以降で n - 1 回と、これらの動作を繰り返す。

【 0 0 4 4 】

まず、C P U 1 は、システムインターフェイス 1 1 1 を介してデータレジスタ 1 1 2 に内蔵される非表示開始アドレスレジスタ、非表示終了アドレスレジスタに、非表示領域開始行番号と非表示領域終了行番号を書き込んだ後、データレジスタ 1 1 2 に内蔵される表示開始レジスタを開始状態にセットする。表示開始レジスタが開始状態にセットされると、タイミング生成部 1 1 3 は内蔵するカウンタのカウントを開始する。カウンタは、フレーム信号でリセットされ、ライン信号が “ ハイ ” となるたびに 1 ずつカウントアップする。カウンタの値がパーシャル非表示開始アドレスレジスタの設定値よりも低い時は通常動作を行う。

30

【 0 0 4 5 】

タイミング生成部 1 1 3 が内蔵するカウンタの値が非表示開始アドレスレジスタと同じになったら、最初の 1 フレーム目では、タイミング生成部 1 1 3 は、分割信号 D 1 , D 2 、 D 3 を “ ロー ” とする。それと同時に、列電圧出力部 1 1 8 内のアンプの電源を切り、アンプへの定常電流が流れないようにする。また、イコライズ回路 1 2 4 へのイコライズ信号 E Q G を “ ハイ ” とし、V E Q R , V E Q G , V E Q B 信号は対向電極の電位レベル又は “ 0 ” に相当する列電圧に固定する。このようにすることにより、充放電電力は最も低くなり、また、消費電力を最も低く抑えることが可能となる。アンプの個数は、Q V G A サイズのパネルで 2 4 0 個、V G A サイズのパネルで 4 8 0 個であるので、これらアンプの定常電流が削減される。また、V E Q R , V E Q G , V E Q B 信号を駆動する電源部 1 0 3 の 3 個のアンプのみを動作状態にするので、消費電力を大きく削減できる。

40

【 0 0 4 6 】

この時、行駆動信号は図 3 に示すように、各行に出力される。これにより、非表示部分に “ 黒 ” などの消費電力の低い電圧に対応する色が書き込まれる。ここで、書き込まれる

50

色が何色になるかは液晶の方式によって異なり、特に限定しない。

【 0 0 4 7 】

タイミング生成部 1 1 3 が内蔵するカウンタの値がパーシャル非表示終了アドレスレジスタと同じになったら、タイミング生成部 1 1 3 は、列電圧出力部 1 1 8 内のアンプの電源を入れ通常動作準備を行う。また、イコライズ回路 1 2 4 の入力信号 E Q G を “ロー” とし、分割信号 D 1 , D 2 、 D 3 を通常動作の波形に戻す。

【 0 0 4 8 】

次に、2 フレーム目から n フレーム目までの動作を説明する。タイミング生成部 1 1 3 が内蔵するカウンタは、フレーム信号でリセットされ、ライン信号が “ハイ” となるたびに 1 ずつカウントアップする。カウンタの値がパーシャル非表示開始アドレスレジスタの
10 設定値よりも低い時は通常動作を行う。

【 0 0 4 9 】

タイミング生成部 1 1 3 が内蔵するカウンタの値が非表示開始アドレスレジスタと同じになったら、タイミング生成部 1 1 3 は、分割信号 D 1 , D 2 、 D 3 を “ロー” とする。それと同時に、列電圧出力部 1 1 8 内のアンプの電源を切り、アンプへの定常電流が流れないようにする。また、イコライズ回路 1 2 4 へのイコライズ信号 E Q G を “ハイ” とし、 V E Q R , V E Q G , V E Q B 信号は対向電極の電位レベル又は “0” に相当する列電圧に固定する。このようにすることにより、充放電電力は最も低くなり、消費電力を最も
20 低く抑えることが可能となる。また、この時、行駆動信号は図 4 に示すように、非表示期間中は各行に出力されない。このようにすることにより、行駆動信号の充放電電力を大幅に削減できる。また、非表示期間中は同じ色が書かれるだけであるので、このように数フレームに 1 回の書き込みでも表示には問題ない。

【 0 0 5 0 】

このように動作することによりパーシャル表示の表示部分においては、選択信号 S A , S C の動作周波数は、 R G B R G B と繰り返す場合に比べ 2 分の 1 となる。したがって、全体では、選択信号の周波数を 2 / 3 とすることができ、分配部 1 2 1 の T F T 素子による充放電電力を 2 / 3 に削減することができる。また、パーシャル表示の非表示部分においては、選択信号 S A 、 S B 、 S C の動作周波数は “0” となる。このように、周波数を著しく落とすことができ、また、非表示部分においては、多くのアンプの電源を切り、またイコライズ回路を用いて列電極を対向電極の電位レベル又は “0” に相当する列電圧に
30 固定することにより、消費電力を大幅に抑えることができる。

【実施例 2】

【 0 0 5 1 】

次に、本発明の実施例 2 について、図 1 、図 5 、図 6 、図 7 を用いて説明する。本実施例においては、通常動作時には、図 6 に示すように時分割データの順番が R G B 、 R G B と一定である点で、実施例 1 と異なる。また、通常動作時には、図 6 に示すように対向電極の電位レベルが 1 ライン毎に逆相となるライン反転であり、パーシャル表示時には、図 7 に示すようにフレーム毎に逆相となるフレーム反転である点で、実施例 1 と異なる。

【 0 0 5 2 】

図 1 は、実施例 1 でも用いたが、本実施例においても適用できるブロック図であり、各回路は以後特に断らない限り、実施例 1 と同じ機能を持ち、同じ動作を行う。
40

【 0 0 5 3 】

図 5 は、本実施例のデータレジスタ 1 1 2 、タイミング生成部 1 1 3 の一部を詳細に示したブロック図である。5 0 1 はパーシャル表示時の非表示領域開始行番号を格納する非表示開始アドレスレジスタ、5 0 2 はパーシャル表示時の非表示領域終了行番号を格納する非表示終了アドレスレジスタ、5 0 3 はパーシャル表示開始状態を示すパーシャル表示開始レジスタ、5 0 4 はカウンタ、5 0 5 , 5 0 6 は比較器、5 0 7 , 5 1 1 , 5 1 2 は S R ラッチ、5 0 8 は通常表示時用分割信号生成シフトレジスタ、5 0 9 はパーシャル表示時用分割信号生成シフトレジスタ、5 1 0 は選択器、5 1 3 ~ 5 1 8 、5 2 1 ~ 5 2 3 は 1 ビットシフトレジスタ、5 1 9 , 5 2 4 は論理和回路、5 2 0 、5 2 5 は論理積回路
50

である。

【 0 0 5 4 】

図 5 において、通常表示時には、パーシャル表示開始レジスタ 5 0 3 は “ 0 ” であり、選択器 5 1 0 は、通常表示時用分割信号生成シフトレジスタ 5 0 8 の出力を選択して分割信号 D 1 , D 2 , D 3 に出力する。通常表示時用分割信号生成シフトレジスタ 5 0 8 は、フレーム信号により、左端の 1 ビットシフトレジスタ 5 2 1 のみが “ ハイ ”、中央と右端の 1 ビットシフトレジスタ 5 2 2 と 5 2 3 が “ ロー ” にセットされ、ライン信号の 1 周期を 3 等分した周期を持つ分割信号生成クロックにより、シフト動作を行う。その結果として、図 6 に示す分割信号 D 1 , D 2 , D 3 が生成される。

【 0 0 5 5 】

この分割信号 D 1 , D 2 , D 3 をもとに、図 6 に示す選択信号 S A , S B , S C が、電源部 1 0 3 にて生成される。選択信号 S A , S B , S C は分割信号 D 1 , D 2 , D 3 より、“ ハイ ” の期間が短くなるように作られる。そして、選択信号 S A , S B , S C が “ ロー ” となることによって、R 列駆動信号、G 列駆動信号、B 列駆動信号が確定し、その後に、行駆動信号が “ ロー ” となるので、R , G , B の 3 色ともに液晶素子への印加電圧は同じ条件で書き込まれることとなり、R、G、Bそれぞれ 2 5 6 階調づつの多階調表示の場合でも、R、G、Bによる色の偏りがなくなり、美しい表示ができる。

【 0 0 5 6 】

通常表示時は、パーシャル表示開始レジスタ 5 0 3 は “ 0 ” であり、論理積回路 5 2 5 のイコライズ用出力 D 0 は “ ロー ” となる。この出力 D 0 をもとに E Q G 信号が作られ、通常表示時は、常に “ ロー ” に保たれる。したがって、列電極は、V E Q R、V E Q G、V E Q B 信号と切断されている。

【 0 0 5 7 】

次に、パーシャル表示の時には、R , G , Bそれぞれ 2 階調で 2 色づつの 8 色表示とし、列電圧生成部 1 1 6 に内蔵されている中間調 (V 1 ~ V 2 5 4) の電圧生成のための回路に供給する電源を切ることにより、消費電力を削減しているものとする。このパーシャル表示の時に表示部を R , G , B 2 色づつの 8 色表示とすることを、以下 8 色パーシャル表示という。

【 0 0 5 8 】

この 8 色パーシャル表示の動作について、図 5 及び図 7 を用いて説明する。このパーシャル表示は、図 3 下側に示すように縦方向に 3 つのブロックに区切られるものとし、中央のブロックを非表示領域、上下のブロックを表示領域とするものとする。

【 0 0 5 9 】

図 5 において、8 色パーシャル表示時は、パーシャル表示開始レジスタは “ 1 ” であり、選択器 5 1 0 はパーシャル表示時用分割信号生成シフトレジスタ 5 0 9 の出力を選択して分割信号 D 1 , D 2 , D 3 として出力する。また、論理積回路 5 2 5 は S R ラッチ 5 0 7 の出力をイコライズ用出力 D 0 として出力する。

【 0 0 6 0 】

パーシャル表示時用分割信号生成シフトレジスタ 5 0 9 は、フレーム信号により、左端の 1 ビットシフトレジスタ 5 1 3 のみが “ ハイ ”、5 1 4 ~ 5 1 8 は “ ロー ” にセットされ、ライン信号の周期を 3 等分した周期で生成される分割信号生成クロックにより、シフト動作を行う。S R ラッチ 5 1 1 は、1 ビットシフトレジスタ 5 1 3 又は 5 1 8 が “ ハイ ” のときに “ ハイ ” にセットされ、1 ビットシフトレジスタ 5 1 4 が “ ハイ ” のときに “ ロー ” にリセットされる S R ラッチである。S R ラッチ 5 1 2 は、1 ビットシフトレジスタ 5 1 5 が “ ハイ ” のときに “ ハイ ” にセットされ、1 ビットシフトレジスタ 5 1 7 が “ ハイ ” のときに “ ロー ” にリセットされる S R ラッチである。

【 0 0 6 1 】

カウンタ 5 0 4 は、フレーム信号で 1 にセットされ、ライン信号が入力されると 1 づつインクリメントするインクリメントカウンタであり、カウンタの値は、現在書き込みを行っている行番号を表す。比較器 5 0 5 は、カウンタ 5 0 4 の値と非表示終了アドレスレジ

10

20

30

40

50

スタ５０２の値を比較し、一致した時のみ“ハイ”を出力し、一致しない時は“ロー”を出力する。比較器５０６は、カウンタ５０４の値と非表示開始アドレスレジスタ５０１の値を比較し、一致した時のみ“ハイ”を出力し、一致しない時は“ロー”を出力する。その結果として、ＲＳラッチ５０７は、パースシャル表示の表示行書き込み時には出力Ｑに“ロー”、反転出力Ｑバーに“ハイ”を出力する。また、非表示行書き込み時には、出力Ｑに“ハイ”、反転出力Ｑバーに“ロー”を出力する。

【００６２】

フレームの開始行は表示行であるので、ＲＳラッチ５０７の反転出力Ｑバーは“ハイ”となるため、論理積回路５２０の出力は、パースシャル表示時分割信号生成シフトレジスタ５０９の出力となり、選択器５１０の出力は、図７の表示期間で示される分割信号Ｄ１、Ｄ２、Ｄ３となる。この分割信号Ｄ１、Ｄ２、Ｄ３をもとに、選択信号ＳＡ、ＳＢ、ＳＣが電源部１０３にて作られる。

10

【００６３】

選択信号ＳＡ、ＳＢ、ＳＣは分割信号Ｄ１、Ｄ２、Ｄ３より“ハイ”の期間が短くなるように作られる。この場合、行駆動信号が“ロー”になる時、選択信号ＳＡ又はＳＣが“ハイ”であり、厳密にはＲ、Ｇ、Ｂ３色の列駆動信号線の状態が一致しないので、Ｒ、Ｇ、Ｂによる色の偏りが出てくるが、パースシャル表示時は８色表示とし、最低の階調と最高の階調のみを使っているため、多少の色の偏りは気にならず、問題はない。

【００６４】

また、フレームの開始行は表示行であるので、ＲＳラッチ５０７のＱ出力は“ロー”、論理積回路５２５のイコライズ用出力Ｄ０は“ロー”となり、この出力Ｄ０をもとに電源部１０３にて作られるＥＱＧ信号も“ロー”となる。したがって、列電極は、ＶＥＱＲ、ＶＥＱＧ、ＶＥＱＢ信号と切断されている。

20

【００６５】

表示行の書き込みが進んで、カウンタ５０４の値が非表示開始アドレスレジスタ５０１の値と一致すると、比較器５０６が“ハイ”を出力するので、ＳＲラッチ５０７の反転出力Ｑバーは“ロー”となる。したがって、論理積回路５２０の出力は“ロー”となるため、選択器５１０の出力である分割信号Ｄ１、Ｄ２、Ｄ３は、図７の非表示期間に示されるように“ロー”固定となる。

【００６６】

30

また、ＳＲラッチ５０７の出力Ｑは“ハイ”となるため、論理積回路５２５のイコライズ用出力Ｄ０は“ハイ”となり、この出力Ｄ０は図７の非表示期間に示されるように“ハイ”固定となる。この出力Ｄ０をもとに電源部１０３にて作られるＥＱＧ信号も“ハイ”となる。したがって、列電極には、ＶＥＱＲ、ＶＥＱＧ、ＶＥＱＢ信号が印加される。

【００６７】

ＥＱＧ信号が“ハイ”の間、電源部１０３は、ＶＥＱＲ、ＶＥＱＧ、ＶＥＱＢ信号の電圧を、対向電圧ＶＣＯＭの電位レベルなど最も電力を消費しない値に固定する。ＶＥＱＲ、ＶＥＱＧ、ＶＥＱＢ信号は“０”に相当する信号レベルでもよく、電力をなるべく消費しない値であればよい。したがって、列電極は、対向電圧ＶＣＯＭの電位レベルなど最も電力を消費しない値になる。また、列電圧出力部１１８は、イコライズ用出力Ｄ０が“ハイ”の間、内蔵するアンプの電源を切り、アンプに定常電流が流れないようにする。

40

【００６８】

次に、表示行の書き込みが進んで、カウンタ５０４の値が非表示終了アドレスレジスタ５０２の値と一致すると、比較器５０５が“ハイ”を出力するので、ＳＲラッチ５０７の出力Ｑは“ロー”、反転出力Ｑバーは“ハイ”となる。そこで、選択器５１０の分割信号Ｄ１、Ｄ２、Ｄ３は、パースシャル表示時分割信号生成シフトレジスタ５０９の出力となり、図７の表示期間で示される波形となる。また、列電圧出力部１１８は、内蔵するアンプの電源を入れ、表示期間の動作に戻る。

【００６９】

以上のように動作することにより、パースシャル表示の表示期間において、選択信号ＳＡ

50

、S Cの動作周波数は、R G B R G Bと繰り返し出す場合に比べ2分の1となる。また、非表示期間においては、選択信号S A、S B、S Cの動作周波数は“0”となる。このように、周波数を著しく落とすことができるので、消費電力を大幅に抑えることができる。さらに、定常電流を必要とし消費電力の大きいアンプの電源を切ることができるので、消費電力を大きく削減できる。また、パースナル表示において、縦方向の分割位置などを自由にC P Uから設定でき、使い勝手の良い表示装置を作成できる。

【実施例3】

【0070】

本発明の実施例3について、図8、図9、図10を用いて説明する。本実施例は、時分割データとして6列分のデータが時分割して入力されており、1本の列電圧は6個の分配スイッチにより、6列の列電極へ接続されている点が、実施例1、2と異なる。

10

【0071】

図8は、本実施例の表示装置のブロック図であって、液晶パネル102上の分配部121には、列電圧出力部118から与えられた1つの信号を6つの列駆動信号に変換するスイッチ回路721、722、723が設けられている。これらのスイッチ回路の構成は同じであるので、代表してスイッチ回路721について説明する。列駆動回路101からの1つの信号は、スイッチ701、702、703、704、705、706に接続されている。これらのスイッチは、それぞれ、分配制御線711、712、713、714、715、716が“ハイ”のときオン状態となるスイッチである。そして、スイッチ701、702、703、704、705、706は、それぞれ、B2、G2、R2、B1、G1、R1列の画素に列駆動信号を与える。

20

【0072】

本実施例では、列駆動信号D R 0として、Rの1列目、Gの1列目、Bの1列目、Rの2列目、Gの2列目、Bの2列目の各信号が時分割され、液晶パネルに入力される。同様に、列駆動信号D R 1として、R、G、Bの3列目及び4列目、列駆動信号D R mとして、R、G、Bの2m+1列目及び2m+2列目が時分割されて入力される。

【0073】

次に、通常表示時の動作に関して、図9を用いて説明する。図8に示す表示メモリ119は、ライン信号に同期して1行分のデータを時分割部117に出力する。図9では、特に、1列目と2列目の動作に着目して説明する。

30

【0074】

図9において、R11と書いてあるのはR1列の1行目に書き込むべき値であることを示す。同様にR12はR2列の1行目に書き込むべき値、R21はR1列の2行目に書き込むべき値であることを示す。

【0075】

1行目のデータは同時に出力されるので、時分割部117はタイミング生成部113で生成された分割信号D1~D6に従ってR11、G11、B11、R12、G12、B12を時分割し、時分割データを生成する。この時分割データを列電圧出力部118で列電圧に変換し、列駆動信号D R 0~D R mとして出力する。

【0076】

40

電源部103では、分割信号D1~D6をもとに、選択信号S A~S Fを生成する。選択信号S Aが“ハイ”のとき、スイッチ706がオン状態となり、その時、列電圧はR11に対応する値となっているので、R1列に列電圧R11が書き込まれる。同様に、G11、B11、R12、G12、B12がG1列、B1列、R2列、G2列、B2列に書き込まれる。最後のB2列の駆動信号が確定してから、1行目行駆動信号は“ロー”となり、1行目のR1、G1、B1、R2、B2、G2列目の液晶画素に、それぞれR11、G11、B11、R12、G12、B12に対応する列電圧が書き込まれる。

【0077】

このような構成とすることにより、本実施例の液晶装置は実施例1、2の液晶装置に比べ、列駆動部101と液晶パネル102間の配線数を半減させることができ、低コスト化

50

できる。

【0078】

次に、8色パースシャル表示時の動作に関して、図10を用いて説明する。表示期間において、図8に示す表示メモリ119は、ライン信号に同期して1行分のデータを時分割部117に出力する。1行目のデータは同時に出力されるので、時分割部117はタイミング生成部113で生成された分割信号D1～D6に従ってR11, G11, B11, R12, G12, B12を時分割し、時分割データを生成する。この時、分割信号D1～D6は図10に示す波形であるので、時分割データは、1行目では、R11, G11, B11, R12, G12, B12, 2行目では、B22, G22, R22, B21, G21, R21の順番で時分割される。

10

【0079】

また、選択信号SA～SFは分割信号D1～D6をもとに生成され、図10に示す波形となる。したがって、R1列、G1列、B1列、R2列、G2列、B2列にR11, G11, B11, R12, G12, B12に対応する列電圧が書き込まれたときに、1行目の行駆動信号は“ロー”となるので、1行目のR1, G1, B1, R2, B2, G2列目の液晶画素に、それぞれR11, G11, B11, R12, G12, B12に対応する列電圧が書き込まれる。次の2行目は、R1列、G1列、B1列、R2列、G2列、B2列にR21, G21, B21, R22, G22, B22に対応する列電圧が書き込まれたときに、2行目の行駆動信号は“ロー”となるので、2行目のR1, G1, B1, R2, B2, G2列目の液晶画素に、それぞれR21, G21, B21, R22, G22, B22に対応する列電圧が書き込まれる。

20

【0080】

以上説明したように、本実施例において、1行目では、B2列を駆動する選択信号SFが最後に“ハイ”となり、B2列に最後に列電圧が分配されたあと、2行目では、最初に選択信号SFが“ハイ”となり、B2列に最初に列電圧が分配される。

【0081】

また、2行目では、R1列を駆動する選択信号SAが最後に“ハイ”となり、R1列に最後に列電圧が分配されたあと、3行目では、最初に選択信号SAが“ハイ”となり、R1列に最初に列電圧が分配される。

【0082】

30

このように、ある行で最後に分配した列に、次の行では最初に分配し、行の変わり目で選択信号を“ハイ”のまま保つことで、選択信号SAとSFの駆動周波数を2分の1に減らすことができるので、選択信号SAとSFの充放電電力を約2分の1とすることができる。また、本実施例においても、実施例1, 2と同様、非表示期間においては、選択信号SA～SFのレベルを“ロー”に固定することで、非表示期間の駆動周波数を“0”とすることができる。また、非表示期間において、イコライズ回路のEQG信号を“ハイ”とし、列電圧出力部のアンプの電源を切ることができるので、消費電力を大幅に削減できる。

【0083】

本実施例においては、選択信号が“ハイ”になる順番は、奇数行目はSA, SB, SC, SD, SE, SF、偶数行目はSF, SE, SD, SC, SB, SAと逆順であったが、違う順番であっても、隣り合う行で最後と最初の選択信号が同じであり同じ列を選択すれば同じように効果を得ることができる。例えば、奇数行目はSA, SB, SC, SD, SE, SF偶数行目はSF, SB, SC, SD, SE, SAという場合でも同じように効果を得ることができることは明白であり、最初と最後の列以外の選択順は本発明にはなんら制限を与えない。また、実施例1, 2においては、時分割数を3、実施例3においては、時分割数を6としたが、時分割数は3の倍数でなくともよく、他の数においてもある行の最後に分配した列に、次の行では最初に分配することにより、同じ効果を得ることができることは、明白である。したがって、時分割の分割数は本発明になんら制限を与えるものではなく、どのような整数であっても、本発明は適用できる。

40

【実施例4】

50

【 0 0 8 4 】

次に、本発明の実施例 4 について、図 8、図 9、図 1 1 を用いて説明する。図 8 は、実施例 3 と同様に、本実施例のブロック図である。本実施例において、通常表示時は、実施例 3 と同様に、図 9 に示す動作を行う。また、本実施例において、8 色パーシャル表示時は、図 1 1 に示す動作を行う。

【 0 0 8 5 】

本実施例の 8 色パーシャル表示は、縦方向、横方向共に 2 分の 1 の解像度で表示するとする。例えば、通常表示時、V G A (6 4 0 ピクセル × 4 8 0 ピクセル) の高精細表示であるとする、8 色パーシャル表示時は、Q V G A (3 2 0 ピクセル × 2 4 0 ピクセル) 表示となる。このような低精細度化は、縦横 2 ピクセルづつ計 4 ピクセルに同じ値を書き込むとする。

10

【 0 0 8 6 】

まず、図 8 に示す表示メモリ 1 1 9 は、1 行目と 2 行目に書き込むべきデータを時分割部 1 1 7 に出力する。タイミング生成部 1 1 3 は図 1 1 に示す分割信号 D 1 , D 2 , D 3 を生成する。

【 0 0 8 7 】

そこで、1 行目の書き込み時、1 ライン周期を 3 つに分け、3 つに分けた最初の期間を分割信号 D 1 の “ ハイ ” 期間、次の期間を分割信号 D 2 の “ ハイ ” 期間、次の期間を分割信号 D 3 の “ ハイ ” 期間とする。これら分割信号 D 1 、D 2 , D 3 により、時分割データは図 1 1 に示すように生成される。また、選択信号 S A ~ S F は分割信号 D 1 , D 2 , D 3 をもとに生成され、選択信号 S A と S D 、選択信号 S B と S E 、選択信号 S C と S F は同じ信号が出力される。これにより、R 1 列と R 2 列、G 1 列と G 2 列、B 1 列と B 2 列には、同じ列電圧が書き込まれる。各列電圧が確定した後、1 行目駆動信号は “ ロー ” となり、液晶画素 1 行目の R 1 列と R 2 列には列電圧 R 1 が、液晶画素 1 行目の G 1 列と G 2 列には列電圧 G 1 が、液晶画素 1 行目の B 1 列と B 2 列には列電圧 B 1 が書き込まれる。

20

【 0 0 8 8 】

次に、2 行目の書き込み時には、表示メモリ 1 1 9 の出力データ、分割信号 D 1 、D 2 、D 3 は変化せず、選択信号 S A ~ S F も電位を保ったままとする。それにより、液晶素子 R 1 , G 1 , B 1 , R 2 , G 2 , B 2 の列駆動信号の電位は変化せず、2 行目の行駆動信号が “ ロー ” となり液晶画素 2 行目の R 1 列と R 2 列には列電圧 R 1 が、液晶画素 2 行目の G 1 列と G 2 列には列電圧 G 1 が、液晶画素 2 行目の B 1 列と B 2 列には列電圧 B 1 が書き込まれる。

30

【 0 0 8 9 】

次の 3 行目の書き込み時には、1 ライン周期を 3 つに分け、3 つに分けた最初の期間を分割信号 D 3 の “ ハイ ” 期間、次の期間を分割信号 D 2 の “ ハイ ” 期間、次の期間を分割信号 D 1 の “ ハイ ” 期間とする。これら分割信号 D 1 、D 2 , D 3 により、時分割データは図 1 1 に示すように B 2 , G 2 , R 2 の順で生成される。また、選択信号 S A ~ S F は分割信号 D 1 , D 2 , D 3 をもとに生成され、選択信号 S A と S D 、選択信号 S B と S E 、選択信号 S C と S F は同じ信号が出力される。これにより、R 1 列と R 2 列、G 1 列と G 2 列、B 1 列と B 2 列には同じ列電圧が書き込まれる。各列電圧が確定した後、3 行目の行駆動信号は “ ロー ” となり液晶画素 3 行目の R 1 列と R 2 列には列電圧 R 2 が、液晶画素 3 行目の G 1 列と G 2 列には列電圧 G 2 が、液晶画素 3 行目の B 1 列と B 2 列には列電圧 B 2 が書き込まれる。

40

【 0 0 9 0 】

以上のように動作することにより、8 色パーシャル表示において、選択信号 S B 、S E の動作周波数は、図 8 に示す通常表示時の 2 分の 1 、また、選択信号 S A 、S C , S D , S F の動作周波数は、通常表示時の 4 分の 1 となり、大幅に動作周波数を削減できるので、低消費電力化することができる。

【 0 0 9 1 】

50

なお、本実施例では、８色パーシャル表示の表示期間において、行駆動信号の“ハイ”を１行分ずつ別々のタイミングで入力したが、“ハイ”の時間を２倍にし、同時に入力してもよい。特に、行駆動信号の入力方式に限定されない。

【００９２】

以上本実施例で示したように、複数行に同じデータを書き込み、複数行毎に書き込みデータを変える表示方法においても、本方式は適用可能であり、表示が切り替わる行において、最後に分配した列に、次に表示が切り替わる行において、最初に分配し、かつ、行の切り替わり時、または、表示が切り替わらない行においては、選択信号の電位を保つことにより、適用できる。

【００９３】

以上、本発明の実施例においては、ＴＮ型液晶とＬＴＰＳ－ＴＦＴを例にとり説明したが、表示画素への表示信号を時分割して入力し、分配して書き込み表示する表示装置であればＩＰＳ液晶、ＯＣＢ液晶など他の液晶方式、またＯＬＥＤなど他の表示原理を用いた表示装置であっても適用可能であることはいうまでもない。

【図面の簡単な説明】

【００９４】

【図１】本発明に係る表示装置の実施例１，２の構成を示すブロック図

【図２】実施例１での通常表示時の動作を表すタイミングチャート

【図３】実施例１でのパーシャル表示時の動作を表すタイミングチャート

【図４】実施例１でのパーシャル表示時の動作を表すタイミングチャート

【図５】実施例２でのデータレジスタ、タイミング生成部の一部分の詳細ブロック図

【図６】実施例２での通常表示時の動作を表すタイミングチャート

【図７】実施例２でのパーシャル表示時の動作を表すタイミングチャート

【図８】本発明に係る表示装置の実施例３，４の構成を示すブロック図

【図９】実施例３，４での通常表示時の動作を表すタイミングチャート

【図１０】実施例３での８色パーシャル表示時の動作を表すタイミングチャート

【図１１】実施例４での８色パーシャル表示時の動作を表すタイミングチャート

【符号の説明】

【００９５】

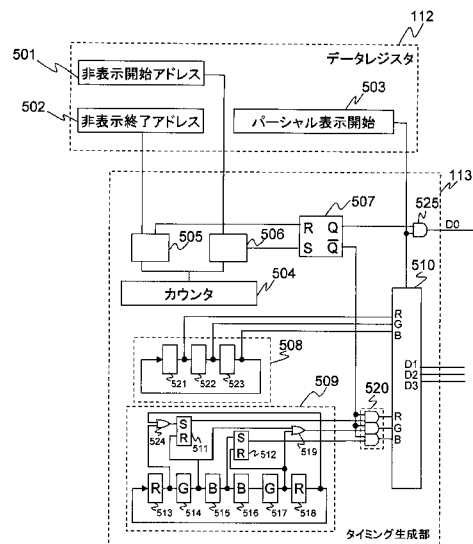
１…ＣＰＵ、２…主メモリ、３…システムバス、１００…表示装置、１０１…列駆動部、
 １０２…液晶パネル、１０３…電源部、１１１…システムインターフェイス、１１２…データレジスタ、１１３…タイミング生成部、１１４…メモリライト制御部、１１５…メモリリード制御部、１１６…列電圧生成部、１１７…時分割部、１１８…列電圧出力部、１
 １９…表示メモリ、１２１…分配部、１２２…画素部、１２３…行駆動部、１２４…イコ
 ライズ回路、１３１…対向電極、５０１…パーシャル非表示開始アドレスレジスタ、５０
 ２…パーシャル非表示終了アドレスレジスタ、５０３…パーシャル表示開始レジスタ、５
 ０４…カウンタ、５０５，５０６…比較器、５０７，５１１，５１２…ＳＲラッチ、５０
 ８…通常表示時用分割信号生成シフトレジスタ、５０９…パーシャル表示時用分割信号生
 成シフトレジスタ、５１０…選択器、５１３，５１４，５１５，５１６，５１７，５１８
 、５２１，５２２，５２３…シフトレジスタ、５１９，５２４…ＯＲ回路、５２０，５２
 ５…ＡＮＤ回路、１２１１，１２１２，１２１３…分配制御線、１２１４，１２１５，１
 ２１６…ＴＦＴ素子

10

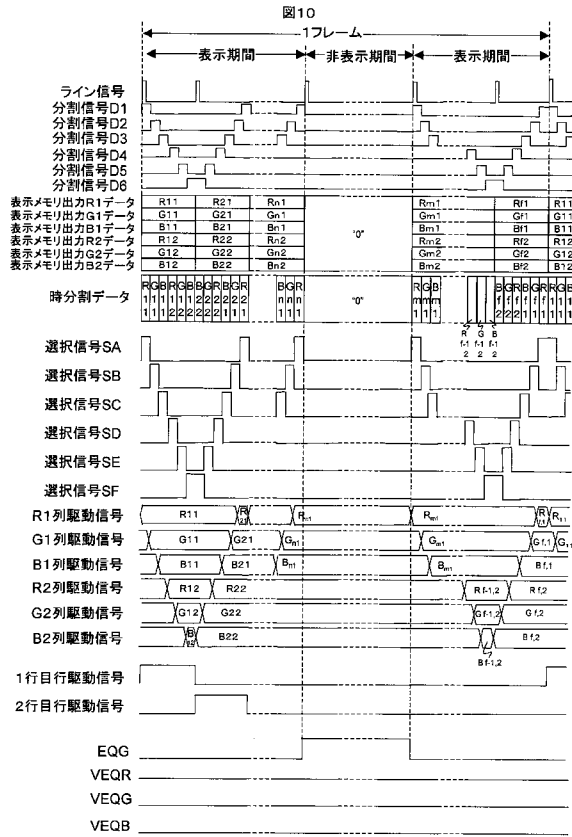
20

30

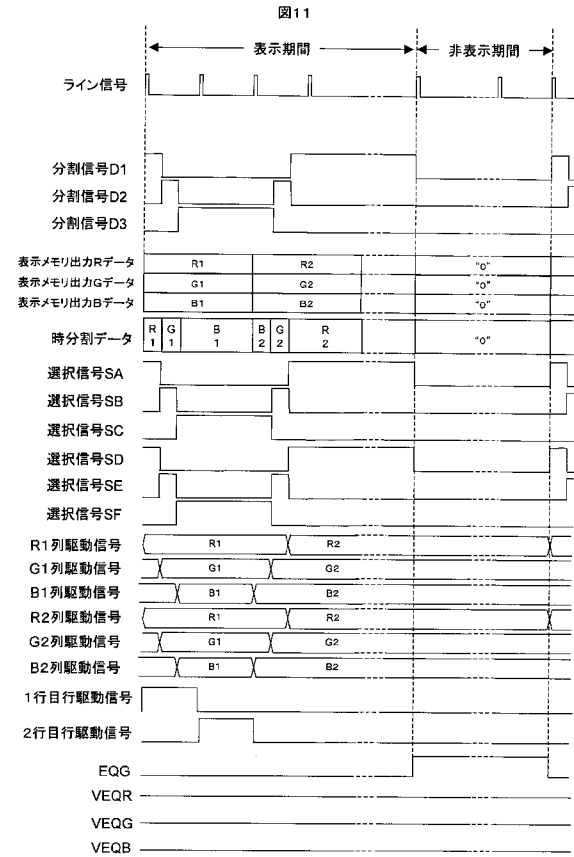
40



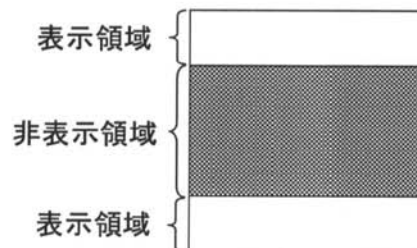
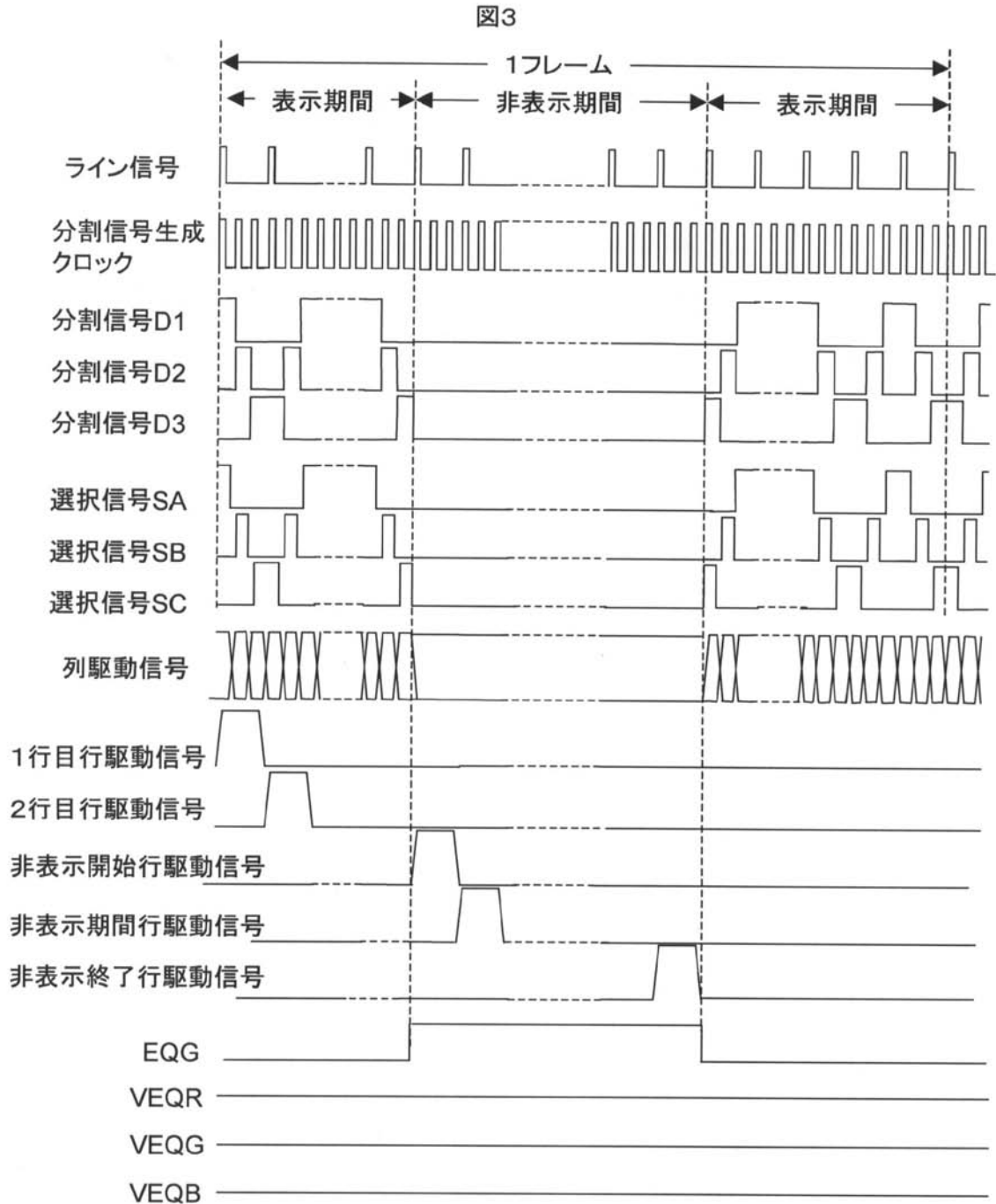
【 図 1 0 】



【 図 1 1 】



【図3】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 2 1 D
G 0 9 G	3/20	6 1 1 B
G 0 9 G	3/20	6 1 1 A

(72)発明者 片山 ゆかり

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地
開発研究所内

株式会社 日立製作所 システム

(72)発明者 工藤 泰幸

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地
開発研究所内

株式会社 日立製作所 システム

(72)発明者 萬場 則夫

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地
開発研究所内

株式会社 日立製作所 システム

(72)発明者 松戸 利充

千葉県茂原市早野 3 3 0 0 番地

株式会社 日立ディスプレイズ内

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 3 - 3 2 3 1 6 0 (J P , A)

特開 2 0 0 3 - 1 5 7 0 5 1 (J P , A)

特開 2 0 0 3 - 2 4 8 4 6 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0

专利名称(译)	表示装置		
公开(公告)号	JP4786996B2	公开(公告)日	2011-10-05
申请号	JP2005306003	申请日	2005-10-20
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	日立显示器有限公司 松下液晶显示器有限公司		
[标]发明人	片山ゆかり 工藤泰幸 萬場則夫 松戸利充		
发明人	片山 ゆかり 工藤 泰幸 萬場 則夫 松戸 利充		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/20 G09G3/2092 G09G2310/0275 G09G2310/0297 G09G2310/04 G09G2310/06 G09G2320/0247 G09G2330/021 G09G2360/18		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.510 G09G3/20.623.F G09G3/20.641.C G09G3/20.623.R G09G3/20.623.D G09G3/20.623.C G09G3/20.612.U G09G3/20.622.K G09G3/20.623.U G09G3/20.621.D G09G3/20.611.B G09G3/20.611.A		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NA62 2H093/NC13 2H093/NC14 2H093/NC16 2H093/NC28 2H093/NC34 2H093/NC35 2H093/ND39 2H193/ZA04 2H193/ZD23 2H193/ZG34 5C006/AA16 5C006/AA22 5C006/AC27 5C006/AC28 5C006/AF14 5C006/AF31 5C006/AF42 5C006/AF43 5C006/AF45 5C006/AF68 5C006/AF69 5C006/AF72 5C006/AF73 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BC23 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF14 5C006/BF22 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF33 5C006/BF34 5C006/BF43 5C006/FA42 5C006/FA48 5C006/FA51 5C080/AA10 5C080/BB06 5C080/BB08 5C080/CC03 5C080/DD23 5C080/DD26 5C080/DD28 5C080/EE26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07		
代理人(译)	小野寺杨枝		
其他公开文献	JP2007114496A		
外部链接	Espacenet		

摘要(译)

要解决的问题：使用引入了RGB分时驱动的冷多晶硅TFT液晶面板来降低显示装置的功耗。ŽSOLUTION：在RGB分时驱动方法的显示装置中，以分时方式输入用于提供RGB三种颜色的RGB数据以向液晶面板显示像素，（1）将数据输入到液晶面板按照每一行信号中的RGB和BGR的顺序，并且在一个行周期的中断中，处于ON状态的选择信号SC保持直到下一行周期。另外，（2）在部分显示中，选择信号SA，SB，SC总是保持在OFF状态持续部分非显示时段，并且均衡器信号EQG保持在ON状态。因此，可以显著降低用于选择RGB数据的选择信号SA，SC的操作频率，并且获得低功耗。Ž

【図 1】

