

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4663896号  
(P4663896)

(45) 発行日 平成23年4月6日(2011.4.6)

(24) 登録日 平成23年1月14日(2011.1.14)

(51) Int.Cl.		F 1	
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G 3/36
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G02F 1/133 550
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G 3/20 612K
			G09G 3/20 670F

請求項の数 4 (全 19 頁)

(21) 出願番号	特願2001-98447 (P2001-98447)
(22) 出願日	平成13年3月30日(2001.3.30)
(65) 公開番号	特開2002-297108 (P2002-297108A)
(43) 公開日	平成14年10月11日(2002.10.11)
審査請求日	平成19年3月2日(2007.3.2)

(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(74) 代理人	100093506 弁理士 小野寺 洋二
(72) 発明者	五十嵐 陽一 千葉県茂原市早野3300番地 株式会社 日立製作所 ディスプレイグループ内
審査官	堀部 修平

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

アクティブ素子でマトリクス状に形成された複数の画素を有する液晶表示パネルと、前記マトリクスの横方向の複数の画素に外部信号源から入力する画像データと画素クロック信号を含む制御信号に基づく駆動電圧を印加する複数のドレインドライバと、前記マトリクスの縦方向の複数の画素に走査電圧を印加する複数のゲートドライバと、前記画素クロック信号に基づいて前記画像データを並直列変換して前記ドレインドライバに供給する並直列変換回路をもつ表示制御装置を具備した液晶表示装置であって、

前記表示制御装置は、前記外部信号源から入力する画素クロック信号の周波数を a 逓倍した参照クロック信号を生成するクロック信号シンセサイザと、前記入力した画素クロック信号と前記クロック信号シンセサイザの参照クロック信号出力を比較して前記画素クロック信号のタイミングの異常の有無により有効または無効を判定し、判定結果が無効である場合には前記並直列変換回路への前記画素クロックの供給を停止するクロック無効信号を出力するクロック信号比較回路とを有することを特徴とする液晶表示装置。

【請求項2】

アクティブ素子でマトリクス状に形成された複数の画素を有する液晶表示パネルと、前記マトリクスの横方向の複数の画素に外部信号源から入力する画像データと画素クロック信号を含む制御信号に基づく駆動電圧を印加する複数のドレインドライバと、前記マトリクスの縦方向の複数の画素に走査電圧を印加する複数のゲートドライバと、前記画素クロック信号に基づいて前記画像データを並直列変換して前記ドレインドライバに供給す

10

20

る並直列変換回路をもつ表示制御装置を具備した液晶表示装置であって、

前記表示制御装置は、前記外部信号源から入力する画素クロック信号の周波数を  $a$  通倍した参照クロック信号を生成するクロック信号シンセサイザと、前記入力した画素クロック信号と前記クロック信号シンセサイザの参照クロック信号出力を比較して前記画素クロック信号のタイミングの異常の有無により有効または無効を判定するクロック信号比較回路と、前記画像クロック信号と等価な擬似クロック信号を生成する内部クロック信号発生回路と、前記クロック信号比較回路の判定結果が無効である場合には前記クロック信号切替回路により前記並直列変換回路への前記画素クロックの供給を停止すると共に前記内部クロック信号発生回路の出力である前記擬似クロック信号を前記並直列変換回路に供給するクロック信号切替回路とを有することを特徴とする液晶表示装置。

10

【請求項 3】

前記クロック信号シンセサイザの通倍数  $a$  が 2 であることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記外部信号源から入力する画素クロック信号の周波数が  $32.5 \text{ MHz}$  であり、前記ドレインドライバがダブルエッジ対応のドレインドライバであることを特徴とする請求項 1 乃至 3 の何れかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係り、特に液晶を駆動するための駆動回路に供給する画像データを生成する画素クロック信号のタイミング異常による表示の乱れを防止した液晶表示装置とその駆動方法に関する。

20

【0002】

【従来の技術】

画素毎に薄膜トランジスタ (TFT) などのアクティブ素子を有し、このアクティブ素子をスイッチング駆動するアクティブマトリクス型の液晶表示装置は、アクティブ素子を介して画素電極に液晶駆動電圧 (階調電圧) を印加するため、各画素間のクロストークがなく、単純マトリクス型の液晶表示装置のようにクロストークを防止するための特殊な駆動方法を用いることなく多階調表示が可能である。

30

【0003】

図 12 はアクティブマトリクス型の液晶表示装置の構成例を説明するブロック図、図 13 と図 14 は図 12 における表示制御に関する横方向すなわち水平方向タイミングと縦方向すなわち垂直方向タイミングの説明図である。

【0004】

液晶表示装置は本体コンピュータ等の外部信号源からの画像データと画素クロック信号 (以下、この画素クロック信号を画素クロック、あるいは単にクロックと称する) やその他の同期用クロック信号を含む制御信号を受けて液晶表示パネル TFT-LCD に画素データ、画素クロック信号、各種の駆動電圧を印加するインタフェース回路を搭載したインタフェース回路基板を備えている。

40

【0005】

インタフェース回路は、表示制御装置と電源回路を有し、液晶表示パネル TFT-LCD に 1 画素目を転送するデータバス、2 画素目を転送するデータバス、ドレインドライバが画素データを取り込むためのクロック  $D1$ 、 $D2$ 、ゲートドライバを駆動するフレーム開始指示信号とゲートクロック (クロック  $G$ ) を出力する。また、電源回路は正電圧生成回路と負電圧生成回路、正電圧と負電圧を合成するマルチプレクサ、対向電極電圧生成回路、ゲート用電圧生成回路で構成される。

【0006】

この液晶表示装置を構成する液晶表示パネル TFT-LCD の表示画素数は、横  $1024 \times$  縦  $768$  である。本体コンピュータからの表示データと各種の制御信号を受け取るイン

50

タフェース回路基板は、2画素単位、つまり赤(R)、緑(G)、青(b)の各データ1つを組にし、図中の大矢印で示すデータ線を介して単位時間に2画素分を液晶表示パネル TFT-LCD に転送する。

【0007】

単位時間の基準になるクロックは1画素における周波数の半分が本体コンピュータ(以下、外部信号源とも称する)から、図中の細矢印で示すクロック線を介して液晶表示パネル TFT-LCD のドレインドライバに送られる。具体的な例としては、クロックの周波数は65MHzの半分の32.5MHzとなる。

【0008】

液晶表示パネル TFT-LCD の構成としては、表示画面を基準に、横方向にドレインドライバ(TFTドライバ)を置き、このドレインドライバを薄膜トランジスタ TFT のドレイン線に接続して液晶を駆動するための電圧を供給する。また、ゲート線にはゲートドライバを接続し、ある一定時間(1水平動作時間、1ライン分の表示時間)、薄膜トランジスタ TFT のゲートに電圧を供給する。

10

【0009】

表示制御装置は TCON と呼ばれる半導体集積回路(LSI)により構成され、本体コンピュータからの画像データと制御信号を受取り、これを基にドレインドライバ、ゲートドライバへ2画素分出力する。なお、1画素分のデータ線は18ビット(R, G, B各6ビット)である。よって、2画素化により、全データ線は36ビットとなる。

【0010】

本体コンピュータから液晶表示装置の表示制御装置へと、表示制御装置から液晶表示パネルのドレインドライバへ転送される画素データ数がそれぞれ2画素分であるのは、1画素での基準クロックである65MHzではこれらの各装置間および装置とドレインドライバ間では転送できない問題があるため、2画素転送を採用しているのである。

20

【0011】

図13、図14に示すように、ゲートドライバへは1水平時間毎に薄膜トランジスタ TFT のゲート線に電圧を供給するように水平同期信号および表示タイミング信号(ディスプレイタイミング信号)に基づき、1水平時間周期のパルスを与える。1フレーム時間単位では第1ライン目からの表示になるよう、垂直同期信号を基にフレーム開始指示信号も与える。

30

【0012】

電源回路の正電圧生成回路と負電圧生成回路およびマルチプレクサは、同じ液晶に長時間同じ電圧が加わらないように、ある一定の時間毎に液晶に与える電圧を交流化する。なお、ここで言う交流化とは、対向電極電圧を基準に、ドレインドライバへ与える電圧を一定時間毎に正電圧側/負電圧側に变化させることである。ここでは、この交流化の周期を1フレーム時間単位で行っている。

【0013】

【発明が解決しようとする課題】

上記従来技術の薄膜トランジスタ型の液晶表示装置においては、液晶表示パネルへの画像データの転送が複数(2画素分)であることによる配線経路となるプリント回路基板のサイズが大きくなり、これがコスト高を招く要因の一つとなっていることである。

40

【0014】

この対策として、本体コンピュータから液晶表示装置への画像データの転送に、所謂 LVDS 転送方式が採用されている。LVDS とは、小振幅で + と - の差動信号により高速なデータを転送する方式である。

【0015】

図15と図16は LVDS 転送方式の説明図である。図15は LVDS 転送方式の概念図であり、(a)は LVDS 転送方式の概念図、(b)は交流化の説明図である。また、図16は LVDS 転送方式の基本構成図であり、(a)は LVDS の転送線の構成図、(b)は LVDS の転送線を転送する表示データとクロックの説明図である。

50

## 【 0 0 1 6 】

送信側である本体コンピュータでは転送線の本数を減らすために、例えば7ビットの平行データをシリアルデータに変換し、これを1クロック(ここでは65MHz)当たり1ペアで転送する。転送されたデータは液晶表示装置側で7ビットの平行データに復元する。これが表示制御装置の入力となる。

## 【 0 0 1 7 】

表示制御装置から液晶表示パネルのドレインドライバへの転送は、クロックD2を半分の周期にし、更にダブルエッジ仕様にしたドレインドライバを使用することにより、1画素分のデータ幅で転送できる構成としている。

## 【 0 0 1 8 】

図17はLVDS転送方式を採用した液晶表示装置の構成例を説明するブロック図である。また、図18はダブルエッジ画像データ取込み方式における表示制御装置の入力と出力のタイミング図である。

## 【 0 0 1 9 】

図17において、図12と同一符号および説明は同一機能部分を示しており、グラフィックコントローラとLVDS送信回路は本体コンピュータ側にあり、LVDS受信回路は液晶表示装置側に設けてある。本体コンピュータ側から出力される表示データと制御信号はLVDS送信回路で上記した差動信号とされて液晶表示装置のインタフェース基板に設置されたLVDS受信回路に入力する。

## 【 0 0 2 0 】

LVDS受信回路で復元された表示データと制御信号は表示制御装置を介して液晶表示パネルTFT-LCDに供給される。表示データは1画素分のデータバスで転送され、図18に示したように、ここでは32.5MHzのクロックD2のダブルエッジ(立ち上がりエッジ、立ち下がりエッジ)でドレインドライバに取り込まれる。液晶表示装置TFT-LCDのドレインドライバへの基準クロック(クロックD2)と、表示データの最大周波数は32.5MHzとなる。

## 【 0 0 2 1 】

このように、LVDS方式とダブルエッジ仕様のドレインドライバを用いることにより、インターフェース回路を搭載するプリント基板サイズを大きくすることなく低コストの薄膜トランジスタ型の液晶表示装置を実現できる。

## 【 0 0 2 2 】

しかし、上記従来の液晶表示装置の構成では、本体コンピュータ側の構成もLVDS仕様に変更しなければならないという問題がある。

## 【 0 0 2 3 】

この対策として、本願の出願人は、本体コンピュータ側の構成を変更しない、すなわち上記したLVDS方式を採用しないインタフェースで、低いクロック周波数でドレインドライバに取り込むことを可能にした液晶表示装置を提案した(特開2000-338938号)。

## 【 0 0 2 4 】

上記の提案では、本体コンピュータからの画素数を少ない画素数に変換し、かつこの画素を低周波数のクロック信号でドレインドライバに取り込むようにしたダブルエッジ仕様のドレインドライバを使用できるようにしている。

## 【 0 0 2 5 】

さらに詳しくは、クロック信号の立ち上がり立ち下がり両エッジ(ダブルエッジ)で表示データをドレインドライバに取り込むために、本体コンピュータから入力するクロック信号の周波数を逡倍するクロック逡倍回路を備え、逡倍したクロック信号で本体コンピュータから入力した画像データを少ない数の表示データに変換するようにしたものである。

## 【 0 0 2 6 】

図19はダブルエッジ画像データ取込み方式の要部構成を説明するブロック図である。ま

10

20

30

40

50

た、図20はその動作説明のための波形図である。図19において、液晶表示装置のインタフェース回路基板に搭載される表示制御装置は、本体コンピュータから入力するクロック信号(DCLK)とn個の画像データ(Data)およびその他の制御信号(H-Sync:水平同期信号、V-Sync:垂直同期信号、等)を受ける。

【0027】

基本クロックであるクロック信号(DCLK)はパラレル-シリアル変換回路P/Sに入力すると同時にクロック信号シンセサイザCLSに与えられる。クロック信号シンセサイザCLSは入力したクロック信号DCLKをa逡倍(ここでは、 $a = 2$ )して2DCLKを作成して、これをパラレル-シリアル変換回路P/Sに与える。

【0028】

表示制御装置は並直列変換回路P/Sにおいてn個の画像データをm個の画像データ( $m \times n$ )に変換し、ダブルエッジ仕様のドレインドライバで基本クロックDCLKの立ち上がりエッジと立ち下がりエッジのダブルエッジで取り込み、これを液晶パネルに表示する。

【0029】

図21は上記したダブルエッジ取込み方式とした液晶表示装置の構成例を説明するブロック図である。液晶表示パネルTFT-LCDは前記図17で説明したものと同様の1024×3×768画素を有する高精細パネルである。その横方向の画素列に対応して複数個のダブルエッジ仕様のドレインドライバが設置され、縦方向の画素行に対応して複数個のゲートドライバが設置されている。

【0030】

インタフェース回路基板には、表示制御装置と電源回路が搭載され、さらに本体コンピュータから入力する画素クロックである32.5MHzのクロックDCLK(基準クロック)を2逡倍するPLLが搭載されている。すなわち、本体コンピュータから入力する32.5MHzの基準クロックはクロックシンセサイザ(PLLで構成)により65MHzに周波数が逡倍されて表示制御装置のデータ1画素変換回路に印加される。

【0031】

本体コンピュータから入力する2つ画素、すなわち、1画素目の画素データ(赤(R)、緑(G)、青(B))と2画素目の画素データ(赤(R)、緑(G)、青(B))をパラレル-シリアル変換回路であるデータの1画素変換回路で1画素のシリアルデータに変換してドレインドライバに出力する。また、この表示制御装置は本体コンピュータから入力する基準クロックと同じ周波数のクロックDをドレインドライバに出力し、フレーム開始指示信号およびゲートクロック(クロックG)をゲートドライバに出力する。

【0032】

電源回路は正電圧生成回路、負電圧生成回路、アナログマルチプレクサ、対向電極生成回路およびゲート用電圧生成回路を有し、正電圧生成回路と負電圧生成回路およびアナログマルチプレクサで前記従来技術の項で説明したドレインドライバの交流化駆動を行うようにしている。

【0033】

ドレインドライバはデータバスを介して表示制御装置から入力する画素データをクロックDの立ち上がりエッジと立ち下がりエッジの両エッジ(ダブルエッジ)で取込んでラッチし、ゲートドライバで選択されるラインに出力して当該画素の表示を行う。

【0034】

この構成により、ドレインドライバのデータ構成が1画素分であっても、2画素分の表示データ入力に対応できるため、本体コンピュータから高速の表示データの転送を必要とせず、従来構成のインタフェース回路を用いて高精細の液晶表示装置を得ることができる。

【0035】

このような構成としたことで、本体コンピュータからの画素データを少ない画素数に変換し、かつこの画素データを低周波数のクロックでドレインドライバに取り込むことができ、LVD方式を採用することなく画像データの高速転送を実現できる。

10

20

30

40

50

## 【 0 0 3 6 】

本体コンピュータは、その立ち上げ時にはそのグラフィックコントローラから画像データを解像度を順次変換しながら液晶表示装置側に伝送する（例えば、640（720）×350 640×480 640×350 1024×768）。

## 【 0 0 3 7 】

この解像度の変換タイミングに合わせて画像信号無効信号を送り、画像表示への解像度変換の影響を抑えてきた。しかし、この過渡的な伝送時間において、クロック、水平同期信号H-Sync、垂直同期信号V-Sync、画像データの信号の波形に乱れが生じることがある。すなわち、図20の矢印Aに拡大して示したように、本来はローレベル（Low）と認識されるべき信号レベルが波形の波打ちがあると、ハイレベル（High）と誤認される。

10

## 【 0 0 3 8 】

従来は、外部から入力するクロック（外部クロックとも称する）に異常は生じないものとしてこのようなクロックの異常については考慮されていなかった。しかし、実際には、上述したような波打ちが発生する場合があります、これがクロックのミスカウントを引き起こして画像信号無効信号の伝達を乱してしまう。

## 【 0 0 3 9 】

本発明の目的は、上記した外部クロックの正常/異常を認識し、異常の場合には液晶表示装置のドライバへの画像信号の供給を停止し、あるいは別途設けた擬似クロック生成回路からの擬似クロックに置き換えて表示を行わせることで、表示異常の発生を回避した液晶表示装置とその駆動方法を提供することにある。

20

## 【 0 0 4 0 】

## 【課題を解決するための手段】

上記目的を達成するために、本発明は、本体コンピュータからの画素数を少ない画素数に変換し、かつこの画素を低周波数のクロック信号でドレインドライバに取り込むようにしたダブルエッジ仕様のドレインドライバを使用できるようにした液晶表示装置において、その表示制御装置に、外部信号源である本体コンピュータから入力する画素クロック信号のタイミングの異常の有無を検出するクロック監視手段を設けたことを特徴とする。本発明の代表的な構成を記述すれば、次のとおりである。

## 【 0 0 4 4 】

上記の駆動方法で駆動する本発明による液晶表示装置としては次のとおりである。すなわち、

30

（1）アクティブ素子でマトリクス状に形成された複数の画素を有する液晶表示パネルと、前記マトリクスの横方向の複数の画素に外部信号源から入力する画像データと画素クロック信号を含む制御信号に基づく駆動電圧を印加する複数のドレインドライバと、前記マトリクスの縦方向の複数の画素に走査電圧を印加する複数のゲートドライバと、前記画素クロック信号に基づいて前記画像データを並直列変換して前記ドレインドライバに供給する並直列変換回路をもつ表示制御装置を具備した液晶表示装置であって、前記表示制御装置は、前記外部信号源から入力する画素クロック信号の周波数をa逡倍した参照クロック信号を生成するクロック信号シンセサイザと、前記入力した画素クロック信号と前記クロック信号シンセサイザの参照クロック信号出力を比較して前記画素クロック信号のタイミングの異常の有無により有効または無効を判定し、判定結果が無効である場合には前記並直列変換回路への前記画素クロックの供給を停止するクロック無効信号を出力するクロック信号比較回路とを有することを特徴とする。

40

## 【 0 0 4 5 】

この構成により、クロック監視手段がクロックのタイミング異常を検出したときは、クロックが正常に入力されていないと判断し、液晶表示装置側では内部電源を非動作状態として表示異常の発生を防止した液晶表示装置を得ることができる。

（2）アクティブ素子でマトリクス状に形成された複数の画素を有する液晶表示パネルと、前記マトリクスの横方向の複数の画素に外部信号源から入力する画像データと画素クロック信号を含む制御信号に基づく駆動電圧を印加する複数のドレインドライバと、前記

50

マトリクスの縦方向の複数の画素に走査電圧を印加する複数のゲートドライバと、前記画素クロック信号に基づいて前記画像データを並直列変換して前記ドレインドライバに供給する並直列変換回路をもつ表示制御装置を具備した液晶表示装置であって、前記表示制御装置は、前記外部信号源から入力する画素クロック信号の周波数を a 逡倍した参照クロック信号を生成するクロック信号シンセサイザと、前記入力した画素クロック信号と前記クロック信号シンセサイザの参照クロック信号出力を比較して前記画素クロック信号のタイミングの異常の有無により有効または無効を判定するクロック信号比較回路と、前記画像クロック信号と等価な擬似クロック信号を生成する内部クロック信号発生回路と、前記クロック信号比較回路の判定結果が無効である場合には前記クロック信号切替回路により前記並直列変換回路への前記画素クロックの供給を停止すると共に前記内部クロック信号発生回路の出力である前記擬似クロック信号を前記並直列変換回路に供給するクロック信号切替回路とを有することを特徴とする。

10

【0046】

この構成により、クロック監視手段がクロックのタイミング異常を検出したときは、擬似画面表示を行って表示異常の発生を防止した液晶表示装置を得ることができる。

【0048】

上記のクロック信号を生成する PLL は構成が簡単であり、インタフェース回路を構成するその他の回路やドレインドライバは既存の半導体回路で構成できるので、動作の信頼性に問題はない。

【0049】

なお、本発明は上記の構成に限定されるものではなく、本発明の技術思想を逸脱することなく、種々の変更が可能であることは言うまでもない。

20

【0050】

【発明の実施の形態】

以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。

【0051】

図1は本発明による液晶表示装置の第1実施例の要部構成を説明するブロック図である。図1において、インタフェース回路基板に搭載される表示制御装置にはパラレル-シリアル変換回路 P/S、クロックシンセサイザ (PLL) CLS、およびクロック比較回路 CCM を備えている。クロックシンセサイザ CLS とクロック比較回路 CCM とでクロック監視回路を構成する。

30

【0052】

この表示制御装置は本体コンピュータ側からクロック DCLK と n 個の画像データ (Data) およびその他の制御信号 (H-Sync: 水平同期信号、V-Sync: 垂直同期信号、等) を受ける。

【0053】

基本クロックであるクロック DCLK はパラレル-シリアル変換回路 P/S に入力すると同時にクロックシンセサイザ CLS に与えられる。クロックシンセサイザ CLS は入力したクロック DCLK を a 逡倍 (ここでは、 $a = 2$ ) して  $2DCLK$  を作成して、これをパラレル-シリアル変換回路 P/S とクロック比較回路 CCM に与える。

40

【0054】

並直列変換回路 P/S は入力した n 個の画像データを m 個の画像データ ( $m \times n$ ) に変換し、ダブルエッジ仕様のドレインドライバで基本クロック DCLK の立ち上がりエッジと立ち下がりエッジのダブルエッジで取り込み、これを液晶表示パネルに表示する。

【0055】

クロック比較回路 CCM は基準のクロック DCLK と 2 逡倍クロック  $2DCLK$  とを比較してクロック DCLK の周波数が正常か異常かを判断し、その判断結果の出力 (判定出力) PLLVAL (正常 = ハイレベル: High、異常 = ローレベル: Low) をパラレル-シリアル変換回路 P/S に出力する。

【0056】

50

クロック D C L K の周波数が異常であると、出力 P L L V A L がローレベル：Low となり、このローレベルの出力 P L L V A L でパラレル - シリアル変換回路 P / S からドレインドライバへの画像データの供給を停止する。

【 0 0 5 7 】

図 2 は図 1 におけるクロック監視回路の構成例を説明するブロック図である。また、図 3 と図 4 は図 2 の動作を説明するタイミング図を示す。なお、ここでは通倍数を「2」として、クロック D C L K は 1 2 8 0 パルス、従って通倍したクロック（参照クロック） $2 \times D C L K$  は 2 5 6 0 パルスとした例で説明するが、これに限らない。通倍数は、 $n$  倍（ $n \geq 2$ 、 $n$  は整数）である。以下、図 2 の動作を図 3 および図 4 を参照して説明する。

【 0 0 5 8 】

本体コンピュータから入力する基準クロック信号であるクロック D C L K は a カウンタ C N T - a のカウントアップ用クロックとクロックシンセサイザ C L S に入力される。クロックシンセサイザ C L S の出力である  $2 \times D C L K$  は b カウンタ C N T - b のカウントアップ用クロックとして入力する。

【 0 0 5 9 】

クロック D C L K の入力により a カウンタ C N T - a は + 1 を行う。そして、カウント値が 1 2 8 0 となった時、b カウンタ C N T - b の値をチェックする。

【 0 0 6 0 】

b カウンタ C N T - b の値が 2 5 6 0（= 1 2 8 0 の 2 倍）であれば、クロックシンセサイザ C L S は正常に動作しているか、またはクロック D C L K が正常に入力していると判断する。この回路では、正常と判断した時は判定出力 P L L V A L をハイレベルとする。

【 0 0 6 1 】

b カウンタ C N T - b の値が 2 5 6 0 でない場合は異常と判断し、P L L V A L 出力をローレベルにする。この際、異常が起きた回数を覚えておくためのカウンタ（c カウンタ C N T - c）を + 1 カウントアップする。c カウンタ C N T - c は、クロックシンセサイザ C L S が正常動作（“ b ” カウンタ C N T - b の値が 2 5 6 0）になるとクリアされる。

【 0 0 6 2 】

クロックシンセサイザ C L S が正常動作にならない理由として、当該クロックシンセサイザ C L S を構成する P L L がロックしてしまい、異常周波数のクロックを出力している可能性があるため、c カウンタ C N T - c の値が 3 8 4（設定値）となった場合はクロックシンセサイザ C L S をリセットする。

【 0 0 6 3 】

なお、a カウンタ C N T - a と b カウンタ C N T - b は、a カウンタ C N T - a が 1 2 8 0 となった時、クリアを行って再度動作を続けて行く。また、上記した a カウンタ C N T - a のデコード値である 1 2 8 0 は使用するクロックシンセサイザを構成する P L L の性能により決まる。

【 0 0 6 4 】

c カウンタ C N T - c の設定値である 3 8 4 は薄膜トランジスタ T F T 型の液晶表示装置の約 1 フレーム時間により設定したもので、この値は任意である。b カウンタ C N T - b のカウント値はクロックシンセサイザ C L S の出力周波数に依存し、上記では 2 通倍の 2 5 6 0 としたが、3 通倍では 3 8 4 0、4 通倍とした場合は 5 1 2 0 となる。

【 0 0 6 5 】

図 5 は図 2 の動作をさらに詳細に説明するための波形図である。図中、カウント値の順番を D で示す（例えば、1 2 7 9 番目のカウント値を D 1 2 7 9 t h と標記する）。

【 0 0 6 6 】

図 5 における ( 1 ) は本体コンピュータから入力する外部クロック（画像クロック = 基準クロック = 1 2 8 0）、( 2 ) は a カウンタのカウント値、( 3 ) は a カウンタのデコード信号、( 4 ) は a カウンタと参照クロック（ $2 \times D C L K$ ）より合成したパルス（= D 1 2 7 9 - 2 = 参照信号 1）、( 5 ) は参照信号と参照クロックとで合成した参照信号 2（= D 1 2 7 9 - 2' ）、( 6 ) は b カウンタのデコード信号、( 7 ) は b カウンタのカ

10

20

30

40

50

ウント値、(8)は参照クロック(=2 DCLK)、(9)はデコード/ラッチ出力、(10)は判定出力 PLLVALを示す。

【0067】

まず、aカウンタは外部クロックDCLKをカウントして行く。aカウンタの出力は、カウントDが1279番目(D1279th)でハイレベル、それ以外ではローレベルである。

【0068】

外部クロックの正常/異常の判定は、例えば図6に示すような論理回路(クロック比較回路)を用い、aカウンタのカウント・デコード信号D1279-1(3)と参照クロックである2×DCLK(8)とをフリップフロップFF1、FF2、及びAND回路AND1からなる回路群にて合成して第1の参照信号D1279-2(4)を得た後、この第1の参照信号D1279-2と参照クロック(8)とをフリップフロップFF3で合成して得られた第2の参照信号D1279-2'(5)をbカウンタのデコード信号(6)と比較するシーケンス(Sequence)で行う。

【0069】

1280パルスの外部クロックの周波数を2倍して2560パルスの参照クロックを生成する場合を想定すると、或る1周期(例えば、フレーム期間や垂直走査期間)が完了し、且つこれに続く次の1周期が開始する時点で、外部クロックは1279番目の信号(h'4FF)を、参照クロックは2559番目の信号(h'9FF)を上記「或る1周期」の最後に夫々出力した後、上記次の1周期の0番目の信号(h'000)を夫々出力する。

【0070】

上記bカウンタを、そのカウント値(7)が参照クロックのh'9FFに至る、即ち2559番目の信号(上記或る周期の最後のクロック信号)を認識するときに限り、bカウンタがハイレベルの信号(6)を出力する場合、これと上記参照信号2の出力(5)とをAND回路AND2、AND3、及びフリップフロップFF4からなる回路群で照合し、例えば、双方がハイレベルで一致したときに限り、デコード/ラッチ信号をハイレベルにする。デコード/ラッチ信号は後述のcカウンタに入力され、そのレベル(ハイまたはロー)に応じてcカウンタは外部クロックの異常発生回数を積算するか、この値をリセットするかのいずれかに動作する。

【0071】

上述の例では、参照信号2(5)とbカウンタ出力(6)との一致を以って外部クロックが正常であることを判断しているため、正常な外部クロックに対応するハイレベルのデコード/ラッチ信号はcカウンタで積算された外部クロックの異常発生回数をリセットする。

【0072】

逆に、参照信号2(5)とbカウンタ出力(6)とが一致しない(上述の例では、参照信号2(5)とbカウンタ出力(6)との少なくとも一方がローレベルとなる)場合、デコード/ラッチ信号はローレベルとなり、cカウンタは上記1周期毎に外部クロックの異常発生回数を積算する。

【0073】

このような外部クロックの判定に用いる参照信号2(5)並びにbカウンタ出力(6)、及びその判定結果の出力を示すデコード/ラッチ信号のレベルは上述の例に限らず、クロック比較回路やcカウンタの構成に応じて適宜逆転させてもよい。

【0074】

また、参照クロックの周波数を外部クロックの周波数より低く設定する場合は、例えば、bカウンタのデコード信号(上記或る1周期の最後のクロック信号に対して特異な信号を出力する)を外部クロックと合成し、参照信号を発生させて上記aカウンタのデコード信号としてもよい。

【0075】

判定出力 PLLVAL(9)は、クロック比較回路の後段に配置されるパラレル-シリア

10

20

30

40

50

ル変換回路やcカウンタに入力される。cカウンタは、aカウンタの出力D1279-1thより外部クロックDCLKの1パルス分遅延したタイミングで判定出力PLLVALL(10)の変動を認識する。

【0076】

cカウンタは、判定出力PLLVALL(10)がローレベルを示すとき、外部クロックの異常発生回数を上記1周期毎にカウント・アップする。このカウント・アップされた数値が先述の設定値に至るとき、cカウンタは先述のとおり、クロックシンセサイザをリセットする。

【0077】

図6は図1のクロック監視回路を構成するクロック比較回路CCMの1構成例を説明するブロック図である。この回路は、フリップフロップFF1、FF2、FF3、FF4、AND1、AND2、AND3、INV、bカウンタCNT-b、および(h'9FF)のデコーダDRで図示したように構成される。

10

【0078】

図中の各クロック、カウント値、その他の信号は図1乃至図5における各信号に相当し、フリップフロップFF4からデコーダDRのデコード/ラッチ出力DCLを得る。

【0079】

以上説明した本発明の第1実施例により、クロック監視手段がクロックのタイミング異常を検出したときは、クロックが正常に入力されていないと判断する。つまり、この状態は本体コンピュータ側が完全に立ち上がっていないか、あるいは動作モードの変更に伴う移行期間と判断できるため、液晶表示装置側では内部電源を非動作状態として表示異常の発生を防止する保護処理を施すことができる。

20

【0080】

図7は本発明による液晶表示装置の第2実施例の要部構成を説明するブロック図である。本実施例では、前記外部信号源から入力するクロック信号DCLKのタイミングの異常の有無を検出するクロックシンセサイザCLSとクロック比較回路CCMからなるクロック監視手段と、クロック信号と等価の擬似クロックFDCLKを生成する内部クロック信号発生回路FCGとを備えたものである。

【0081】

前記実施例では、クロックのタイミング異常が発生した時は内部電源を非動作状態として表示異常の発生を防止する保護処理を施すようにしたが、本実施例ではクロック監視手段がタイミング異常を検出した場合は前記内部クロック信号発生回路で生成した擬似クロック信号を前記表示制御装置に供給して擬似的な画像を表示させる。

30

【0082】

この内部クロック信号発生回路は、抵抗、容量(コンデンサ)、又は水晶発振器により制御されて画像表示のためのクロックを生成する。これらの電子部品は、内部クロック信号発生回路又はこれを包含する集積回路素子(大規模集積回路)の外側に設けてもよく、例えば、同じ印刷回路基板上に上記集積回路素子とともに実装してもよい。

【0083】

本実施例により、クロック監視手段がクロックのタイミング異常を検出したときは、擬似画面表示を行うことで異常な表示を回避し、上記タイミングが復帰した時点で正常な画像表示を行うことができる。

40

【0084】

次に、本発明による液晶表示装置を構成する液晶表示パネルおよびその他の構成部分について説明する。

【0085】

図8は本発明による液晶表示装置を構成する液晶表示パネルの画素部の一例を説明する等価回路である。なお、同図は実際の画素の幾何学的配置に対応しており、有効表示領域AR(画素部)にマトリクス状にはいちされる複数の画素は、その1画素あたり2つの薄膜トランジスタTFT(TFT1, TFT2)で構成されている。

50

## 【 0 0 8 6 】

符号Dはドレイン信号線、Gはゲート信号線、R、G、Bは各色（赤、緑、青）の画素電極であり、ITO1で形成されている。また、ITO2は対向電極（コモン電極）、 $C_{LC}$ は液晶層を等価的に示す液晶容量、 $C_{ADD}$ は薄膜トランジスタTFTのソース電極と前段のゲート信号線Gとの間に形成された付加容量を示す。

## 【 0 0 8 7 】

図9は本発明による液晶表示装置を構成する液晶表示パネルの画素部の他の例を説明する等価回路である。なお、同図も実際の画素の幾何学的配置に対応しており、有効表示領域AR（画素部）にマトリクス状にはいちされる複数の画素は、その1画素あたり2つの薄膜トランジスタTFT（TFT1、TFT2）で構成されている点も図1と同様である。なお、図8と図9では1画素あたり2つの薄膜トランジスタTFTを設けているが、1画素あたり1つの薄膜トランジスタTFTで構成したのもも既知である。

10

## 【 0 0 8 8 】

同様に、符号Dはドレイン信号線、Gはゲート信号線、R、G、Bは各色（赤、緑、青）の画素電極、ITO2は対向電極（コモン電極）、 $C_{LC}$ は液晶層を等価的に示す液晶容量、 $C_{STG}$ は共通信号線COMとソース電極の間に形成された保持容量であり、図3における付加容量 $C_{ADD}$ がソース電極と前段のゲート信号線Gとの間に形成されている点で異なる。

## 【 0 0 8 9 】

上記図8あるいは図9に示す液晶表示パネルにおいて、列方向に配置された各画素の薄膜トランジスタTFT（TFT1、TFT2）のドレイン電極はそれぞれドレイン信号線Dに接続され、各ドレイン信号線Dは列方向に配置された画素の表示データの電圧を印加するドレインドライバに接続される。

20

## 【 0 0 9 0 】

また、行方向に配置された各画素における薄膜トランジスタTFT（TFT1、TFT2）のゲート電極は、それぞれゲート信号線Gに接続され、各ゲート信号線Gは1水平走査時間、薄膜トランジスタTFT（TFT1、TFT2）のゲートに走査駆動電圧（正または負のバイアス電圧）を供給するゲートドライバに接続される。

## 【 0 0 9 1 】

本発明は上記の図8および図9に示した構成をもつ液晶表示パネルを用いた液晶表示装置の何れにも適用できるが、前者の液晶表示パネルでは前段のゲート信号線Gのパルスが付加容量 $C_{ADD}$ を介して画素電極ITO1に飛び込むのに対し、後者の液晶表示パネルではこのような飛び込みがないため、より良好な表示が可能である。

30

## 【 0 0 9 2 】

図10はドレインドライバからドレイン信号線に出力される液晶駆動電圧、すなわち画素電極ITO1に印加される液晶駆動電圧と、コモン電極ITO2に印加される液晶駆動電圧との関係を詳しく説明図するタイミング図である。なお、ドレインドライバからドレイン信号線Dに出力される液晶駆動電圧は液晶表示パネルの表示面に黒を表示する場合を示す。

## 【 0 0 9 3 】

図10に示すように、ドレインドライバから奇数番目のドレイン信号線Dに出力される液晶駆動電圧VDHとドレインドライバが偶数番目のドレイン信号線Dに出力される液晶駆動電圧VDLとは、コモン電極ITO2に印加される液晶駆動電圧VCOMに対して逆極性、すなわち奇数番目のドレイン信号線Dに出力される液晶駆動電圧VDHが正極性（または、負極性）であれば、偶数番目のドレイン信号線Dに出力される液晶駆動電圧VDLが負極性（または、正極性）である。

40

## 【 0 0 9 4 】

そして、その極性は1ライン（1H）毎に反転され、さらに各ライン毎の極性がフレーム毎に反転される。このドット反転法を使用することにより、隣り合うドレイン信号線Dに印加される電圧が逆極性となるため、コモン電極ITO2やゲート信号線Gに流れる電流

50

が隣り同士で打ち消し合い、消費電力を低減することができる。

【0095】

また、コモン電極ITO2に流れる電流が少なく電圧降下が大きくなるため、コモン電極ITO2の電圧レベルが安定し、表示品質の低下を最小限に抑えることができる。

【0096】

図11はインタフェース回路基板の取付け位置を説明する液晶表示パネルの平面図である。液晶表示パネルPNLの下辺には(A)に示したように液晶表示パネルPNLの背面に開口HOL列に沿って折り曲げられるドレイドライバIC1を搭載したフレキシブルプリント基板FPC2が取付けられている。

【0097】

また、液晶表示パネルPNLの左辺には当該液晶表示パネルPNLの背面に折り曲げられるゲートドライバIC2を搭載したフレキシブルプリント基板FPC1が取付けられている。

【0098】

このフレキシブルプリント基板FPC1の背面に(B)に示したようにインタフェース回路基板PCBが設置されている。このインターフェース回路基板PCBに搭載されているTCONは表示制御装置を構成する半導体集積回路である。

【0099】

本体コンピュータからのクロックおよび画像データ等の各種の信号はインタフェース回路基板PCBのコネクタCT1から入力する。フレキシブルプリント基板FPC1のコネクタCT3はインタフェース回路基板PCBのコネクタCT3'に、またフレキシブルプリント基板FPC2のコネクタCT4はインタフェース回路基板PCBのコネクタCT4'に結合されて表示制御装置のTCONから出力される前記したクロックや画像データが供給される。

【0100】

なお、表示表示パネルPNLは上基板SUB1と下基板SUB2の貼り合わせ間隙に液晶層を挟持し、その最上層には上偏光板POL1が積層されている(図示しないが、液晶表示パネルの背面の最上層には下偏光板が積層されている。ARは有効表示領域を示す。

【0101】

上記のように構成された液晶表示装置に前記した本発明の実施例を適用することにより、外部クロックの正常/異常を認識し、異常の場合には液晶表示装置のドライバへの画像信号の供給を停止し、あるいは別途設けた擬似クロック生成回路からの擬似クロックに置き換えて表示を行わせることで、表示異常の発生を回避し、かつ本体コンピュータから高速の表示データの転送を必要とせずに高精細の画像表示を可能とした液晶表示装置を得ることができる。

【0102】

【発明の効果】

以上説明したように、本発明によれば、本体コンピュータ側の構成を変更しない、すなわちLVD方式を採用しないインタフェースで、低い画素クロック周波数のダブルエッジを用いた表示データのドレイドライバへの取り込みを可能とすると共に、外部クロックの正常/異常を認識し、異常の場合には液晶表示装置のドレイドライバへの画像信号の供給を停止し、あるいは別途設けた擬似クロック生成回路からの擬似クロックに置き換えて表示を行わせることで、表示異常の発生を回避した高精細の液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の第1実施例の要部構成を説明するブロック図である。

【図2】図1におけるクロック監視回路の構成例を説明するブロック図である。

【図3】図2の動作を説明するタイミング図である。

【図4】図2の動作を説明するタイミング図である。

10

20

30

40

50

【図5】図2の動作をさらに詳細に説明するための波形図である。

【図6】図1のクロック監視回路を構成するクロック比較回路CCMの1構成例を説明するブロック図である。

【図7】本発明による液晶表示装置の第2実施例の要部構成を説明するブロック図である。

【図8】本発明による液晶表示装置を構成する液晶表示パネルの画素部の一例を説明する等価回路である。

【図9】本発明による液晶表示装置を構成する液晶表示パネルの画素部の他の例を説明する等価回路である。

【図10】ドレインドライバからドレイン信号線に出力される液晶駆動電圧とコモン電極に印加される液晶駆動電圧との関係を詳しく説明図するタイミング図である。

10

【図11】インタフェース回路基板の取付け位置を説明する液晶表示パネルの平面図である。

【図12】アクティブマトリクス型の液晶表示装置の構成例を説明するブロック図である。

【図13】図12における表示制御に関する横方向すなわち水平方向タイミングの説明図である。

【図14】図12における表示制御に関する縦方向すなわち垂直方向タイミングの説明図である。

【図15】LVDS転送方式の概念の説明図である。

20

【図16】LVDS転送方式の基本構成の説明図である。

【図17】LVDS転送方式を採用した液晶表示装置の構成例を説明するブロック図である。

【図18】ダブルエッジ仕様における表示制御装置の入力と出力のタイミング図である。

【図19】ダブルエッジ画像データ取込み方式の要部構成を説明するブロック図である。

【図20】図19の動作説明のための波形図である。

【図21】ダブルエッジ画像データ取込み方式とした液晶表示装置の構成例を説明するブロック図である。

【符号の説明】

DCLK 外部信号源から入力する基準クロック（画素クロック）

30

P/S パラレル - シリアル変換回路

CLS クロックシンセサイザ

CCM クロック比較回路

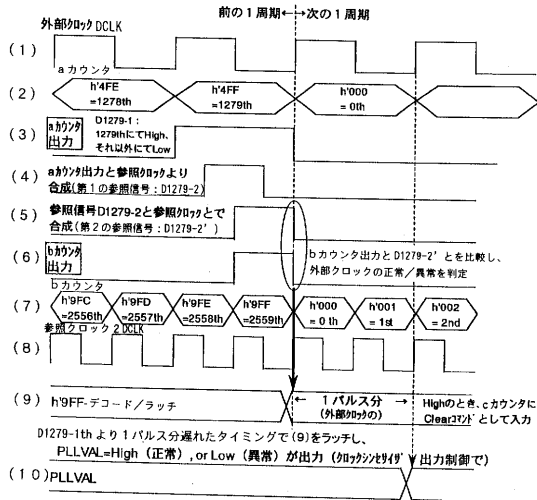
FCG 内部クロック発生回路

CSW クロック切替回路。



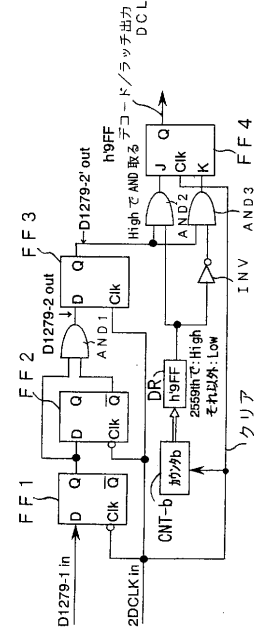
【図5】

図5



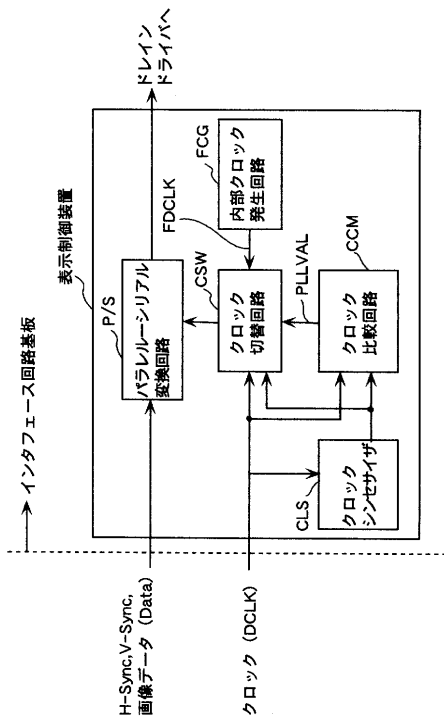
【図6】

図6



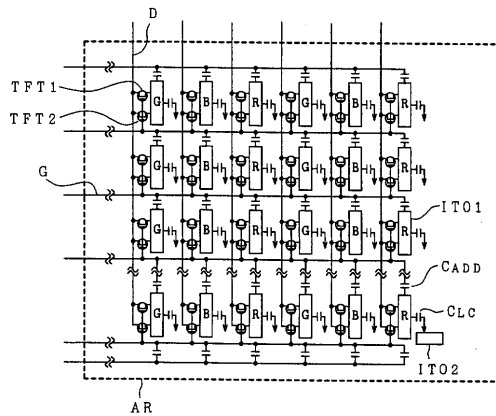
【図7】

図7



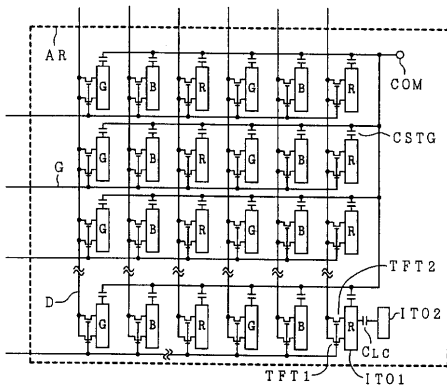
【図8】

図8



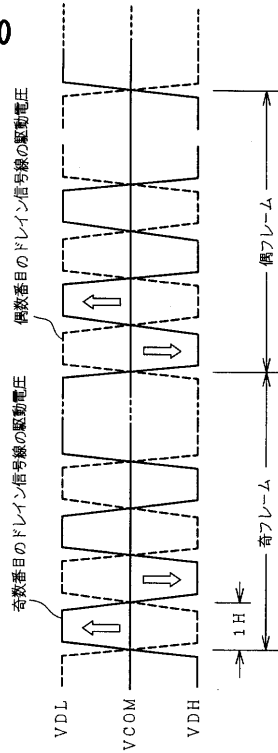
【図9】

図9



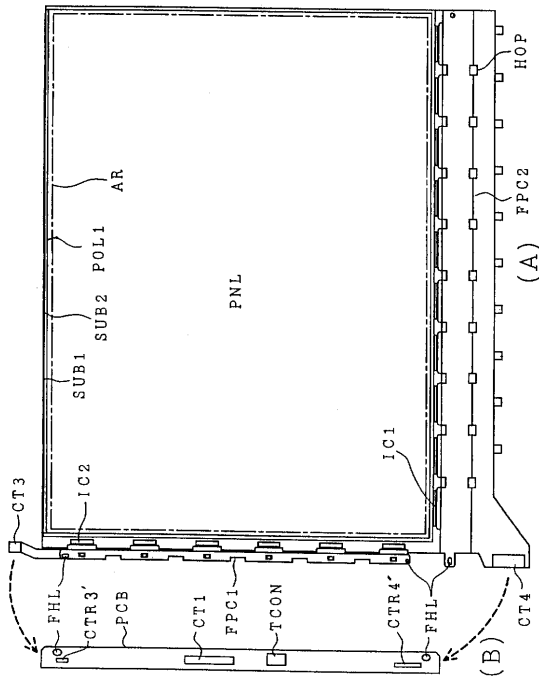
【図10】

図10



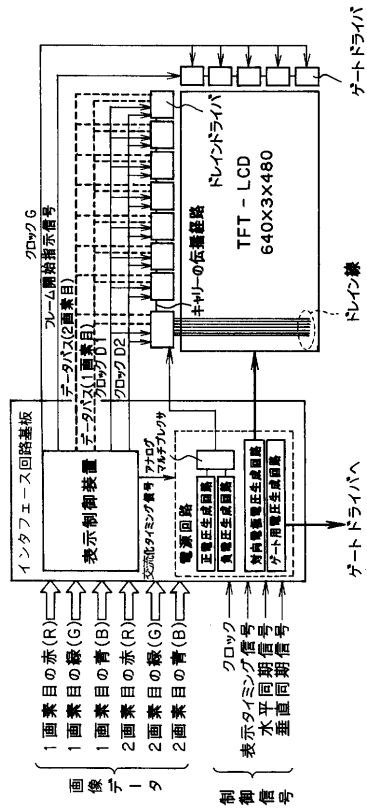
【図11】

図11



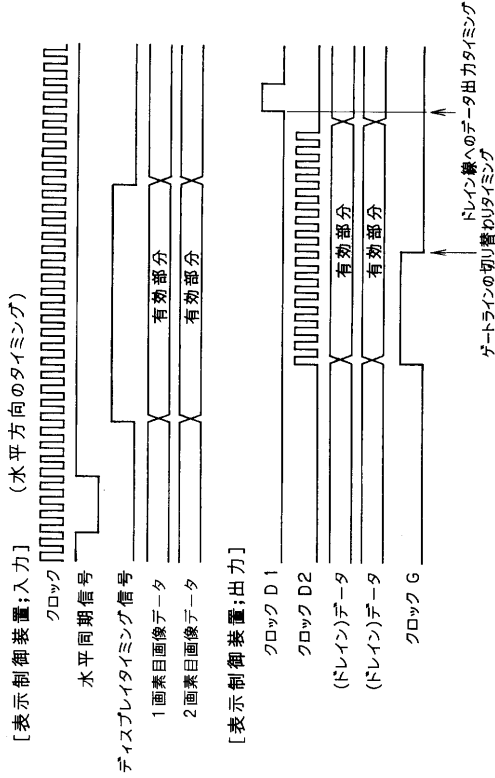
【図12】

図12



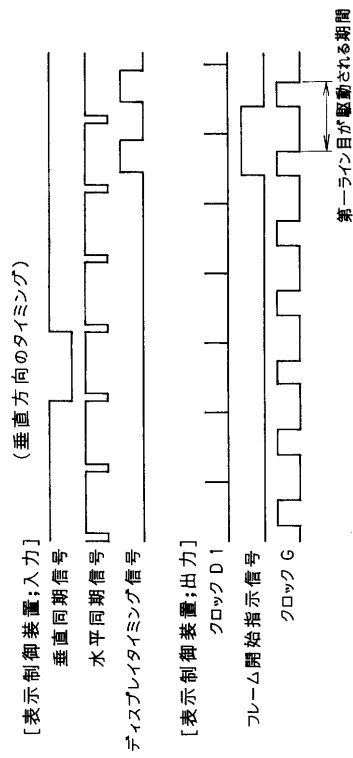
【図13】

図13



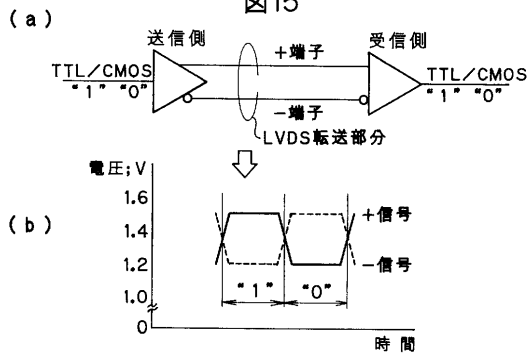
【図14】

図14



【図15】

図15

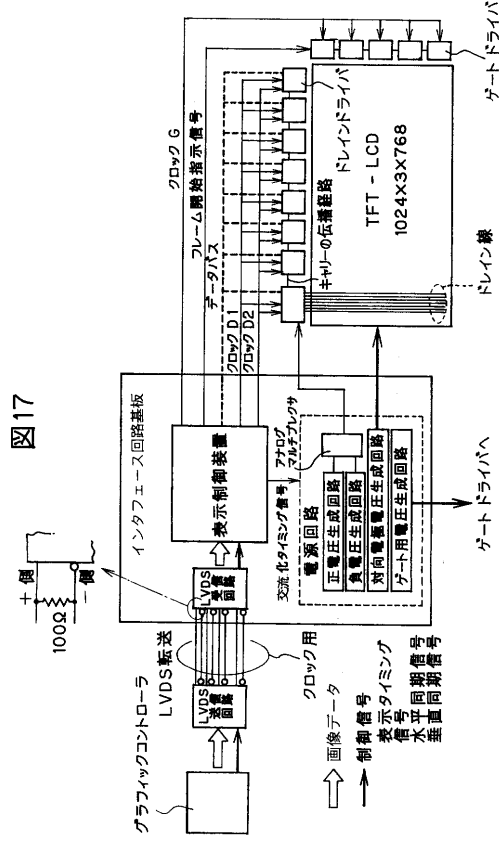
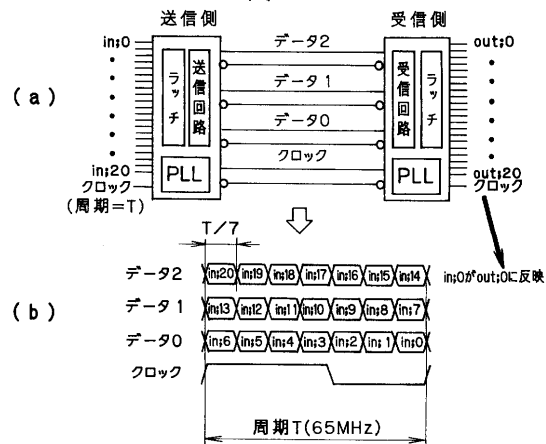


【図17】

図17

【図16】

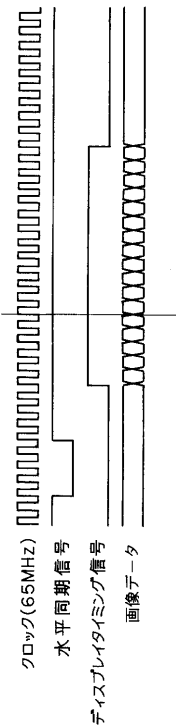
図16



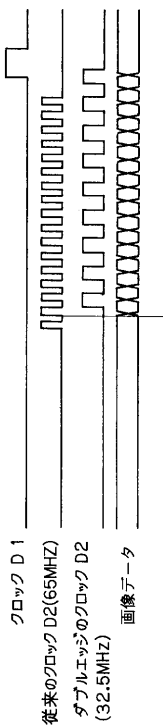
【 図 18 】

図 18

〔表示制御装置;入力〕

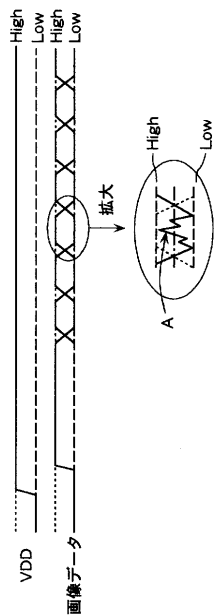


〔表示制御装置;出力〕



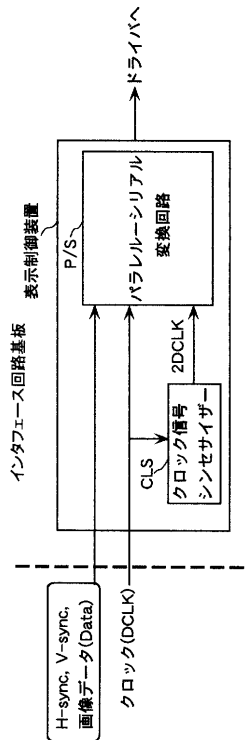
【 図 20 】

図 20



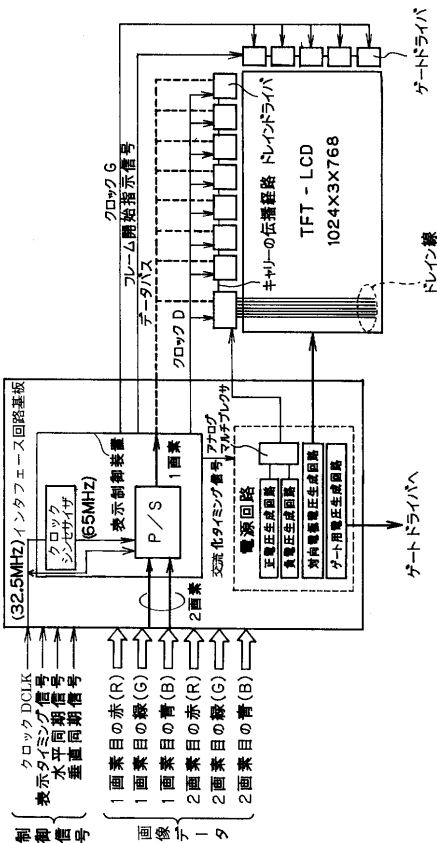
【 図 19 】

図 19



【 図 21 】

図 21



---

フロントページの続き

- (56)参考文献 特開2000-338938(JP,A)  
特開平05-046108(JP,A)  
特開平07-199148(JP,A)  
特開平09-292597(JP,A)  
特開昭54-066038(JP,A)  
特開昭61-275626(JP,A)  
特開2000-020036(JP,A)  
特開平10-111671(JP,A)  
特開昭64-078296(JP,A)  
特開平11-109908(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38  
G02F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP4663896B2</a>	公开(公告)日	2011-04-06
申请号	JP2001098447	申请日	2001-03-30
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	五十嵐陽一		
发明人	五十嵐陽一		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/00		
CPC分类号	G09G5/008 G09G3/3648 G09G5/005 G09G5/006 G09G2340/14		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.K G09G3/20.670.F		
F-TERM分类号	2H093/NB00 2H093/ND01 2H093/ND34 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AF44 5C006/AF72 5C006/BB16 5C006/BC16 5C006/FA16 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD09 5C080/EE25 5C080/FF11 5C080/JJ02 5C080/JJ04		
代理人(译)	小野寺杨枝		
其他公开文献	JP2002297108A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明使用不采用LVDS方法的接口电路识别外部输入像素时钟的正常/异常，并且在异常的情况下，停止向液晶显示装置的驱动器提供图像信号以显示异常。避免发生。提供一种接口电路，其可以使用双刃漏极驱动器，其将来自主体计算机的像素数量转换为少量像素，并且利用低频时钟信号将像素带入漏极驱动器。时钟合成器CLS和时钟比较电路CCM，用于向显示控制装置输出从外部信号源输入的像素时钟信号DCLK的定时的异常的存在/不存在，并输出时钟正常/异常判断信号PLLVAL。提供时钟监视单元，并且当时钟异常时，停止从并行-串行转换电路P/S向漏极驱动器提供图像数据。

【图3】

