

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4610285号  
(P4610285)

(45) 発行日 平成23年1月12日(2011.1.12)

(24) 登録日 平成22年10月22日(2010.10.22)

(51) Int.Cl.	F I
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368
<b>GO9F 9/30 (2006.01)</b>	GO9F 9/30 338
<b>GO9F 9/35 (2006.01)</b>	GO9F 9/35
<b>HO1L 21/20 (2006.01)</b>	HO1L 21/20
<b>HO1L 21/322 (2006.01)</b>	HO1L 21/322 G
請求項の数 5 (全 52 頁) 最終頁に続く	

(21) 出願番号 特願2004-289021 (P2004-289021)  
 (22) 出願日 平成16年9月30日(2004.9.30)  
 (65) 公開番号 特開2006-106106 (P2006-106106A)  
 (43) 公開日 平成18年4月20日(2006.4.20)  
 審査請求日 平成19年9月20日(2007.9.20)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 城口 裕子  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 藤田 都志行

最終頁に続く

(54) 【発明の名称】 液晶表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面上にゲート電極層及び画素電極層を形成し、  
 前記ゲート電極層及び前記画素電極層上にゲート絶縁層を形成し、  
 前記ゲート絶縁層上に金属元素を含む金属膜を形成し、  
 前記金属膜上に半導体層を形成し、  
 前記半導体層に接して一導電型を有する半導体層を形成し、  
 加熱して前記半導体層を結晶性半導体層にするとともに、前記金属元素を前記一導電型  
 を有する半導体層にゲッタリングし、  
 前記結晶性半導体層及び前記一導電型を有する半導体層を島状にし、  
 前記一導電型を有する半導体層に接して導電膜を形成し、  
 前記導電膜、前記一導電型を有する半導体層及び前記結晶性半導体層をパターンングし  
 て、前記導電膜からソース電極層及びドレイン電極層を形成し、前記一導電型を有する半  
 導体層からソース領域及びドレイン領域を形成し、前記結晶性半導体層の一部を除去して  
 チャンネルエッチ型にし、  
 前記ソース電極層、前記ドレイン電極層及び前記ゲート絶縁層上に絶縁層を形成し、  
 前記絶縁層に前記ソース電極層または前記ドレイン電極層に達する第1の開口部、及び  
 前記絶縁層と前記ゲート絶縁層に前記画素電極層に達する第2の開口部を形成し、  
 前記第1の開口部及び前記第2の開口部に、前記ソース電極層または前記ドレイン電極  
 層及び前記画素電極層を電氣的に接続する配線層を形成することを特徴とする液晶表示装

10

20

置の作製方法。

【請求項 2】

絶縁表面上にゲート電極層及び画素電極層を形成し、  
 前記ゲート電極層及び前記画素電極層上にゲート絶縁層を形成し、  
 前記ゲート絶縁層上に金属元素を含む金属膜を形成し、  
 前記金属膜上に半導体層を形成し、  
 前記半導体層上に選択的にチャンネル保護層を形成し、  
 前記半導体層及び前記チャンネル保護層に接して一導電型を有する半導体層を形成し、  
加熱して前記半導体層を結晶性半導体層にするとともに、前記金属元素を前記一導電型  
を有する半導体層にゲッタリングし、

10

前記結晶性半導体層及び前記一導電型を有する半導体層を島状にし、  
前記一導電型を有する半導体層に接して導電膜を形成し、  
前記導電膜及び前記一導電型を有する半導体層をパターニングして、前記導電膜からソ  
ース電極層及びドレイン電極層を形成し、前記一導電型を有する半導体層からソース領域  
及びドレイン領域を形成し、

前記ソース電極層、前記ドレイン電極層及び前記ゲート絶縁層上に絶縁層を形成し、  
 前記絶縁層に前記ソース電極層または前記ドレイン電極層に達する第 1 の開口部、及び  
 前記絶縁層と前記ゲート絶縁層に前記画素電極層に達する第 2 の開口部を形成し、  
 前記第 1 の開口部及び前記第 2 の開口部に、前記ソース電極層または前記ドレイン電極  
 層及び前記画素電極層を電氣的に接続する配線層を形成することを特徴とする液晶表示装  
 置の作製方法。

20

【請求項 3】

請求項 1 又は 2 において、前記金属元素として鉄、ニッケル、コバルト、ルテニウム、  
 ロジウム、パラジウム、オスニウム、イリジウム、白金、チタン、銅及び金から選ばれた  
 一つ又は複数を用いることを特徴とする液晶表示装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、前記ゲート絶縁層として、前記ゲート  
 電極層及び前記画素電極層上に第 1 のゲート絶縁層を形成し、  
 前記第 1 のゲート絶縁層上に第 2 のゲート絶縁層を形成し、  
 前記第 2 のゲート絶縁層上に膜厚 0 . 1 nm 以上 1 0 nm 以下の第 3 のゲート絶縁層を  
 形成することを特徴とする液晶表示装置の作製方法。

30

【請求項 5】

請求項 4 において、前記第 1 のゲート絶縁層として窒化酸化珪素膜を形成し、前記第 2  
 のゲート絶縁層として酸化窒化珪素膜を形成し、前記第 3 のゲート絶縁層として窒化珪素  
 膜を形成することを特徴とする液晶表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の作製方法、及びそれを用いた液晶テレビジョン装置に関する  
 。

40

【背景技術】

【0002】

近年、液晶ディスプレイ(LCD)に代表されるフラットパネルディスプレイ(FPD)は、  
 これまでのCRTに替わる表示装置として注目を集めている。特にアクティブマトリクス  
 駆動の大型液晶パネルを搭載した大画面液晶テレビジョン装置の開発は、液晶パネルメ  
 ーカールにとって注力すべき重要な課題になっている。

【0003】

従来の液晶表示装置において、各画素を駆動する半導体素子としてはアモルファスシ  
 リコンを用いた薄膜トランジスタ(以下、TFTとも示す。)が用いられている。

【0004】

50

一方、従来の液晶テレビにおいては、視野角特性の限界、液晶材料等が原因の高速動作の限界による画像のぼやけが欠点であったが、近年それを解消する新たな表示モードとして、OCB (optically compensated bend) モードが提案されている (非特許文献 1 参照。 )。

【非特許文献 1】長広恭明他編、「日経マイクロデバイス別冊 フラットパネル・ディスプレイ 2002」、日系BP社、2001年10月、P102-109

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、非晶質半導体膜を用いたTFTを直流駆動した場合は、しきい値がずれやすく、それに伴いTFTの特性バラツキが生じやすい。このため、非晶質半導体膜を用いたTFTを画素のスイッチングに用いた表示装置は、輝度ムラが発生する。このような現象は、対角30インチ以上 (典型的には40インチ以上) の大画面テレビジョン装置であるほど顕著であり、画質の低下が深刻な問題である。

【0006】

一方、LCDの画質を向上させるために高速動作が可能なスイッチング素子が必要とされている。しかしながら、非晶質半導体膜を用いたTFTでは限界がある。例えば、OCBモードの液晶表示装置を実現することが困難となる。

【0007】

本発明は、このような状況に鑑みなされたものであり、少ないフォトマスク数で、しきい値のずれが生じにくく、高速動作が可能なTFTを有する液晶表示装置の作製方法を提供する。また、スイッチング特性が高く、コントラストがすぐれた表示が可能な液晶表示装置の作製方法を提供する。

【課題を解決するための手段】

【0008】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。

【0009】

本発明は、結晶化を促進又は助長させる元素 (以下、主に金属元素を指すことから金属元素、触媒元素ともいう) を添加し非晶質半導体膜を形成し、15族元素を有する半導体膜または希ガス元素を有する半導体膜を形成し、加熱して結晶性半導体膜を形成と、結晶性半導体膜から金属元素の除去を同時に行なった後、逆スタガ型薄膜トランジスタを形成することを要旨とする。なお、該結晶性半導体膜に15族元素を有する半導体膜を形成した場合、15族元素を有する半導体膜をソース領域及びドレイン領域として用いて、nチャンネル型薄膜トランジスタを形成する。また、n型を付与する不純物元素として15族元素を有する半導体膜にp型を付与する不純物元素として13族元素を添加して、pチャンネル型薄膜トランジスタを形成する。さらには、希ガス元素を有する半導体膜を形成した場合、加熱の後に希ガス元素を有する半導体膜を除去し、ソース領域及びドレイン領域を形成して、nチャンネル型薄膜トランジスタ又はpチャンネル型薄膜トランジスタを形成する。

【0010】

本発明は、薄膜トランジスタのゲート電極層と画素電極層を同工程同材料を用いて形成し、工程の簡略化と、材料のロスの軽減を達成する。

【0011】

本発明の液晶表示装置の一は、絶縁表面上に設けられたゲート電極層及び画素電極層を有し、ゲート電極層上に第1のゲート絶縁層を有し、第1のゲート絶縁層上に第2のゲート絶縁層を有し、第2のゲート絶縁層上に第3のゲート絶縁層を有し、第3のゲート絶縁層上に結晶性半導体層を有し、結晶性半導体層に接して一導電性を有する半導体層を有し、一導電性を有する半導体層に接してソース電極層及びドレイン電極層を有し、ソース電極層、ドレイン電極層及び画素電極層上に絶縁層を有し、絶縁層はソース電極層またはドレイン電極層に達する第1の開口部を有し、ゲート絶縁層及び絶縁層は画素電極層に達する第2の開口部を有し、第1の開口部及び第2の開口部に、ソース電極層またはドレイ

10

20

30

40

50

ン電極層と画素電極層とが電氣的に接続する配線層を有する。

【0012】

本発明の液晶表示装置の一は、絶縁表面上に設けられたゲート電極層及び画素電極層を有し、ゲート電極層上に第1のゲート絶縁層を有し、第1のゲート絶縁層上に第2のゲート絶縁層を有し、第2のゲート絶縁層上に第3のゲート絶縁層を有し、第3のゲート絶縁層上にソース領域及びドレイン領域が設けられた結晶性半導体層を有し、ソース領域及び前記ドレイン領域に接してソース電極層及びドレイン電極層を有し、ソース電極層、前記ドレイン電極層及び前記画素電極層上に絶縁層を有し、絶縁層はソース電極層またはドレイン電極層に達する第1の開口部を有し、ゲート絶縁層及び絶縁層は画素電極層に達する第2の開口部を有し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層と画素電極層とが電氣的に接続する配線層を有する。

10

【0013】

本発明の液晶表示装置の一は、画素領域及び駆動回路領域を同一基板上に有し、駆動回路領域において基板上に第1のゲート電極層及び第2のゲート電極層を有し、第1のゲート電極層及び第2のゲート電極層上に第1のゲート絶縁層を有し、第1のゲート絶縁層上に第2のゲート絶縁層を有し、第2のゲート絶縁層上に第3のゲート絶縁層を有し、第3のゲート絶縁層上に第1の結晶性半導体層及び第2の結晶性半導体層を有し、第1の結晶性半導体層に接してn型を有する半導体層を有し、第1の結晶性半導体層に接してp型を有する半導体層を有し、n型を有する半導体層に接する第1のソース電極層及び第1のドレイン電極層を有し、p型を有する半導体層に接する第2のソース電極層及び第2のドレイン電極層を有し、画素領域において前記基板上に画素電極層を有する。

20

【0014】

本発明の液晶表示装置の一は、絶縁表面上にゲート電極層及び画素電極層を形成し、ゲート電極層及び画素電極層上にゲート絶縁層を形成し、ゲート絶縁層上に金属元素を含む金属層を形成し、金属層上に半導体層を形成し、半導体層に接して一導電型を有する半導体層を形成し、半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び絶縁層とゲート絶縁層に画素電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び画素電極層を電氣的に接続する配線層を形成する。

30

【0015】

本発明の液晶表示装置の一は、絶縁表面上にゲート電極層及び画素電極層を形成し、ゲート電極層及び画素電極層上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層に金属元素を添加し、半導体層に接して一導電型を有する半導体層を形成し、半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及び前記ゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び絶縁層とゲート絶縁層に画素電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び画素電極層を電氣的に接続する配線層を形成する。

40

【0016】

本発明の液晶表示装置の一は、絶縁表面上にゲート電極層及び画素電極層を形成し、ゲート電極層及び画素電極層上にゲート絶縁層を形成し、ゲート絶縁層上に金属元素を含む金属層を形成し、金属層上に半導体層を形成し、半導体層上に選択的にチャンネル保護層を形成し、半導体層及びチャンネル保護層に接して一導電型を有する半導体層を形成し、半導体層、チャンネル保護層、及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層を

50

パターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び絶縁層とゲート絶縁層に画素電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び画素電極層を電氣的に接続する配線層を形成する。

【0017】

本発明の液晶表示装置の一は、絶縁表面上にゲート電極層及び画素電極層を形成し、ゲート電極層及び画素電極層上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層上に選択的にチャンネル保護層を形成し、半導体層及びチャンネル保護層に金属元素を添加し、半導体層及びチャンネル保護層に接して一導電型を有する半導体層を形成し、半導体層、チャンネル保護層、及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び絶縁層とゲート絶縁層に画素電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び画素電極層を電氣的に接続する配線層を形成する。

【発明の効果】

【0018】

本発明により、少ないフォトリソ数で、結晶性半導体膜で形成される逆スタガ型TFTを形成することができる。本発明の逆スタガ型TFTは、非晶質半導体膜の結晶化工程と、非晶質半導体膜の結晶化を促進するための金属触媒のゲッタリング工程とを同時に行うことが可能であるため、工程数の削減が可能である。特に、加熱処理数を削減できるため、省エネルギー化が可能であり、また、スループットを向上させることができる。

【0019】

また、本発明の逆スタガ型TFTは、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、結晶化工程、ゲッタリング工程等の加熱処理を行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物金属元素が少なく、配線抵抗の低いTFTを形成することが可能である。また、本発明の液晶表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることが可能である。

【0020】

また、結晶性半導体膜で形成されるTFTは、非晶質半導体膜で形成される逆スタガ型TFTと比較して数10～50倍程度、移動度が高い。また、ソース領域及びドレイン領域には、アクセプター型元素又はドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な半導体装置を作製することが可能である。代表的には、OCBモードのような応答速度が速く且つ高視野角な表示が可能な液晶表示装置を製造することが可能である。

【0021】

また、液晶表示装置の周辺部に、画素領域内のTFTと同時に走査線駆動回路を形成することが可能である。このため、小型化された液晶表示装置を作製することが可能である。

【0022】

また、非晶質半導体膜で形成されるTFTと比較して、しきい値のずれが生じにくく、TFT特性のバラツキを低減することが可能である。このため、非晶質半導体膜で形成されるTFTをスイッチング素子として用いた液晶表示装置と比較して、表示ムラを低減することが可能であり、信頼性の高い半導体装置を作製することが可能である。

【0023】

更には、結晶化工程と共に行われるゲッタリング工程により、成膜段階で半導体膜中に

10

20

30

40

50

混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能であり、代表的には6桁以上のON/OFF比を有するTFTを形成することが可能である。このようなTFTを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【0024】

さらには、上記の作製工程により形成された液晶表示装置を有する液晶テレビジョンを、スループットや歩留まりを向上させることが可能であり、低コストで作製することができる。

【発明を実施するための最良の形態】

【0025】

(実施の形態1)

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0026】

図28(A)は本発明に係る表示パネルの構成を示す上面図であり、絶縁表面を有する基板2700上に画素2702をマトリクス上に配列させた画素部2701、走査線側入力端子2703、信号線側入力端子2704が形成されている。画素数は種々の規格に従って設ければ良く、XGAであれば1024×768×3(RGB)、UXGAであれば1600×1200×3(RGB)、フルスペックハイビジョンに対応させるのであれば1920×1080×3(RGB)とすれば良い。

【0027】

画素2702は、走査線側入力端子2703から延在する走査線と、信号線側入力端子2704から延在する信号線とが交差することで、マトリクス状に配設される。画素2702のそれぞれには、スイッチング素子とそれに接続する画素電極が備えられている。スイッチング素子の代表的な一例はTFTであり、TFTのゲート電極側が走査線と、ソース若しくはドレイン側が信号線と接続されることにより、個々の画素を外部から入力する信号によって独立して制御可能としている。

【0028】

図28(A)は、走査線及び信号線へ入力する信号を、外付けの駆動回路により制御する表示パネルの構成を示しているが、図29(A)に示すように、COG(Chip on Glass)方式によりドライバIC2751を基板2700上に実装しても良い。また他の実装形態として、図29(B)に示すようなTAB(Tape Automated Bonding)方式を用いてもよい。ドライバICは単結晶半導体基板に形成されたものでも良いし、ガラス基板上にTFTで回路を形成したものであっても良い。図29において、ドライバIC2751は、FPC2750と接続している。

【0029】

また、画素に設けるTFTをSASで形成する場合には、図28(B)に示すように走査線側駆動回路3702を基板3700上に形成し一体化することもできる。図29(B)において、3701は画素部であり、信号線側駆動回路は、図28(A)と同様に外付けの駆動回路により制御する。画素に設けるTFTを移動度の高い、多結晶(微結晶)半導体、単結晶半導体などで形成する場合は、図28(C)は、走査線駆動回路4702と、信号線駆動回路4704をガラス基板4700上に一体形成することもできる。

【0030】

本発明は、配線層若しくは電極を形成する導電層や、所定のパターンに形成するためのマスク層など表示パネルを作製するために必要な物体(その目的や機能に応じて膜や層などあらゆる形態で存在する)のうち、少なくとも一つ若しくはそれ以上を、選択的に所

10

20

30

40

50

望な形状にを形成可能な方法により形成して、液晶表示装置を作製することを特徴とするものである。本発明は、薄膜トランジスタや液晶表示装置を構成する、ゲート電極層、ソース電極層、ドレイン電極層などの導電層、半導体層、マスク層、絶縁膜など、所定の形状を有して形成される全ての構成要素に対して適用できる。

【0031】

本実施の形態は、レジストを基板全面に塗布形成しプリベークを行なった後、マスクパターンを介して紫外線等を照射し、現像によってレジストパターンを形成するというフォトリソ工程によりマスクを形成する方法を用いている。該レジストパターンをマスクパターンとしてパターンを形成するべき部分に存在する膜をエッチング除去することにより、所望のパターンを形成する。

10

【0032】

本発明では、形成物のパターンニング工程において感光性のレジストや感光性物質を含む材料に光を照射し、露光する工程を行う。露光に用いる光は、特に限定されず、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能である。例えば、紫外線ランプ、ブラックライト、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いてもよい。その場合、ランプ光源は、必要な時間点灯させて照射してもよいし、複数回照射してもよい。

【0033】

露光に用いる光源にレーザ発振器を用いてもよい。レーザ発振器としては、紫外光、可視光、又は赤外光を発振することが可能なレーザ発振器を用いることができる。レーザ発振器としては、KrF、ArF、KrF、XeCl、Xe等のエキシマレーザ発振器、He、He-Cd、Ar、He-Ne、HF等の気体レーザ発振器、YAG、GdVO<sub>4</sub>、YVO<sub>4</sub>、YLF、YAlO<sub>3</sub>などの結晶にCr、Nd、Er、Ho、Ce、Co、Ti又はTmをドープした結晶を使った固体レーザ発振器、GaN、GaAs、GaAlAs、InGaAsP等の半導体レーザ発振器を用いることができる。なお、固体レーザ発振器においては、基本波の第1高調波～第5高調波を適用するのが好ましい。

20

【0034】

感光性物質には大きくわけてネガ型とポジ型がある。ネガ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分のみが残されてパターンが形成される。また、ポジ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分が溶解され、露光されなかった部分のみが残されてパターンが形成される。必要に応じてネガ型とポジ型を使い分けるとよい。

30

【0035】

本実施の形態では、露光は基板表面から行っているが、必要に応じて基板裏面から露光を行ってもよい。

【0036】

本発明の実施の形態について、図1乃至図6、図8を用いて説明する。より詳しくは、本発明を適用した液晶表示装置の作製方法について説明する。まず、本発明を適用した、チャンネルエッチ型の薄膜トランジスタを有する液晶表示装置の作製方法について説明する。図2～図6(A)は液晶表示装置画素部の上面図であり、図2～図6の(B)は、図2～図6(A)における線A-Bによる断面図、図2～図6の(C)は、図2～図6(A)における線C-Dによる断面図である。

40

【0037】

基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる。また、基板100の表面が平坦化されるようにCMP法などによって、研磨しても良い。なお、基板100上に、絶縁膜を形成してもよい。絶縁膜は、CVD法、プラズマCVD法、スパッタリング法、スピニングコート法等の公知の方法により、珪素を含む酸化物材料、窒化物材料を用いて、単層又は

50

積層して形成される。この絶縁膜は、形成しなくても良いが、基板 100 からの汚染物質などを遮断する効果がある。基板 100 として、320 mm × 400 mm、370 mm × 470 mm、550 mm × 650 mm、600 mm × 720 mm、680 mm × 880 mm、1000 mm × 1200 mm、1100 mm × 1250 mm、1150 mm × 1300 mm のような大面積基板を用いることができる。

#### 【0038】

基板 100 上に導電膜 101 を形成する。導電膜 101 は、パターンングされゲート電極層と画素電極層となる。導電膜 101 は、印刷法、電界メッキ法、PVD 法 (Physical Vapor Deposition)、CVD 法 (Chemical Vapor Deposition)、蒸着法等の公知の手法により高融点材料を用いて形成することが好ましい。高融点材料を用いることにより、後の加熱工程が可能となる。高融点材料としては、タングステン (W)、モリブデン (Mo)、ジルコニウム (Zr)、ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、白金 (Pt) 等の金属又はその合金、若しくはその金属窒化物を適宜用いることができる。また、これら複数の層を積層して形成しても良い。代表的には、基板表面に窒化タンタル膜、その上にタングステン膜を積層してもよい。このような反射性を有する金属は、反射型の液晶表示パネルを作製する場合には好ましい。また、珪素に一導電性を付与する不純物元素を添加した材料を用いても良い。例えば、非晶質珪素膜にリン (P) などの n 型を付与する不純物元素が含まれた n 型を有する珪素膜などを用いることができる。

10

#### 【0039】

導電膜 101 は、画素電極層としても機能するので、透明導電性材料を用いて形成することもできる。画素電極層は、透過型の液晶表示パネルを作製する場合には、インジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO)、酸化スズ (SnO<sub>2</sub>) などにより形成してもよい。好ましくは、スパッタリング法によりインジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO) などで形成する。より好ましくは、ITO に酸化珪素が 2 ~ 10 重量% 含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。この他、酸化珪素を含み酸化インジウムに 2 ~ 20 % の酸化亜鉛 (ZnO) を混合した酸化インジウム酸化亜鉛合金などの導電性材料を用いても良い。

20

#### 【0040】

本実施の形態では、導電膜 101 は、導電性材料としてインジウム錫酸化物 (ITO) をスパッタリング法により形成し、550 で焼成して導電膜 101 を形成する。また、電極層となる導電膜 101 は、複数の導電性材料を積層しても良い。

30

#### 【0041】

導電膜 101 上にフォトリソ工程を用いてレジストからなるマスク 102 a、マスク 102 b を形成する。(図 2 参照。)

#### 【0042】

マスクは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。また導電膜 101 に感光性を有する感光性物質を含む導電性材料を用いると、レジストからなるマスクを形成しなくても導電膜 101 に直接露光し、エッチャントによる除去を行うことで、所望のパターンにパターンングすることができる。この場合、マスクを形成せずともよいので工程が簡略化する利点がある。感光性物質を含む導電性材料は、Ag、Au、Cu、Ni、Al、Pt などの金属或いは合金と、有機高分子樹脂、光重合開始剤、光重合単量体、または溶剤などからなる感光性樹脂とを含んだものを用いればよい。有機高分子樹脂としては、ノボラック樹脂、アクリル系コポリマー、メタクリル系コポリマー、セルローズ誘導体、環化ゴム系樹脂などを用いる。

40

50

## 【0043】

このように微細に加工されたマスク102a、マスク102bを用いて導電膜101をパターンニングし、ゲート電極層103と画素電極層111を形成する(図3参照。)

## 【0044】

次に、ゲート電極層103、画素電極層111の上にゲート絶縁膜105a、ゲート絶縁膜105b、ゲート絶縁膜105cを形成し3層の積層構造とする。半導体層に接するゲート絶縁膜105cの膜厚は、0.1nm以上10nm以下(好ましくは1nm以上3nm以下)とすることが望ましい。このような構造であると、半導体層中の金属元素のゲッタリング効率も上がり、かつ半導体層への窒化珪素膜の悪影響も軽減できる。また積層される絶縁膜は、同チャンパー内で真空を破らずに同一温度下で、反応ガスを切り変えながら連続的に形成するとよい。真空を破らずに連続的に形成すると、積層する膜同士の界面が汚染されるのを防ぐことができる。

10

## 【0045】

ゲート絶縁膜105a、ゲート絶縁膜105b、ゲート絶縁膜105cは、酸化珪素( $\text{SiO}_x$ )、窒化珪素( $\text{SiN}_x$ )、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ )( $x > y$ )、窒化酸化珪素( $\text{SiN}_x\text{O}_y$ )( $x > y$ )などを適宜用いることができる。更には、ゲート電極層103を陽極酸化して、ゲート絶縁膜105aの代わりに、陽極酸化膜を形成しても良い。なお、基板側から不純物などの拡散を防止するため、ゲート絶縁膜105aとしては、窒化珪素( $\text{SiN}_x$ )、窒化酸化珪素( $\text{SiN}_x\text{O}_y$ )( $x > y$ )などを用いて形成することが好ましい。また、ゲート絶縁膜105bとしては、酸化珪素( $\text{SiO}_x$ )、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ )( $x > y$ )を用いて形成することが望ましい。なお、ゲート絶縁膜105bには、水素が含まれている。また、ゲート絶縁膜105cとしては窒化珪素膜( $\text{SiN}_x$ )、あるいは窒化酸化珪素膜( $\text{SiN}_x\text{O}_y$ )( $x > y$ )などを用いて形成することが好ましい。なお、低い成膜温度でゲートリーク電流に少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。本実施の形態では、 $\text{SiH}_4$ 、 $\text{NH}_3$ を反応ガスとして窒化珪素膜を膜厚50nm~140nmでゲート絶縁膜105aを形成し、 $\text{SiH}_4$ 及び $\text{N}_2\text{O}$ を反応ガスとして酸化珪素膜を膜厚100nmでゲート絶縁膜105bを積層した後、 $\text{SiH}_4$ 、 $\text{NH}_3$ を反応ガスとして窒化珪素膜を膜厚1nm~3nmでゲート絶縁膜105cを形成する。なお、ゲート絶縁膜105a及びゲート絶縁膜105bの膜厚をそれぞれ50nm~100nmとすると好ましい。また、ゲート絶縁膜105cはその形成条件によっては膜厚は極薄であり、膜として形態を保っていないかでもよい。

20

30

## 【0046】

次に半導体膜を形成する。半導体層の詳細な作製方法を図8を用いて説明する。半導体膜は25~200nm(好ましくは30~150nm)の厚さで公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜すればよい。本実施の形態では、非晶質半導体膜を結晶化し、結晶性半導体膜とするものを用いるのが好ましい。

## 【0047】

半導体膜を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製される非晶質半導体(以下「アモルファス半導体:AS」ともいう。)、該非晶質半導体を熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス(微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」ともいう。)半導体などを用いることができる。

40

## 【0048】

SASは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5~20nmの結晶領域を観測することが出来、珪素を主成分とする場合にはラマンスペクトルが $520\text{cm}^{-1}$ よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。未結合手(ダングリングボンド)

50

の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。S A Sは、珪化物気体をグロー放電分解(プラズマCVD)して形成する。珪化物気体としては、 $\text{SiH}_4$ 、その他にも $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ などを用いることが可能である。また $\text{F}_2$ 、 $\text{GeF}_4$ を混合させても良い。この珪化物気体を $\text{H}_2$ 、又は、 $\text{H}_2$ と $\text{He}$ 、 $\text{Ar}$ 、 $\text{Kr}$ 、 $\text{Ne}$ から選ばれた一種または複数種の希ガス元素で希釈しても良い。希釈率は2~1000倍の範囲、圧力は概略0.1Pa~133Paの範囲、電源周波数は1MHz~120MHz、好ましくは13MHz~60MHzである。基板加熱温度は300以下が好ましく、100~200の基板加熱温度でも形成可能である。ここで、主に成膜時に取り込まれる不純物元素として、酸素、窒素、炭素などの大気成分に由来する不純物は $1 \times 10^{20} \text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下となるようにすることが好ましい。また、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なS A Sが得られる。また半導体膜としてフッ素系ガスより形成されるS A S層に水素系ガスより形成されるS A S層を積層してもよい。

10

## 【0049】

なお、後の結晶化で良質な結晶構造を有する半導体膜を得るためには、図8に示す非晶質半導体膜404膜中に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18} / \text{cm}^3$ (以下、濃度はすべて二次イオン質量分析法(SIMS)にて測定した原子濃度として示す。)以下に低減させておくと良い。これらの不純物は、触媒元素と反応しやすく、後の結晶化を妨害する要因となり、また、結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。

20

## 【0050】

本実施の形態では、非晶質半導体膜、又はS A S膜に結晶化を助長する元素を用いた熱結晶化法を用いる。加熱方法としてGRTA(Gas Rapid Thermal Anneal)法、LRTA(Lamp Rapid Thermal Anneal)法等のRTA法がある。

## 【0051】

非晶質半導体膜への金属元素の導入の仕方としては、当該金属元素を非晶質半導体膜の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタ法、CVD法、プラズマ処理法(プラズマCVD法も含む)、吸着法、金属塩の溶液を塗布する方法、イオン注入法、イオンドーピング法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき金属元素膜を形成する下地膜の表面のぬれ性を改善し、下地膜の表面全体に水溶液を行き渡らせるため、酸素雰囲気中でのUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を成膜することが望ましい。

30

## 【0052】

本実施の形態では、ゲート絶縁膜105c上に、結晶化を助長する元素としてNiを用い、Ni元素を重量換算で10ppmを含有した水溶液をスピンコーティング法により塗布し、金属膜403を形成する(図8(A)参照)。結晶化を助長する元素としては、この珪素の結晶化を助長する金属元素としては鉄(Fe)、ニッケル(Ni)、チタン(Ti)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスmium(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)及び金(Au)から選ばれた一種又は複数種類を用いて、金属膜403を形成することができる。金属膜403はその形成条件によっては膜厚が極薄であり、膜として形態を保っていないてもよい。結晶化を助長させる効果が得られるように、後の工程で形成する非晶質半導体膜404に接して形成されればよい。

40

## 【0053】

金属膜403上に非晶質半導体膜404を形成する。非晶質半導体膜404としては、 $\text{SiH}_4$ 、 $\text{H}_2$ の反応ガスにより形成する非晶質珪素を用いる。本実施の形態では、非晶質半導体膜404中の酸素濃度を $5 \times 10^{19} \text{ atom} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{19} \text{ atom} /$

50

$\text{cm}^3$ 以下で形成することにより、金属元素として添加したNiがゲッタリングしやすくなる。非晶質半導体膜404の膜厚は30nm~150nmが好ましい。本実施の形態では、非晶質半導体膜404を150nm形成する。

#### 【0054】

金属元素を用いた結晶化を行った場合、金属元素を低減、又は除去するためにゲッタリング工程を施す。金属膜403の金属元素が非晶質半導体膜404中に拡散し結晶化に寄与した後、金属元素を吸い込み自らに取り込む層として半導体膜を、非晶質半導体膜404に接して形成する。本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして金属元素を捕獲する。

#### 【0055】

非晶質半導体膜404上にプラズマCVD法を用いて、半導体膜405a、半導体膜405bを形成する。半導体膜405a、半導体膜405bは不純物元素を有しており、不純物元素としてはn型を付与する不純物元素や希ガス元素などを用いることができ、例えばリン(P)、窒素(N)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、Kr(クリプトン)、Xe(キセノン)から選ばれた一種または複数種を用いることができる。n型を付与する不純物元素を含むn型を有する半導体膜に、アルゴンなどの希ガス元素が含まれるように形成することもできる。本実施の形態では、半導体膜405aを半導体膜405bには、n型を付与する不純物元素(本実施の形態ではリンを用いる)が含まれており、半導体膜405aの不純物元素の濃度は、半導体膜405bより低くなるように形成されている。前記不純物元素は、CVD法などによって、不純物元素を含むように半導体膜を形成しても良いし、半導体膜を形成後に、イオンドープング法などによって添加してもよい。また、本実施の形態において、非晶質半導体膜404、半導体膜405a、半導体膜405bは、同チャンバー内で真空を破らずに同一温度(本実施の形態では330 )下で、反応ガスを切り変えながら連続的に形成する。非晶質半導体膜404を成膜後、半導体膜405a、半導体膜405bを形成する。

#### 【0056】

このときのn型を付与する不純物元素が含まれる半導体膜の不純物のプロファイルを図37に示す。図37(A)は、結晶性半導体膜903上に、プラズマCVD法によりn型を付与する不純物元素が含まれる半導体膜901a、901bを形成した時のn型を付与する不純物元素のプロファイル900aを示す。半導体膜901a、半導体膜901bは、半導体膜405a、半導体膜405bと対応しており、半導体膜901aはn型の低濃度不純物領域(n-領域ともいう)として形成され、半導体膜901bはn型の高濃度不純物領域(n+領域ともいう)として形成されている。よって半導体膜901a、半導体膜901bのそれぞれの膜において深さ方向に対して一定の濃度のn型を付与する不純物元素が分布しており、半導体膜901aの方が、半導体膜901bより低い濃度でn型を付与する不純物元素が分布している。n+領域である半導体膜901bは後にソース領域及びドレイン領域として機能し、n-領域である半導体膜901aはLDD(Lightly Doped Drain)領域として機能する。なお、n+領域とn-領域はそれぞれ作り分けているので界面が存在する。n+領域とn-領域の膜厚制御は、それぞれ各濃度の半導体膜の膜厚を制御することによって達成できる。

#### 【0057】

図37(A)で形成した半導体膜901a及び半導体膜901bにp型を付与する不純物元素としてボロンをイオンドープ法又はイオン注入法によって添加して半導体膜911を形成した時のp型を付与する不純物元素のプロファイル913を図38(A)に示す。p型を付与する不純物元素の濃度の方が、n型を付与する不純物元素の濃度より高く、半導体膜911はp型のを有する半導体膜となっているのがわかる。また、p型を付与する不純物元素は、チャンネルドープされるため、結晶性半導体膜903にも添加されている。図38(A)に示すように、半導体膜911の表面付近は、p型を付与する不純物元素濃度が比較的高いp型の不純物領域(p+領域ともいう)912bとなっており、一方

10

20

30

40

50

、結晶性半導体膜 903 に近づくにつれ、p 型を付与する不純物元素濃度が比較的減少しており p 型の低濃度不純物領域 (p - 領域ともいう) 912 a となっている。

【0058】

一方、図 37 (B) は、結晶性半導体膜 903 上に、非晶質半導体、SAS、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜の半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜に n 型を付与する不純物元素を添加して半導体膜 902 を形成した時の n 型を付与する不純物元素のプロファイル 900 b を示す。図 37 (B) に示すように、半導体膜 902 の表面付近は、n 型を付与する不純物元素濃度が比較的が高い。n 型を付与する不純物元素濃度が  $1 \times 10^{19} / \text{cm}^3$  以上の領域を n 型の高濃度不純物領域 (n + 領域ともいう) 904 b と示す。一方、結晶性半導体膜 903 に近づくにつれ、n 型を付与する不純物元素濃度が比較的減少している。n 型を付与する不純物元素濃度が  $5 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$  の領域を n 型の低濃度不純物領域 (n - 領域ともいう) 904 a と示す。n + 領域 904 b は後にソース領域及びドレイン領域として機能し、n - 領域 904 a は LDD 領域として機能する。なお、n + 領域と n - 領域それぞれの界面は存在せず、相対的な n 型を付与する不純物元素濃度の濃度の大小によって変化する。このようにイオンドープ法又はイオン注入法により形成された n 型を付与する不純物元素が含まれる半導体膜 902 は、添加条件によって濃度プロファイルを制御することが可能であり、n + 領域と n - 領域の膜厚を適宜制御することが可能である。n + 領域と n - 領域を有することにより電界の緩和効果が大きくなり、ホットキャリア耐性を高めた薄膜トランジスタを形成することが可能となる。

【0059】

図 37 (B) で形成した半導体膜 902 に p 型を付与する不純物元素としてボロンをイオンドープ法又はイオン注入法によって添加して半導体膜 921 を形成した時の p 型を付与する不純物元素のプロファイル 923 を図 38 (B) に示す。p 型を付与する不純物元素の濃度の方が、n 型を付与する不純物元素の濃度より高く、半導体膜 921 は p 型を有する半導体膜 (p 型の不純物領域を有する半導体膜ともいえる) となっているのがわかる。また、p 型を付与する不純物元素は、チャンネルドープされるため、結晶性半導体膜 903 にも添加されている。図 38 (B) に示すように、半導体膜 921 の表面付近は、p 型を付与する不純物元素濃度が比較的が高い p 型の不純物領域 (p + 領域ともいう) 922 b となっており、一方、結晶性半導体膜 903 に近づくにつれ、p 型を付与する不純物元素濃度が比較的減少しており p 型の低濃度不純物領域 (p - 領域ともいう) 922 a となっている。また、n 型を付与する不純物元素の添加工程で、その添加条件によって、膜表面の不純物元素濃度が高くなっている場合がある。このような場合は、膜表面を薄くエッチングし、高不純物元素濃度領域の膜を除去してから、p 型を付与する不純物元素を添加する工程を行えばよい。

【0060】

本実施の形態では、半導体膜 405 a、半導体膜 405 b として、n 型を付与する不純物元素 (ドナー型元素) であるリンを含む n 型を有する半導体膜をプラズマ CVD 法によって形成する。また、半導体膜 405 a、半導体膜 405 b に含まれる n 型を付与する不純物元素の濃度を異ならせているので、半導体膜 405 a は n 型の低濃度不純物領域となり、半導体膜 405 b は n 型の高濃度不純物領域となっている。n 型の低濃度不純物領域の不純物濃度は、 $1 \times 10^{17} \sim 3 \times 10^{19} / \text{cm}^3$ 、好ましくは  $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ 、n 型の高濃度不純物領域の不純物濃度は、その 10 倍から 100 倍が好ましく、 $1 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$  とすることができる。また n 型の低濃度不純物領域である半導体膜 405 a の膜厚は 20 ~ 200 nm、代表的には 50 ~ 150 nm であり、本実施の形態では、膜厚 50 nm で形成する。n 型の高濃度不純物領域である半導体膜 405 b の膜厚は 30 ~ 100 nm、代表的には 40 ~ 60 nm であり、本実施の形態では、膜厚 50 nm で形成する。

【0061】

その後、熱処理を行い、非晶質半導体膜を結晶化して結晶性半導体膜 406 の形成と

、結晶性半導体膜406中の金属元素を低減、又は除去するためにゲッタリング工程を同時に行なう。この場合、結晶化は半導体の結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。ここでは、脱水素化のための熱処理の後、結晶化とゲッタリング工程のための熱処理(550 ~ 650 で5分~24時間)を行う。また、RTA、GRTAにより結晶化とゲッタリング工程を行っても良い。ここで、加熱にレーザ光照射を行わず結晶化することで、結晶性のばらつきを低減することが可能であり、後に形成されるTFEのばらつきを抑制することが可能である。又、本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシークとして結晶性半導体膜406に接して形成しているため、金属元素は、図8(C)に示すように、矢印の方向へ加熱処理によって移動し、半導体膜405a、半導体膜405b中に捕獲される。半導体膜405a、半導体膜405bは金属元素を含む半導体膜408a、半導体膜408bとなる。本実施の形態では半導体膜408a、半導体膜408bにはn型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。この工程により、結晶性半導体膜406中の結晶化を促進させる元素(本実施の形態ではニッケル元素)がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。また、ゲッタリング後の金属触媒が移動した半導体膜408a、半導体膜408bも加熱処理により結晶化される場合がある。なお、本実施の形態においては、ゲッタリング工程と共に、半導体膜408a、半導体膜408b中のn型を付与する不純物元素(ドナー型元素)の活性化を行っている。熱処理は窒素雰囲気下で行ってもよい。また、本実施の形態では、熱処理を550 で4時間行うが、熱処理をRTA法により650 で6分間で行ってもよい。

#### 【0062】

このようにして得られた結晶性半導体膜406に対して、薄膜トランジスタのしきい値電圧を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。この不純物元素のドーピングは、結晶化工程の前の非晶質半導体膜に行ってもよいし、結晶性半導体膜406中の金属元素をゲッタリング工程によって軽減、除去した後行ってもよい。本実施の形態ではジボラン( $\text{B}_2\text{H}_6$ )を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。なお、質量分離を行うイオン注入法を用いてもよい。非晶質半導体膜の状態では不純物元素をドーピングすると、その後の結晶化のための加熱処理によって、不純物の活性化も行うことができる。また、ドーピングの際に生じる欠陥等も改善することができる。

#### 【0063】

次に結晶性半導体膜406、半導体膜408a、半導体膜408b上にフォトリソ工程を用いてレジストからなるマスクを形成し、微細に加工されたマスクを用いて結晶性半導体膜406、半導体膜408a、半導体膜408bをパターンニングし、結晶性半導体層106、半導体層107a、半導体層107bを形成する。本実施の形態では、フォトマスクを作製し、フォトリソグラフィ法を用いたパターンニング処理により、結晶性半導体層106、n型を有する半導体層107a、n型を有する半導体層107bを形成する(図4参照)。フォトマスクはマスク102aを形成したときと同様にフォトリソ工程によって微細なパターンのマスクを形成すればよい。微細なパターンのマスクによって半導体膜は微細かつ精巧に所望な形状にパターンニングすることができる。

#### 【0064】

パターンニングの際のエッチング加工は、プラズマエッチング(ドライエッチング)又はウェットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 $\text{CF}_4$ 、 $\text{NF}_3$ 、 $\text{SF}_6$ 、 $\text{CHF}_3$ などのフッ素系又は $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{SiCl}_4$ もしくは $\text{CCl}_4$ などを代表とする塩素系ガス、あるいは $\text{O}_2$ のガスを用い、HeやArなどの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

#### 【0065】

10

20

30

40

50

なお、以下の実施形態及び実施例のフォトリソグラフィ工程において、レジストを塗布する前に、半導体膜表面に、膜厚が数nm程度の絶縁膜を形成することが好ましい。この工程により半導体膜とレジストとが直接接触すること回避することが可能であり、不純物が半導体膜中に侵入するのを防止できる。なお、絶縁膜の形成方法としては、オゾン水等の酸化力のある溶液を塗布する方法、酸素プラズマ、オゾンプラズマを照射する方法等が挙げられる。

#### 【0066】

次に導電膜をスパッタリング法により形成し、導電膜上にフォトリソ工程を用いてレジストからなるマスクを形成する。マスクを用いて、ソース電極層又はドレイン電極層130、ソース電極層又はドレイン電極層108、容量配線層104を形成し、該ソース電極層又はドレイン電極層130、ソース電極層又はドレイン電極層108をマスクとして、結晶性半導体層106、n型を有する半導体層107a及びn型を有する半導体層107bをパターン加工して、半導体層115、n型を有する半導体層116a、n型を有する半導体層116b、n型を有する半導体層117a、n型を有する半導体層117bを形成する(図5参照)。ソース電極層又はドレイン電極層130、ソース電極層又はドレイン電極層108を形成する工程も、前述したゲート電極層103とを形成したときと同様に形成することができる。ソース電極層又はドレイン電極層130は配線層としても機能する。

#### 【0067】

ソース電極層又はドレイン電極層130、ソース電極層又はドレイン電極層108を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等を主成分とした金属を用いることができる。また、透光性を有するインジウム錫酸化物(ITO)、インジウム錫酸化物と酸化珪素からなるITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

#### 【0068】

ソース電極層又はドレイン電極層の形成方法について用いて説明する。ソース電極層又はドレイン電極層130及びソース電極層又はドレイン電極層108は、微細なパターンで形成されており、制御性よく形成しなければ形成不良によるショート等の不良を引き起こす。よって、本実施の形態では、半導体層上の微細なパターンニングはフォトマスクを製作し、フォトリソグラフィ法を用いたパターンニング処理により行う。図4で示すように、基板上にゲート電極層、ゲート絶縁膜、半導体層、n型を有する半導体層が形成されており、これらを覆うように導電膜を全面に形成する。導電膜は蒸着法、CVD法、スパッタ法などによって形成することができる。その後、レジストからなるマスクを形成する。レジストからなるマスクに、光を照射し、露光することによって感光を行なう。本実施の形態ではポジ型の感光性のレジストを用いるため、露光された領域はエッチャントによって除去され、開口部が形成される。開口部を有するマスクを用いて導電膜をエッチングによりパターンニングすることによって、ソース電極層又はドレイン電極層130、ソース電極層又はドレイン電極層108が形成される。

#### 【0069】

ソース電極層又はドレイン電極層、半導体層、ゲート電極層、ゲート絶縁膜を覆うようにパッシベーション膜となる絶縁膜109を成膜することが好ましい。絶縁膜109は、プラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素(CN)、その他の絶縁性材料を用いて形成することができる。なお、パッシベーション膜は単層でも積層構造でもよい。ここでは、半導体層115の界面特性から酸化珪素、又は酸化窒化珪素を形成したのち、外部からの不純物が半導体素子内に侵入するのを防ぐため窒化珪素、又は窒化酸化珪素を形成する積層構造が好ましい。本実施の形態では、半導体層115に接して、酸化珪素膜を膜厚150nm形成した後、同チャンバー内でガス切り替えを行い連続的に窒化珪素膜を膜厚200nm形成する積層構造で絶縁膜109を形成する。

10

20

30

40

50

## 【 0 0 7 0 】

この後、半導体層 1 1 5 を水素雰囲気又は窒素雰囲気加熱して水素化することが好ましい。なお、窒素雰囲気加熱する場合は、絶縁膜 1 0 9 として水素を含む絶縁膜を形成することが好ましい。

## 【 0 0 7 1 】

次に、絶縁膜 1 1 0 を形成する。本実施の形態では、絶縁膜 1 1 0 を全面に形成し、レジスト等のマスクによって、エッチングしパターニングする。

## 【 0 0 7 2 】

絶縁膜 1 1 0 は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、ダイヤモンドライクカーボン ( D L C )、窒素含有炭素膜 ( C N ) その他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド ( polyimide )、芳香族ポリアミド、ポリベンゾイミダゾール ( polybenzimidazole )、ベンゾシクロブテン、ポリシラザンなどの有機絶縁性材料、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうち Si - O - Si 結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。

## 【 0 0 7 3 】

本実施の形態では、絶縁膜 1 1 0 の材料としては、シリコン ( Si ) と酸素 ( O ) との結合で骨格構造が構成され、置換基に水素、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有する材料を用いた塗布膜を用いる。焼成した後の膜は、アルキル基を含む酸化珪素膜 ( Si O x ) と呼べる。

## 【 0 0 7 4 】

絶縁膜 1 0 9 及び絶縁膜 1 1 0 にソース電極層又はドレイン電極層 1 0 8 に達する開口部 1 3 5 と、ゲート絶縁膜 1 0 5 a、ゲート絶縁膜 1 0 5 b、ゲート絶縁膜 1 0 5 c、絶縁膜 1 0 9、絶縁膜 1 1 0 に、画素電極層 1 1 1 に達する開口部 1 3 6、ゲート電極層 1 0 3 に達する開口部 1 3 7 を形成する。この開口部もレジストからなるマスクを用いてエッチングし形成する。パターニングに用いるマスクは、フォトリソ工程を用いて形成する。このようにして形成した開口部 1 3 5 及び開口部 1 3 7 に配線層 1 1 3 を形成し、ソース電極層又はドレイン電極層 1 0 8 と画素電極層 1 1 1 を電氣的に接続する。また、開口部 1 3 7 にもゲート電極層 1 0 3 と電氣的に接続するようにゲート配線層 1 1 2 を形成する。ゲート配線層 1 1 2 を低抵抗な材料によって形成することで、ゲート電極層 1 0 3 が多少高抵抗の材料であっても、高速動作が可能となり、大きな電流も流すことができる。

## 【 0 0 7 5 】

以上の工程により、基板 1 0 0 上にボトムゲート型 ( 逆スタガ型ともいう。 ) の薄膜トランジスタと画素電極が接続された液晶表示パネル用の T F T 基板が完成する ( 図 6 参照 )。また本実施の形態の薄膜トランジスタはチャンネルエッチ型である。

## 【 0 0 7 6 】

次に、図 1 に示すように、画素電極層 1 1 1 を覆うように、印刷法やスピンコート法により、配向膜と呼ばれる絶縁膜 1 1 4 を形成する。図 1 は図 2 乃至 6 で示した上面図の線 A - B による断面図であり、液晶表示パネルの完成図である。なお、絶縁膜 1 1 4 は、スクリーン印刷法やオフセット印刷法を用いれば、選択的に形成することができる。その後、ラビングを行う。続いて、シール材を液滴吐出法により画素を形成した周辺の領域に形成する ( 図示せず。 )。

## 【 0 0 7 7 】

その後、配向膜として機能する絶縁膜 1 2 1、カラーフィルタとして機能する着色層 1 2 2、対向電極として機能する導電体層 1 2 3、偏光板 1 2 5 a が設けられた対向基板 1 2 4 と T F T を有する基板 1 0 0 とをスペーサを介して貼り合わせ、その空隙に液晶層 1 2 0 を設けることにより液晶表示パネルを作製することができる ( 図 1 参照。 )。また、

基板 100 にも T F T を有する面とは反対側の面に偏光板 125 b が設けられている。シール材にはフィラーが混入されていても良く、さらに対向基板 124 には、遮蔽膜（ブラックマトリクス）などが形成されていても良い。なお、液晶層を形成する方法として、ディスプレイ式（滴下式）や、対向基板 124 を貼り合わせてから毛細管現象を用いて液晶を注入するディップ式（汲み上げ式）を用いることができる。

#### 【0078】

ディスプレイ方式を採用した液晶滴下注入法を図 22 を用いて説明する。図 22 において、40 は制御装置、42 は撮像手段、43 はヘッド、33 は液晶、35、41 はマーカー、34 はバリア層、32 はシール材、30 は T F T 基板、20 は対向基板である。シール材 32 で閉ループを形成し、その中にヘッド 43 より液晶 33 を 1 回若しくは複数回滴下する。ヘッド 43 は複数のノズルを備えており、一度に多量の液晶材料を滴下することができるためスループットが向上する。そのとき、シール材 32 と液晶 33 とが反応することを防ぐため、バリア層 34 を設ける。続いて、真空中で基板を貼り合わせ、その後紫外線硬化を行って、液晶が充填された状態とする。

10

#### 【0079】

以上の工程で形成された画素部と外部の配線基板を接続するために接続部を形成する。大気圧又は大気圧近傍下で、酸素ガスを用いたアッシング処理により、接続部の絶縁体層を除去する。この処理は、酸素ガスと、水素、 $CF_4$ 、 $NF_3$ 、 $H_2O$ 、 $CHF_3$  から選択された一つ又は複数とを用いて行う。本工程では、静電気による損傷や破壊を防止するために、対向基板を用いて封止した後に、アッシング処理を行っているが、静電気による影響が少ない場合には、どのタイミングで行っても構わない。

20

#### 【0080】

続いて、異方性導電体層を介して、液晶表示装置内の配線層が電気的に接続するように、接続用の配線基板を設ける。配線基板は、外部からの信号や電位を伝達する役目を担い、F P C (Flexible printed circuit) などを用いることができる。上記工程を経て、チャンネルエッチ型のスイッチング用 T F T と容量素子を含む液晶表示パネルが完成する。容量素子は、容量配線層 104 とゲート絶縁膜 105 a、ゲート絶縁膜 105 b、ゲート絶縁膜 105 c と画素電極層 111 とで形成される。

#### 【0081】

液晶表示装置内の配線層と F P C は端子電極層を用いて接続され、端子電極層はゲート電極層と同材料及び同工程、ソース電極層及びドレイン電極層を兼ねるソース配線層と同材料及び同工程、ゲート配線層と同材料同工程で、それぞれ作製することができる。F P C と液晶表示装置内の配線層との接続例を図 42 を用いて説明する。

30

#### 【0082】

図 42 において、基板 1 上に薄膜トランジスタ 9 及び画素電極層 6 が形成され、シール材 3 に対向基板 8 と張り合わされている。液晶表示装置内から延長してシール材外部に形成される配線層と F P C 2 b 及び F P C 2 a は異方性導電膜 7 a、異方性導電膜 7 b によって接着されている。

#### 【0083】

図 42 (A1)、(B1)、(C1) は液晶表示装置の上面図であり、図 42 (A2)、(B2)、(C2) は図 42 (A1)、(B1)、(C1) における線 O - P、線 R - Q の断面図である。図 42 (A1)、(A2) において、端子電極層 5 a 及び端子電極層 5 b はゲート電極層と同材料同工程で形成されている。端子電極層 5 a にシール材外部に延長して形成されたソース配線層 4 a が接続され、端子電極層 5 a と F P C 2 a とが異方性導電膜 7 a を介して接続されている。一方端子電極層 5 b にシール材外部に延長して形成されたゲート配線層 4 b が接続され、端子電極層 5 b と F P C 2 b とが異方性導電膜 7 b を介して接続されている。

40

#### 【0084】

図 42 (B1)、(B2) において、端子電極層 55 a 及び端子電極層 55 b はソース配線層と同材料同工程で形成されている。端子電極層 55 a はシール材外部に延長して

50

形成されたソース配線層で形成され、端子電極層 5 5 a と F P C 2 a とが異方性導電膜 7 a を介して接続されている。一方、端子電極層 5 5 b にシール材外部に延長して形成されたゲート配線層 5 4 b が接続され、端子電極層 5 5 b と F P C 2 b とが異方性導電膜 7 b を介して接続されている。

【 0 0 8 5 】

図 4 2 ( C 1 )、( C 2 )において、端子電極層 6 4 a 及び端子電極層 6 4 b はゲート配線層と同材料同工程で形成されている。シール材外部に延長して形成されたソース配線層 6 5 a に端子電極層 6 4 a が接続され、端子電極層 6 4 a と F P C 2 a とが異方性導電膜 7 a を介して接続されている。一方、端子電極層 6 4 b はシール材外部に延長して形成されたゲート配線層で形成され、端子電極層 6 4 b と F P C 2 b とが異方性導電膜 7 b

10

【 0 0 8 6 】

本実施の形態では、スイッチング T F T はシングルゲート構造を示したが、ダブルゲート構造などのマルチゲート構造でもよい。

【 0 0 8 7 】

以上の工程により、結晶性半導体膜を有する逆スタガ型薄膜トランジスタを形成することができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度 (  $2 \sim 50 \text{ cm}^2 / \text{Vs e c}$  程度 ) が高い。また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な液晶表示装置を作製することが可能である。よって O C B モードのような応答速度が速く且つ高視野角な表示が可能な液晶表示装置を製造することが可能である。

20

【 0 0 8 8 】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

【 0 0 8 9 】

また、非晶質半導体膜の結晶化とゲッタリング工程を同時に行うことにより、工程の短縮化が可能である。

【 0 0 9 0 】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能である。このため、このような T F T を液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

30

【 0 0 9 1 】

( 実施の形態 2 )

本発明の実施の形態について、図 9 を用いて説明する。本実施の形態は、実施の形態 1 において、金属膜の形成箇所が異なる例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【 0 0 9 2 】

基板 7 0 0 上にゲート電極層 7 0 1 を形成し、ゲート電極層 7 0 1 を覆うようにゲート絶縁膜 7 0 2 a、ゲート絶縁膜 7 0 2 b 及び、ゲート絶縁膜 7 0 2 c を形成する。ゲート絶縁膜 7 0 2 c 上に非晶質半導体膜 7 0 3 を形成し、結晶化を助長する元素を有する金属膜 7 0 4 を形成する ( 図 9 ( A ) 参照 )。次に、金属膜 7 0 4 上に不純物を有する半導体膜 7 0 5 a、半導体膜 7 0 5 b を形成する ( 図 9 ( B ) 参照 )。本実施の形態では、半導体膜 7 0 5 a、半導体膜 7 0 5 b として、n 型を付与する不純物元素 ( ドナー型元素 ) であるリンを含む n 型を有する半導体膜をプラズマ C V D 法によって形成する。また、半導体膜 7 0 5 a は低濃度不純物を付与しており後に L D D 領域として機能し、半導体膜 7 0 5 b は高濃度不純物を付与しており後にソース領域及びドレイン領域として機能する。

40

【 0 0 9 3 】

50

その後、熱処理により、非晶質半導体膜 703 を結晶化して結晶性半導体膜 706 の形成と、結晶性半導体膜 706 中の金属元素を低減、又は除去するためにゲッタリング工程を同時に行なう。本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシクとして結晶性半導体膜 706 に接して形成しているため、加熱処理により金属元素は、図 9 (C) に示すように、矢印の方向へ加熱処理によって移動し、半導体膜 705 a、半導体膜 705 b 中に捕獲される。半導体膜 705 a、半導体膜 705 b は金属元素を含む半導体膜 707 a、半導体膜 707 b となる。本実施の形態では半導体膜 707 a、半導体膜 707 b には n 型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。

#### 【0094】

次に、結晶性半導体膜 706、半導体膜 707 a、半導体膜 707 b をフォトリソ工程を用いてパターンニングし、結晶性半導体層 708、半導体層 709 a、半導体層 709 b を形成する。その後、半導体層 709 b 上に導電膜 710 を形成し、フォトリソ工程を用いてレジストによるマスク 711 a、マスク 711 b を形成する (図 9 (D) 参照)。マスク 711 a、マスク 711 b を介して導電膜 710 をパターンニングし、ソース電極層又はドレイン電極層 712 a、ソース電極層又はドレイン電極層 712 b を形成する。

#### 【0095】

ソース電極層又はドレイン電極層 712 a、ソース電極層又はドレイン電極層 712 b をマスクとして n 型を有する半導体膜及び結晶性半導体膜をエッチングし、半導体層 713、ソース領域またはドレイン領域として機能する n 型を有する半導体層 714 b、半導体層 715 b、LDD として機能する n 型を有する半導体層 714 a、半導体層 715 a が形成される (図 9 (E) 参照。)

#### 【0096】

以上の工程で、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時に行うことが出来、金属元素の軽減された半導体層を有する薄膜トランジスタを形成することができる。

#### 【0097】

本実施の形態は、実施の形態 1 と組み合わせて用いることが可能である。

#### 【0098】

(実施の形態 3)

本発明の実施の形態について、図 10 を用いて説明する。本実施の形態は、実施の形態 1 において、チャネル保護型の薄膜トランジスタを有する液晶表示装置の例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

#### 【0099】

基板 720 上にゲート電極層 721 を形成し、ゲート電極層 721 を覆うようにゲート絶縁膜 722 a、ゲート絶縁膜 722 b 及び、ゲート絶縁膜 722 c を形成する。ゲート絶縁膜 722 c 上に結晶化を助長する元素を有する金属膜 723 を形成し、非晶質半導体膜 724 を形成する (図 10 (A) 参照)。非晶質半導体膜 724 上にチャネル保護膜を形成し、フォトリソ工程を用いてチャネル保護膜のパターンニングを行い、チャネル保護層 725 を形成する。チャネル保護膜には、酸化珪素 ( $\text{SiO}_x$ )、窒化珪素 ( $\text{SiN}_x$ )、酸化窒化珪素 ( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒化酸化珪素 ( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ ) などを適宜用いることができる。チャネル保護層 725 を形成することにより、ソース電極層、ドレイン電極層を形成する際にチャネル部の半導体層のエッチングを防ぐことが出来る。本実施例では、チャネル保護膜に窒化珪素を成膜して、チャネル保護層 725 を形成する (図 10 (B) 参照)。

#### 【0100】

次に、不純物を有する半導体膜 726 a、半導体膜 726 b を形成する (図 10 (C) 参照)。本実施の形態では、半導体膜 726 a、半導体膜 726 b として、n 型を付与する不純物元素 (ドナー型元素) であるリンを含む n 型を有する半導体膜をプラズマ CVD 法によって形成する。また、半導体膜 726 a は低濃度不純物を付与しており、後に LDD 領域として機能し、半導体膜 726 b は高濃度不純物を付与しており、後にソース領域及

10

20

30

40

50

びドレイン領域として機能する。

【0101】

その後、熱処理により、非晶質半導体膜を結晶化して結晶性半導体膜727の形成と、結晶性半導体膜727中の金属元素を低減、又は除去するためのゲッタリング工程を同時に行なう。本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして結晶性半導体膜727に接して形成しているため、加熱処理により金属元素は、図10(D)に示すように、矢印の方向へ加熱処理によって移動し、半導体膜726a、半導体膜726b中に捕獲される。半導体膜726a、半導体膜726bは金属元素を含む半導体膜728a、半導体膜728bとなる。本実施の形態では半導体膜728a、半導体膜728bにはn型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。

10

【0102】

次に、結晶性半導体膜727、半導体膜728a、半導体膜728bをフォトリソ工程を用いてレジストによるマスクを作製し、マスクを用いてパターンニングし、結晶性半導体層729、半導体層730a、半導体層730bを形成する。その後、半導体層730b上に導電膜731を形成し、フォトリソ工程を用いてレジストによるマスク732a、マスク732bを形成する(図10(E)参照)。マスク732a、マスク732bを介して導電膜731をパターンニングし、ソース電極層又はドレイン電極層733a、ソース電極層又はドレイン電極層733bを形成する。

【0103】

ソース電極層又はドレイン電極層733a、ソース電極層又はドレイン電極層733bをマスクとしてn型を有する半導体膜をエッチングし、ソース領域またはドレイン領域として機能するn型を有する半導体層735b、半導体層736b、LDDとして機能するn型を有する半導体層735a、半導体層736aが形成される(図10(F)参照)。

20

【0104】

以上の工程で、チャンネル部の半導体層がエッチングされない薄膜トランジスタを作製することが出来る。又、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時に行うことにより、工程を短縮して、金属元素の軽減された半導体層を有する薄膜トランジスタを形成することができる。

【0105】

この後、実施の形態1と同様の工程により、基板720上にボトムゲート型(逆スタガ型ともいう。)の薄膜トランジスタと画素電極が接続された液晶表示パネル用のTF基板が完成する(図7参照)。なお、本実施の形態の薄膜トランジスタはチャンネル保護型である。

30

【0106】

(実施の形態4)

本発明の実施の形態について、図11を用いて説明する。本実施の形態は、実施の形態2において、チャンネル保護型の薄膜トランジスタを有する液晶表示装置の例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0107】

基板740上にゲート電極層741を形成し、ゲート電極層741を覆うようにゲート絶縁膜742a、ゲート絶縁膜742b及び、ゲート絶縁膜742cを形成する。ゲート絶縁膜742c上に非晶質半導体膜743を形成し、結晶化を助長する元素を有する金属膜744を形成する(図11(A)参照)。非晶質半導体膜743上にチャンネル保護膜を形成し、フォトリソ工程を用いてチャンネル保護膜のパターンニングを行い、チャンネル保護層745を形成する。チャンネル保護膜には、酸化珪素( $\text{SiO}_x$ )、窒化珪素( $\text{SiN}_x$ )、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ )( $x > y$ )、窒化酸化珪素( $\text{SiN}_x\text{O}_y$ )( $x > y$ )などを適宜用いることができる。チャンネル保護層745を形成することにより、ソース電極層、ドレイン電極層を形成する際にチャンネル部の半導体層のエッチングを防ぐことが出来る。本実施例では、チャンネル保護膜に窒化珪素を成膜して、チャンネル保護層745を

40

50

形成する（図 11（B）参照）。

【0108】

次に、不純物を有する半導体膜 746a、半導体膜 746b を形成する（図 11（C）参照）。本実施の形態では、半導体膜 746a、半導体膜 746b として、n 型を付与する不純物元素（ドナー型元素）であるリンを含む n 型を有する半導体膜をプラズマ CVD 法によって形成する。また、半導体膜 746a は低濃度不純物を付与しており、後に LDD 領域として機能し、半導体膜 746b は高濃度不純物を付与しおり、後にソース領域及びドレイン領域として機能する。

【0109】

その後、熱処理により、非晶質半導体膜を結晶化して結晶性半導体膜 747 の形成と、結晶性半導体膜 747 中の金属元素を低減、又は除去するためのゲッタリング工程を同時に行なう。本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして結晶性半導体膜 747 に接して形成しているため、加熱処理により金属元素は、図 11（D）に示すように、矢印の方向へ加熱処理によって移動し、半導体膜 746a、半導体膜 746b 中に捕獲される。半導体膜 746a、半導体膜 746b は金属元素を含む半導体膜 748a、半導体膜 748b となる。本実施の形態では半導体膜 748a、半導体膜 748b には n 型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。

【0110】

次に、結晶性半導体膜 747、半導体膜 748a、半導体膜 748b をフォトリソ工程を用いてレジストによるマスクを作製し、マスクを用いてパターンニングし、結晶性半導体層 749、半導体層 750a、半導体層 750b を形成する。その後、半導体層 750b 上に導電膜 751 を形成し、フォトリソ工程を用いてレジストによるマスク 752a、マスク 752b を形成する（図 11（E）参照）。マスク 752a、マスク 752b を介して導電膜 751 をパターンニングし、ソース電極層又はドレイン電極層 753a、ソース電極層又はドレイン電極層 753b を形成する。

【0111】

ソース電極層又はドレイン電極層 753a、ソース電極層又はドレイン電極層 753b をマスクとして n 型を有する半導体膜をエッチングし、ソース領域またはドレイン領域として機能する n 型を有する半導体層 755b、半導体層 756b、LDD として機能する n 型を有する半導体層 755a、半導体層 756a が形成される（図 11（F）参照）。

【0112】

以上の工程で、チャネル部がエッチングされない薄膜トランジスタを作製することが出来る。又、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時に行うことにより、金属元素の軽減された半導体層を有する薄膜トランジスタを形成することができる。

【0113】

この後、実施の形態 1 と同様の工程により、基板 740 上にボトムゲート型（逆スタガ型ともいう。）の薄膜トランジスタと画素電極が接続された液晶表示パネル用の TFT 基板が完成する（図 7 参照）。また本実施の形態の薄膜トランジスタはチャネル保護型である。

【0114】

（実施の形態 5）

本発明の実施の形態について、図 12 を用いて説明する。本実施の形態は、実施の形態 1 において、結晶性半導体膜のゲッタリング工程が異なる例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0115】

基板 760 上にゲート電極層 761 を形成し、ゲート電極層 761 を覆うようにゲート絶縁膜 762a 及びゲート絶縁膜 762b を形成する。なお、図 12 に示すように、ゲート絶縁膜 762b 上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を 3 層構造とす

10

20

30

40

50

る。ゲート絶縁膜 762b 上に金属膜 763 を形成し、非晶質半導体膜 764 を形成する（図 12 (A) 参照。）。結晶化を助長するための金属元素をゲッタリングするゲッタリング層として、希ガス元素を不純物元素として含む半導体層 765 を形成する（図 12 (B) 参照。）。希ガス元素は、ヘリウム、アルゴン、キセノン、クリプトンなどを用いることができ、本実施の形態ではアルゴンを不純物元素として含んだ半導体膜を形成する。

【0116】

その後加熱処理により非晶質半導体膜 764 を結晶化し、結晶性半導体膜 766 を形成すると同時に、結晶性半導体膜 766 中に含まれる金属元素は図 12 (C) の矢印の方向に移動し、半導体膜 765 中に捕獲され、半導体膜 765 は金属元素を有する半導体膜 775 となる。よって膜中に含まれる金属元素が軽減された結晶性半導体膜 766 が形成される。そして、ゲッタリングシンクとなっていた半導体膜 775、及び半導体膜 775 上に形成された酸化膜をフッ酸等により除去し、金属元素が低減、又は除去された結晶性半導体膜 766 を得ることができる。本実施の形態では、ゲッタリングシンクとなった半導体膜 775 の除去を TMAH (Tetramethyl ammonium hydroxide) を用いて行う。結晶性半導体膜 766 上に、図 12 (D) に示すように一導電型を有する半導体膜 767 を形成し、結晶性半導体膜 766、半導体膜 767 をフォトリソ工程を用いてレジストによるマスクを作製し、マスクを用いてパターンニングし、結晶性半導体層 768、半導体層 769 を形成する。なお、本実施の形態では、一導電型を有する半導体膜 767 として n 型を有する半導体膜を形成する。その後、半導体層 769 上に導電膜 770 を形成し、フォトリソ工程を用いてレジストによるマスク 771a、マスク 771b を用いてパターンニングした後、ソース電極層又はドレイン電極層 772a、ソース電極層又はドレイン電極層 772b を形成する（図 12 (E) 参照。）。

【0117】

ソース電極層又はドレイン電極層 772a、ソース電極層又はドレイン電極層 772b をマスクとして n 型を有する半導体膜及び結晶性半導体膜をエッチングし、半導体層 773 及びソース領域またはドレイン領域として機能する n 型を有する半導体層 774a、n 型を有する半導体層 774b が形成される（図 12 (F) 参照。）。

【0118】

以上の工程で、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時に行うことにより、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。

【0119】

本実施の形態は、実施の形態 1 と組み合わせる用いることが可能である。

【0120】

(実施の形態 6)

本発明の実施の形態として、図 13 を用いて説明する。本実施の形態は、n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタの 2 種類の薄膜トランジスタを作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0121】

基板 430 上にゲート電極層 431a、ゲート電極層 431b を形成しゲート絶縁膜 432a、ゲート絶縁膜 432b を形成する。なお、図 13 に示すように、ゲート絶縁膜 432b 上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を 3 層構造とする。ゲート絶縁膜 432b 上に金属膜 433 を形成する。金属膜 433 上に非晶質半導体膜 434 を形成し、n 型を有する半導体膜 435 を形成した後、加熱処理を行う。（図 13 (A) 参照。）。

【0122】

加熱処理により、非晶質半導体膜は結晶化され結晶性半導体膜が形成されると同時に、結晶性半導体膜中に含まれる金属元素はゲッタリングされ、矢印の方向に移動し n 型を有

10

20

30

40

50

する半導体膜 4 3 7 中に捕獲され、結晶性半導体膜 4 3 6 が形成される。(図 1 3 (B) 参照。)。結晶性半導体膜 4 3 6 及び n 型を有する半導体膜 4 3 7 をパターンニングし、結晶性半導体層 4 3 8 a、結晶性半導体層 4 3 8 b を形成する。その後、結晶性半導体層 4 3 8 a 及び n 型を有する半導体層 4 3 9 を覆うマスク 4 4 0 a、結晶性半導体層 4 3 8 b 中のチャンネル形成領域上の n 型を有する半導体層 4 4 6 を覆うマスク 4 4 0 b を形成し、p 型を付与する不純物元素 4 4 1 を n 型を有する半導体層に添加する。n 型を有する半導体層は、n 型を付与する不純物元素の濃度の 2 ~ 10 倍の濃度となるように p 型を付与する不純物元素を添加することによって、p 型を有する半導体層にその導電型が反転し、p 型の不純物領域 4 4 7 a、p 型の不純物領域 4 4 7 b を形成することができる(図 1 3 (C) 参照。)

10

## 【0123】

ソース電極層又はドレイン電極層 4 4 2 a、ソース電極層又はドレイン電極層 4 4 2 b、ソース電極層又はドレイン電極層 4 4 2 c、ソース電極層又はドレイン電極層 4 4 2 d をフォトリソ工程によって形成する(図 1 3 (D) 参照。)。ソース電極層又はドレイン電極層 4 4 2 a、ソース電極層又はドレイン電極層 4 4 2 b、ソース電極層又はドレイン電極層 4 4 2 c、ソース電極層又はドレイン電極層 4 4 2 d をマスクとして、結晶性半導体層 4 3 8 a、結晶性半導体層 4 3 8 b、n 型を有する半導体層 4 3 9、n 型を有する半導体層 4 4 6 をエッチングし、半導体層 4 4 4 a、半導体層 4 4 4 b、n 型を有する半導体層 4 4 5 a、n 型を有する半導体層 4 4 5 b、p 型を有する半導体層 4 4 5 c、p 型を有する半導体層 4 4 5 d を形成することができる(図 1 3 (E) 参照。)。また、エッチングはドライエッチングでもウェットエッチングで行っても良く、ソース電極層又はドレイン電極層のエッチングをエッチャントによるウェットエッチングで行い、半導体層のエッチングをドライエッチングで行っても良い。また、ソース電極層及びドレイン電極層の HNO<sub>3</sub> 溶液を用いたウェットエッチングを行い、その後 O<sub>2</sub> アッシングを行ってもよい。

20

## 【0124】

以上の工程で同一基板上に、n チャンネル型薄膜トランジスタ及び p チャンネル型薄膜トランジスタを形成することができる。

## 【0125】

本実施の形態は、実施の形態 1、実施の形態 2、実施の形態 3、実施の形態 4 及び実施の形態 5 それぞれと組み合わせて用いることが可能である。

30

## 【0126】

(実施の形態 7)

本発明の実施の形態として、図 1 4 を用いて説明する。本実施の形態は、n チャンネル型薄膜トランジスタ及び p チャンネル型薄膜トランジスタの 2 種類の薄膜トランジスタを作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

## 【0127】

基板 4 5 0 上にゲート電極層 4 5 1 a、ゲート電極層 4 5 1 b を形成しゲート絶縁膜 4 5 2 a、ゲート絶縁膜 4 5 2 b を形成する。なお、図 1 4 に示すように、ゲート絶縁膜 4 5 2 b 上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を 3 層構造とする。ゲート絶縁膜 4 5 2 b 上に金属元素 4 5 3 を添加し、非晶質半導体膜 4 5 4 を形成し、希ガス元素を不純物元素として含む半導体膜 4 5 6 を形成する(図 1 4 (A) 参照。)。次に、加熱処理を行い、非晶質半導体膜 4 5 4 を結晶化させ結晶性半導体膜 4 5 5 を形成すると同時に、結晶性半導体膜 4 5 5 中に含まれる金属元素のゲッタリングを行なう。加熱処理により、結晶性半導体膜 4 5 5 中に含まれる金属元素はゲッタリングされ、矢印の方向に希ガス元素を有する半導体膜 4 5 6 中に移動し捕獲され、結晶性半導体膜 4 5 5 が形成される。(図 1 4 (B) 参照。)

40

## 【0128】

ゲッタリングシクとして用いた半導体膜 4 5 6 をエッチングによって除去する。結晶性半導体膜 4 5 5 をパターンニングし、チャンネル形成領域 4 5 7 a を覆うマスク 4 5 8 a、

50

半導体層 4 5 7 b を覆うマスク 4 5 8 b を形成し、n 型を付与する不純物元素 4 6 0 を添加し、n 型の不純物領域 4 5 9 a、n 型の不純物領域 4 5 9 b を形成する（図 1 4 ( C ) 参照。）。

【 0 1 2 9 】

マスク 4 5 8 a、及びマスク 4 5 8 b を除去し、新たに n 型の不純物領域 4 5 9 a、チャネル形成領域 4 5 7 a、n 型の不純物領域 4 5 9 b を覆うマスク 4 6 1 a、チャネル形成領域 4 6 5 を覆うマスク 4 6 1 b を形成し、p 型を付与する不純物元素 4 6 3 を添加する。p 型を付与する不純物元素によって p 型の不純物領域 4 6 2 a、p 型の不純物領域 4 6 2 b を形成する（図 1 4 ( D ) 参照。）。n 型の不純物領域 4 5 9 a、n 型の不純物領域 4 5 9 b、p 型の不純物領域 4 6 2 a、p 型の不純物領域 4 6 2 b はソース領域またはドレイン領域として機能する。ソース領域又はドレイン領域に接してソース電極層又はドレイン電極層 4 6 4 a、ソース電極層又はドレイン電極層 4 6 4 b、ソース電極層又はドレイン電極層 4 6 4 c、ソース電極層又はドレイン電極層 4 6 4 d が形成される（図 1 4 ( E ) 参照。）。

10

【 0 1 3 0 】

以上の工程で同一基板上に、n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタを形成することができる。実施の形態 6 と比べ成膜工程が削減できるため、スループットを向上させることが可能である。

【 0 1 3 1 】

（実施の形態 8）

本発明の実施の形態として、図 1 5 を用いて説明する。本実施の形態は、n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタの 2 種類の薄膜トランジスタを作製する例であり、ゲッタリングの工程が異なる例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

20

【 0 1 3 2 】

基板 4 7 0 上にゲート電極層 4 7 1 a、ゲート電極層 4 7 1 b を形成しゲート絶縁膜 4 7 2 a、ゲート絶縁膜 4 7 2 b を形成する。なお、図 1 5 に示すように、ゲート絶縁膜 4 7 2 b 上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を 3 層構造とする。ゲート絶縁膜 4 7 2 b 上に結晶を助長させる金属元素を有する金属膜を形成し、非晶質半導体膜を形成する。金属膜、非晶質半導体膜をパターンニングし、金属層 4 8 4 a、金属層 4 8 4 b、非晶質半導体層 4 7 3 a、非晶質半導体層 4 7 3 b を形成する（図 1 5 ( A ) 参照。）。

30

【 0 1 3 3 】

チャネル形成領域の非晶質半導体層 4 8 3 a を覆うマスク 4 7 4 a、チャネル形成領域の非晶質半導体層 4 8 3 b を覆うマスク 4 7 4 b を形成し、n 型を付与する不純物元素 4 7 6 を添加し、n 型の不純物領域 4 7 5 a、n 型の不純物領域 4 7 5 b、n 型の不純物領域 4 7 5 c、n 型の不純物領域 4 7 5 d を形成する（図 1 5 ( B ) 参照。）。その後加熱処理を行い、チャネル形成領域の非晶質半導体層 4 8 3 a、チャネル形成領域の非晶質半導体層 4 8 3 b を結晶化させ結晶性半導体層 4 7 8 a、結晶性半導体層 4 7 8 b を形成すると同時に、チャネル形成領域である結晶性半導体層 4 7 8 a、チャネル形成領域である結晶性半導体層 4 7 8 b に含まれる金属元素はゲッタリングされ、それぞれ矢印の方向に n 型の不純物領域 4 7 7 a、n 型の不純物領域 4 7 7 b、n 型の不純物領域 4 7 7 c、n 型の不純物領域 4 7 7 d に移動し捕獲され、金属元素が除去、軽減されたチャネル形成領域である結晶性半導体層 4 7 8 a、チャネル形成領域である結晶性半導体層 4 7 8 b が形成される（図 1 5 ( C ) 参照。）。また、この熱処理によって、添加された n 型を付与する不純物元素の活性化も行うことができる。

40

【 0 1 3 4 】

n 型の不純物領域 4 7 7 a、チャネル形成領域 4 7 8 a、n 型の不純物領域 4 7 7 b を覆うマスク 4 7 9 a、チャネル形成領域 4 7 8 b を覆うマスク 4 7 9 b を形成し、p 型を付与する不純物元素 4 8 1 を添加する。p 型を付与する不純物元素によって p 型の不純物

50

領域 480 a、p 型の不純物領域 480 b を形成する（図 15 (D) 参照。）。n 型の不純物領域 477 a、n 型の不純物領域 477 b、p 型の不純物領域 480 a、p 型の不純物領域 480 b はソース領域またはドレイン領域として機能する。ソース領域又はドレイン領域に接してソース電極層又はドレイン電極層 482 a、ソース電極層又はドレイン電極層 482 b、ソース電極層又はドレイン電極層 482 c、ソース電極層又はドレイン電極層 482 d が形成される（図 15 (E) 参照。）。

【0135】

以上の工程で同一基板上に、n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタを形成することができる。実施の形態 7 と比べ成膜工程が削減できるため、スループットを向上させることが可能である。

【0136】

（実施の形態 9）

本実施の形態を、図 16 乃至 21 を用いて説明する。本実施の形態は、画素領域を実施の形態 1 で作製した画素領域で、画素が有する薄膜トランジスタがマルチゲート型である場合を適用したものである。また、周辺駆動回路領域も本発明を用いた薄膜トランジスタにより作製され、実施の形態 6 で作製される n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタからなる CMOS を適用している。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0137】

図 19 は本実施の形態で作製する液晶表示装置の画素領域の上面図であり、図 16 乃至図 19、図 20 (B) は、各工程の図 21 におけるの線 E - F、G - H の断面図である。また、図 16 乃至図 19 における I - J の領域は、図 20 (A) の液晶表示装置の周辺駆動回路領域である線 I - J び対応する断面図である。

【0138】

偏光板 376、基板 300 上に導電膜を形成し、レジストからなるマスクによってパターンニングを行い、ゲート電極層 301、ゲート電極層 302、ゲート電極層 303 a、ゲート電極層 303 b、ゲート電極層 303 c、画素電極層 304 を形成する。本実施の形態では、ゲート電極層を透明導電膜の単層で形成するが、積層構造としてもよい。積層構造としては、Ta、Ti、W、Mo、Cr、前記元素の窒化膜などの積層を用いることはでき、具体的には TaN \ W、TaN \ Mo、TaN \ Cr、TiN \ W、TiN \ Mo、TiN \ Cr などを用いることができる。本実施の形態では、スパッタリング法によって酸化珪素を含むインジウム錫酸化物 (ITO) を形成し、焼成してゲート電極層形成領域を含む近傍に導電膜を形成する。この導電膜をフォトリソ工程によって微細に加工されたマスクを用いて、精密にパターンニングし、ゲート電極層 301、ゲート電極層 302、ゲート電極層 303 a、ゲート電極層 303 b、ゲート電極層 303 c、画素電極層 304 を形成する。

【0139】

ゲート電極層 301、ゲート電極層 302、ゲート電極層 303 a、ゲート電極層 303 b、ゲート電極層 303 c、画素電極層 304 上にゲート絶縁膜を形成し、ゲート絶縁膜上に結晶化を促進、助長する元素として、金属膜 307 を形成する。金属膜 307 は非常に膜厚が薄いため膜としての形状を保っていない場合がある。本実施の形態では、Ni を 100 ppm を含有した水溶液をスピンコーティング法により塗布し、金属膜 307 を形成する。金属膜 307 上に非晶質半導体膜 306 を形成する（図 16 (A) 参照。）。本実施の形態では、ゲート絶縁膜として、窒化珪素からなるゲート絶縁膜 305 a と酸化珪素からなるゲート絶縁膜 305 b を積層する。非晶質半導体膜 306 は非晶質珪素膜を用いる。なお、本実施形態においては実施の形態 1 で示したように、ゲート絶縁膜を 3 層構造としている。

【0140】

非晶質半導体膜 306 上に、n 型を有する半導体膜 308 を形成する。本実施の形態では、n 型を有する半導体膜 308 として、n 型を付与する不純物元素としてリン (P) を

10

20

30

40

50

含む非晶質珪素膜をプラズマCVD法により100nm形成する(図14(B))。次に、非晶質半導体膜306を加熱し、結晶化させると同時に、n型を有する半導体膜308をゲッタリングシンクとして金属元素をゲッタリングする(図14(C)参照。)。加熱処理により、結晶性半導体膜中の金属元素は加熱処理により矢印の方向へ移動し、n型を有する半導体膜308中に捕獲される。よって、非晶質半導体膜306は、膜中の金属元素が軽減された結晶性半導体膜310となり、n型を有する半導体膜308は、n型を付与する不純物元素(本実施の形態ではP)と金属元素(本実施の形態ではNi)を含むn型を有する半導体膜311となる。本実施の形態では、550で4時間加熱処理を行い、結晶性半導体膜310の形成とゲッタリングを行なう。

#### 【0141】

結晶性半導体膜310及びn型を有する半導体膜311をパターンニングし、半導体層312、半導体層313、半導体層314、n型を有する半導体層315、n型を有する半導体層316、及びn型を有する半導体層317を形成することができる(図17(A)参照。)。これらの半導体層のパターンニングも、フォトリソ工程を用いて形成されたレジストマスクを用いて、精密にパターンニングすることができる。

#### 【0142】

次に、半導体層312、n型を有する半導体層315を覆うマスク318a、半導体層316のチャネル形成領域及びn型を有する半導体層316のチャネル形成領域を覆うマスク318b、半導体層314及びn型を有する半導体層317を覆うマスク318cを形成する。p型を付与する不純物元素319を添加し、p型を有する半導体層316中に、p型の不純物領域320a、p型の不純物領域320bを形成する(図17(B)参照。)。本実施の形態では、イオンドーピング法を用いてp型を付与する不純物元素を添加する。その後、550で4時間加熱処理を行い、不純物元素の添加領域を活性化する。

#### 【0143】

本実施の形態では、駆動回路領域において、CMOS構成を用いてインバーターとして機能させている。PMOSのみ、NMOSのみの構成の場合においては、一部のTFTのゲート電極層とソース電極層又はドレイン電極層とを接続させる。このような例を図39に示す。フォトマスクを用いてゲート絶縁膜305a、ゲート絶縁膜305bの一部をエッチングして、図39に示すようなコンタクトホール890を形成する。本実施の形態では、画素電極層となる第1の電極層とソース電極層又はドレイン電極層との接続を、層間絶縁膜に形成するコンタクトホールを介して行うが、ソース電極層又はドレイン電極層と第1電極層を層間絶縁膜を介さないで接続してもよい。この場合、第1電極層に達する開口部を、コンタクトホール890と同時に形成することができる。その後、これらのコンタクトホールにソース電極層又はドレイン電極層を形成し、それぞれゲート電極層、又は第1電極層と電氣的に接続する。

ソース電極層又はドレイン電極層327bとゲート電極層302を接続することによって、後に形成する薄膜トランジスタ335と薄膜トランジスタ336とがNMOS同士、PMOS同士であってもインバーターとして機能させることができる。前述したように本実施の形態では、薄膜トランジスタ335と薄膜トランジスタ336とはCMOS構造となっているので、図39で示す。構造としなくてもインバーターとして機能させることができる。

#### 【0144】

マスク318a、マスク318b及びマスク318cを除去した後、半導体層312、半導体層313及び半導体層314上に、導電膜を形成し、フォトリソ工程を用いて形成されたマスクを用い、パターンニングして導電層321a、導電膜321b、導電膜321c、導電層322a、導電膜322b、導電膜322c形成する(図17(C)参照。)。また、同工程で、容量配線層となる導電層370も、画素電極層304上のゲート絶縁膜305b上に形成する。

#### 【0145】

実施の形態 1 で、図 7 を用いて説明したように、導電層 3 2 1、導電層 3 2 2 を精密にパターニングし、ソース電極層又はドレイン電極層 3 2 7 a、ソース電極層又はドレイン電極層 3 2 7 b、ソース電極層又はドレイン電極層 3 2 7 c、ソース電極層又はドレイン電極層 3 2 8 a、ソース電極層又はドレイン電極層 3 2 8 b、ソース電極層又はドレイン電極層 3 2 8 c、容量配線層 3 3 2 を形成する。ソース電極層又はドレイン電極層 3 2 7 a、ソース電極層又はドレイン電極層 3 2 7 b、ソース電極層又はドレイン電極層 3 2 7 c、ソース電極層又はドレイン電極層 3 2 8 a、ソース電極層又はドレイン電極層 3 2 8 b、ソース電極層又はドレイン電極層 3 2 8 c を、マスクとして、半導体層 3 1 2、半導体層 3 1 3、半導体層 3 1 4、n 型を有する半導体層 3 1 5、n 型を有する半導体層 3 1 6、及び n 型を有する半導体層 3 1 7 をエッチングし、半導体層 3 7 1、半導体層 3 7 2、半導体層 3 7 3、n 型を有する半導体層 3 2 4 a、n 型を有する半導体層 3 2 4 b、p 型を有する半導体層 3 2 5 a、p 型を有する半導体層 3 2 5 b、n 型を有する半導体層 3 2 6 a、n 型を有する半導体層 3 2 6 b、n 型を有する半導体層 3 2 6 c を形成する。エッチングはドライエッチング又はウェットエッチングを用いることができる。本実施の形態では、ドライエッチング法を用いる。

#### 【 0 1 4 6 】

以上の工程で、CMOS を構成する n チャンネル型薄膜トランジスタ 3 3 5 及び p チャンネル型薄膜トランジスタ 3 3 6、n チャンネル型薄膜トランジスタ 3 3 7、容量素子 3 3 8 を形成することができる ( 図 1 8 ( A ) 参照。 )。本実施の形態では CMOS 構造としたが、本発明はそれに限定されず、PMOS 構造でも NMOS 構造としてもよい。

#### 【 0 1 4 7 】

パッシベーション膜となる絶縁膜 3 3 0 を形成する。本実施の形態では、絶縁膜 3 3 0 を、半導体層に接する側から、膜厚 1 5 0 n m の酸化珪素膜と膜厚 2 0 0 n m の窒化珪素膜との積層膜で形成する。絶縁膜 3 3 0 は、他の珪素を含む膜で形成しても良く、酸化珪素膜の代わりに酸化窒化珪素膜を用い、酸化窒化珪素膜と窒化珪素膜の積層としてもよい。

#### 【 0 1 4 8 】

絶縁膜 3 3 0 には酸素を含ませるように形成し、温度 3 0 0 ~ 5 0 0 窒素雰囲気下で加熱処理を行い、半導体層の水素化を行う。

#### 【 0 1 4 9 】

絶縁膜 3 3 0 上に絶縁膜 3 3 9 を形成する。本実施の形態では、スリッドコーターを用いて、アルキル基を含む酸化珪素膜を形成する。絶縁膜 3 3 9、絶縁膜 3 3 0 にソース電極層又はドレイン電極層 3 2 8 b に達する開口部 3 4 0 a を、絶縁膜 3 3 9、絶縁膜 3 3 0、ゲート絶縁膜 3 0 5 a、ゲート絶縁膜 3 0 5 b に、画素電極層 3 0 4 に達する開口部 3 4 0 b 及びゲート電極層 3 0 3 c に達する開口部 3 4 0 c を形成する ( 図 1 8 ( B ) 参照。 )。開口部を形成するパターニングには、本発明のレーザ光による微細加工を用いることができる。また、本実施の形態では、ドライエッチングにより開口部を形成する。

#### 【 0 1 5 0 】

次にゲート配線層 3 4 1 及びゲート配線層 3 4 2 を形成する。本実施の形態では、ゲート配線層を、A g ( 銀 ) を用いてスパッタリング法により絶縁膜 3 3 9 上に形成後、フォトリソ工程を用いてパターニングし、ソース電極層又はドレイン電極層 3 2 8 b と画素電極層 3 0 4 を電氣的に接続するゲート配線層 3 4 1 と、ゲート電極層 3 0 3 c と電氣的に接続するゲート配線層 3 4 2 を形成する ( 図 1 8 ( C ) 参照。 )。

#### 【 0 1 5 1 】

ソース電極層又はドレイン電極層 3 2 8 b と画素電極層 3 0 4 を電氣的に接続するゲート配線層 3 4 1 又はゲート電極層 3 0 3 c と電氣的に接続するゲート配線層 3 4 2 を形成する導電性材料としては、A g ( 銀 )、A u ( 金 )、C u ( 銅 )、W ( タングステン )、A l ( アルミニウム ) 等を主成分とした金属を用いることができる。また、透光性を有するインジウム錫酸化物 ( I T O )、インジウム錫酸化物と酸化珪素からなる I T S O、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせてもよい。

## 【 0 1 5 2 】

図 2 1 に実施の形態で作製する液晶表示装置の画素領域の上面図を示す。画素領域に設けられる薄膜トランジスタはマルチゲート型である。画素領域には、ゲート電極層 3 0 3 a、ゲート電極層 3 0 3 b、画素電極層 3 0 4、半導体層 3 7 3、ソース電極層又はドレイン電極層 3 2 8 a、ソース電極層又はドレイン電極層 3 2 8 b、ソース電極層又はドレイン電極層 3 2 8 c、容量配線層 3 3 2、ゲート配線層 3 4 2、ゲート配線層 3 4 1 である。

## 【 0 1 5 3 】

次に、図 1 9 に示すように、画素電極層 3 0 4 を覆って、印刷法やスピンコート法により、配向膜と呼ばれる絶縁膜 3 4 3 を形成する。なお、絶縁膜 3 4 3 は、スクリーン印刷法やオフセット印刷法を用いれば、選択的に形成することができる。その後、ラビング処理を行う。続いて、シール材 3 5 1 を画素を形成した周辺の領域に形成する。

10

## 【 0 1 5 4 】

その後、配向膜として機能する絶縁膜 3 4 5、カラーフィルタとして機能する着色層 3 4 6、対向電極として機能する導電体層 3 4 7、偏光板 3 5 0 a が設けられた対向基板 3 4 8 と基板 3 0 0 とをスペーサ 3 7 5 を介して貼り合わせ、その空隙に液晶層 3 4 4 を設けることにより液晶表示パネルを作製することができる(図 2 0。)。また、基板 3 0 0 にも T F T を有する面とは反対側の面に偏光板 3 5 0 b が設けられている。スペーサは、スペーサは数  $\mu\text{m}$  の粒子を散布して設ける方法でも良いが、本実施の形態では基板全面に樹脂膜を形成した後これをパターンニングして形成する方法を採用した。このようなスペーサの材料を、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで 1 5 0 ~ 2 0 0 で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、スペーサの形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状などを用いることができ、特別な限定はない。シール材にはフィラーが混入されていても良く、さらに対向基板 3 4 8 には、遮蔽膜(ブラックマトリクス)などが形成されていても良い。また、液晶表示装置内部と外部を電氣的に接続するための端子電極層 3 5 2 に、異方性導電膜 3 5 3 によって F P C 3 5 4 が接着され、端子電極層 3 5 2 と電氣的に接続する。

20

30

## 【 0 1 5 5 】

本実施の形態で示す図 2 0 の液晶表示装置は、ゲート電極層 3 0 1、ゲート電極層 3 0 2、ゲート電極層 3 0 3 a、ゲート電極層 3 0 3 b、画素電極層 3 0 4 を単層構造で示しているが、前述したように、ゲート電極層を 2 層以上の複数層積層してもよい。ゲート電極層及び容量配線層を積層構造にした例を図 4 4 に示す。

## 【 0 1 5 6 】

積層構造としては、T a、T i、W、M o、C r、前記元素の窒化膜などの積層を用いることはでき、具体的には T a N \ W、T a N \ M o、T a N \ C r、T i N \ W、T i N \ M o、T i N \ C r などを用いることができる。本実施の形態では第 1 のゲート電極層 3 0 1 a、第 1 のゲート電極層 3 0 2 a、第 1 のゲート電極層 3 0 3 a 1、第 1 のゲート電極層 3 0 3 b 1、第 1 のゲート電極層 3 0 3 c 1 として T a N を用い、第 2 のゲート電極層 3 0 1 b、第 2 のゲート電極層 3 0 2 b、第 2 のゲート電極層 3 0 3 a 2、第 2 のゲート電極層 3 0 3 b 2、第 2 のゲート電極層 3 0 3 c 2 として W を用いる。同工程で形成される画素電極層においても、第 1 の画素電極層 3 0 4 a として T a N 膜を、第 2 の画素電極層 3 0 4 b として W 膜を形成する。このようにゲート電極層及び画素電極層を積層構造とすることができる。また、画素電極層を単層構造で形成し、ゲート電極層を積層構造としてもよく、反対に、画素電極層を積層構造としゲート電極層を単層構造としてもよい。液晶表示装置に要求される機能に応じて適宜設定すればよい。

40

## 【 0 1 5 7 】

以上の工程により、結晶性半導体膜を有する逆スタガ型薄膜トランジスタを形成する

50

ことができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度が高い。また、ソース領域及びドレイン領域には、一導電性を付与する不純物元素に加え、金属元素を含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な液晶表示装置を作製することが可能である。よってOCBモードのような応答速度が速く且つ高視野角な表示が可能な液晶表示装置を製造することが可能である。

【0158】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

【0159】

非晶質半導体膜の結晶化とゲッタリング工程を同時に行うことにより、工程の短縮化が可能である。更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をゲッタリングするため、オフ電流を低減することが可能である。このため、このような薄膜トランジスタを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【0160】

(実施の形態10)

実施の形態1では、ゲート電極層と、ソース電極層又はドレイン電極層(ソース配線層も含む)及び容量配線層とがゲート絶縁膜を介して積層し、ソース電極層又はドレイン電極層(ソース配線層も含む)とゲート配線層とが層間絶縁膜を介して積層している多層構造を用いている。本実施の形態では、これらの積層構造が異なる例を図31乃至図36、及び図41を用いて説明する。図30(A)乃至図35(A)は、液晶表示装置の上面図であり、図30(B)乃至図32(B)は、図30(A)乃至図32(A)において線X1-V1による断面図である。図30(A)乃至図32(A)は、液晶表示装置の上面図であり、図30(C)乃至図35(C)は、図30(A)乃至図35(A)において線X1-V1による断面図である。

【0161】

図30(A)は、液晶表示装置の上面図であり、図30(B)は、図30(A)における線X1-V1による断面図、図30(C)は、図30(A)における線M-Nによる断面図である。図30に示す液晶表示装置は、実施の形態1で示すようにソース電極層又はドレイン電極層と画素電極層が、ゲート配線層によって電氣的に接続されている構造ではなく、ソース電極層又はドレイン電極層610が直接画素電極層611と接するように形成され、電氣的に接続している構造である。このように直接ソース電極層又はドレイン電極層610が画素電極層611に接続する構造でもよく、反射型液晶表示装置ならば、反射性を有する材料をソース電極層又はドレイン電極層610に用い、画素電極層611と積層するような構造であってもよい。

【0162】

図30において、液晶表示装置の画素領域内には、基板600上にゲート電極層601a、ゲート電極層601b、画素電極層611、ゲート絶縁膜602a、ゲート絶縁膜602b、容量配線層604、ソース電極層又はドレイン電極層603a、ソース電極層又はドレイン電極層603b、ゲート配線層607、半導体層608、n型を有する半導体層609a、n型を有する半導体層609b、パッシベーション膜である絶縁膜605、絶縁膜606が形成されている。なお、本実施の形態では、実施の形態1で示したように、ゲート絶縁膜を3層構造としている。

【0163】

絶縁膜605は必ずしも必要ではないが、絶縁膜605を形成すると、パッシベーション膜として機能するので、より液晶表示装置の信頼性が向上する。また、絶縁膜605を形成し、熱処理を行うと、絶縁膜605中に含まれる水素によって半導体層の水素化を行うことができる。

【0164】

10

20

30

40

50

図30(B)で示すようにソース電極層又はドレイン電極層603bは、層間絶縁膜である絶縁膜606を介して、ゲート配線層607と積層しており、ゲート配線層607は、ゲート電極層601a、ゲート電極層601bと絶縁膜606、絶縁膜605、ゲート絶縁膜602a、ゲート絶縁膜602bに形成されたコンタクトホールで接続されている。よってゲート配線層607と、ソース電極層又はドレイン電極層603b及び容量配線層604とはショートしない構造となっている。

【0165】

図31(A)は、液晶表示装置の上面図であり、図31(B)は、図31(A)における線X2-V2による断面図である。図31において、液晶表示装置の画素領域内には、基板620上にゲート電極層621a、ゲート電極層621b、ゲート絶縁膜622a、ゲート絶縁膜622b、容量配線層624、ソース電極層又はドレイン電極層623a、ソース電極層又はドレイン電極層623b、ゲート配線層627a、ゲート配線層627b、パッシベーション膜である絶縁膜625、絶縁膜626が形成されている。

10

【0166】

図31(B)で示すようにソース電極層又はドレイン電極層623bは、層間絶縁膜である絶縁膜626を介して、ゲート配線層627bと積層しており、ゲート配線層627bは、ゲート電極層621a、ゲート電極層621bと絶縁膜626、絶縁膜625、ゲート絶縁膜622a、ゲート絶縁膜622bに形成されたコンタクトホールで接続されている。よってゲート配線層627bと、ソース電極層又はドレイン電極層623b及び容量配線層624とはショートしない構造となっている。また、図31で示す液晶表示装置は、ゲート配線層とゲート電極層は連続的ではなく断続的に形成され、お互いにコンタクトホールを介して電氣的な接続を取りながら形成されている構造となっている。よって、ソース電極層又はドレイン電極層623b、容量配線層624が形成されている領域では、ゲート電極層621aとゲート電極層621bとは、絶縁膜626上に形成するゲート配線層627bとコンタクトホールにおいて接続することで電氣的に接続されている。

20

【0167】

図32(A)は、液晶表示装置の上面図であり、図32(B)は、図32(A)における線X3-V3による断面図である。図32において、液晶表示装置の画素領域内には、基板630上にゲート電極層631a、ゲート電極層631b、ゲート絶縁膜632a、ゲート絶縁膜632b、容量配線層634、ソース電極層又はドレイン電極層633a、ソース電極層又はドレイン電極層633b、ゲート配線層637a、ゲート配線層637b、配線層638a、配線層638b、パッシベーション膜である絶縁膜635、絶縁膜636が形成されている。

30

【0168】

図32(B)で示すようにソース電極層又はドレイン電極層633bは、層間絶縁膜である絶縁膜636を介して、ゲート配線層637bと積層している。図31で示す液晶表示装置において、ゲート電極層621aとゲート配線層627a及びゲート配線層627bとは直接接続している。しかし図33で示す液晶表示装置では、ゲート電極層631aと、ゲート配線層637a及びゲート配線層637bとは、ソース電極層と同材料、同工程で形成される配線層638aを介して電氣的に接続される。よって、ゲート電極層631aはゲート絶縁膜632a、ゲート絶縁膜632b上に形成される配線層638aとコンタクトホールで接続し、配線層638aは、ゲート配線層637a及びゲート配線層637bとコンタクトホールを介して接続する。よって、ゲート電極層631a、ゲート配線層637a、及びゲート配線層637bは電氣的に接続する。ソース電極層又はドレイン電極層633b、容量配線層634は層間絶縁膜である絶縁膜636を介してゲート配線層637bと積層されるので、ソース電極層又はドレイン電極層633b及び容量配線層634とゲート配線層637bとはショートしない構造となっている。

40

【0169】

図30、図31及び図32は層間絶縁膜として絶縁膜を、広範囲にわたって覆うように形成した場合を示した。図33、図34及び図35は配線層間を隔てる層間絶縁膜を、

50

フォトリソ工程を用いて必要な個所のみを選択的に形成する例を示す。

【0170】

図33は図30に、図34は図31に、図35は図32の液晶表示装置にそれぞれ対応しており、層間絶縁膜の構造が異なる構造となっている。図33(A)は、液晶表示装置の上面図であり、図33(B)は、図33(A)における線Y1-Z1による断面図である。図33において、ソース電極層又はドレイン電極層603b及び容量配線層604を覆うように絶縁膜650がフォトリソ工程を用いて形成されている。その絶縁膜650上を跨ぐようにゲート配線層607が形成されている。ゲート配線層607上には、パッシベーション膜として絶縁膜660が形成されている。絶縁膜660は必ずしも必要ではないが、形成することで信頼性を向上させることができる。また本実施の形態では、絶縁膜650単層で形成するが、絶縁膜650の上、または下に絶縁膜を形成して積層構造としてもよい。

10

【0171】

図34(A)は、液晶表示装置の上面図であり、図34(B)は、図34(A)における線Y2-Z2による断面図である。図34においても図33と同様に、ソース電極層又はドレイン電極層623b及び容量配線層624を覆うように絶縁膜651が、フォトリソ工程により形成されている。その絶縁膜651上を跨ぐようにゲート配線層627bが形成され、ゲート電極層621aとコンタクトホールにより接続されている。ゲート配線層627a上には、パッシベーション膜として絶縁膜661が形成されている。

【0172】

図35(A)は、液晶表示装置の上面図であり、図35(B)は、図35(A)における線Y3-Z3による断面図である。図35においても図33と同様に、ソース電極層又はドレイン電極層633b及び容量配線層634を覆うように絶縁膜652が、フォトリソ工程により形成されている。その絶縁膜652上を跨ぐようにゲート配線層637bが形成され、配線層638aを介してゲート配線層637a及びゲート電極層631aと電氣的に接続している。

20

【0173】

絶縁膜650、絶縁膜651、絶縁膜652のように配線層間のショートを防ぐための絶縁膜を、選択的に形成すると、直接配線間が接するように形成することができるので、絶縁膜にコンタクトホールを形成する工程が減る。よって、工程が簡略化し低いコスト、高い生産性を得ることができる。

30

【0174】

図40の液晶表示装置もソース電極層又はドレイン電極層643b及び容量配線層644と配線層647bを物理的に隔てるために設ける絶縁膜653をフォトリソ工程を用いて選択的に形成する例である。図33乃至図35における液晶表示装置では、絶縁膜上にゲート配線層を跨ぐように形成することで、ソース電極層又はドレイン電極層とゲート配線層とのショートを防いでいた。図40の液晶表示装置では、ゲート電極層641a、ゲート電極層641bを形成する工程で、配線層647a、配線層647bを形成する。その後ソース電極層又はドレイン電極層643a、容量配線層644を形成する前に、配線層647a、配線層647bを覆うゲート絶縁膜の一部をエッチングによって除去する。配線層647b上の一部に絶縁膜653をフォトリソ工程を用いて選択的に形成し、絶縁膜653上にソース電極層又はドレイン電極層643a、容量配線層644を形成する。ソース電極層又はドレイン電極層643b及び容量配線層644を形成するのと同工程で、配線層648a、配線層648bをゲート電極層641a、ゲート電極層641bとそれぞれ接するように形成する。配線層648aと配線層648bとは、絶縁膜653の下で配線層647bによって電氣的に接続されている。このように、絶縁膜653の下層でゲート配線層とゲート電極層を電氣的に接続することができる。

40

【0175】

以上の工程で示すように、信頼性の高い液晶表示装置を低コストで生産性よく作製することができる。

50

## 【0176】

(実施の形態11)

次に、実施の形態1乃至10によって作製される液晶表示パネルに駆動用のドライバ回路を実装する態様について説明する。

## 【0177】

まず、COG方式を採用した液晶表示装置について、図29(A)を用いて説明する。基板2700上には、文字や画像などの情報を表示する画素部2701が設けられる。複数の駆動回路が設けられた基板を、矩形状に分断し、分断後の駆動回路(以下ドライバICと表記)2751は、基板2700上に実装される。図29(A)は複数のドライバIC2751、該ドライバIC2751の先にFPC2750を実装する形態を示す。また、分割する大きさを画素部の信号線側の辺の長さとはほぼ同じにし、単数のドライバICに、該ドライバICの先にテープを実装してもよい。

10

## 【0178】

また、TAB方式を採用してもよく、その場合は、図29(B)で示すように複数のテープを貼り付けて、該テープにドライバICを実装すればよい。COG方式の場合と同様に、単数のテープに単数のドライバICを実装してもよく、この場合には、強度の問題から、ドライバICを固定する金属片等を一緒に貼り付けるとよい。

## 【0179】

これらの表示パネルに実装されるドライバICは、生産性を向上させる観点から、一辺が300mmから1000mm以上の矩形状の基板上に複数個作り込むとよい。

20

## 【0180】

つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバICの長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、長辺が15~80mm、短辺が1~6mmの矩形状に形成してもよいし、画素領域の一辺、又は画素部の一辺と各駆動回路の一辺とを足した長さに形成してもよい。

## 【0181】

ドライバICのICチップに対する外形寸法の優位性は長辺の長さであり、長辺が15~80mmで形成されたドライバICを用いると、画素部に対応して実装するのに必要な数がICチップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上にドライバICを形成すると、母体として用いる基板の形状に限定されないため生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。

30

## 【0182】

また、図28(B)のように走査線側の駆動回路3704は基板上に一体形成される場合、画素領域3701の外側の領域には、信号線側の駆動回路駆動回路が形成されたドライバICが実装される。これらのドライバICは、信号線側の駆動回路である。RGBフルカラーに対応した画素領域を形成するためには、XGAクラスで信号線の本数が3072本必要であり、UXGAクラスでは4800本が必要となる。このような本数で形成された信号線は、画素領域3701の端部で数ブロック毎に区分して引出線を形成し、ドライバICの出力端子のピッチに合わせて集められる。

40

## 【0183】

ドライバICは、基板上に形成された結晶質半導体により形成されることが好適であり、本発明を用いた薄膜トランジスタを用いることができる。また移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。

## 【0184】

画素領域は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。画素領域に配置されるトランジスタとしても、本発明を用いた薄膜トランジスタを適用することができる。本発明を適用して作製される薄膜トランジスタ

50

は、簡略化した工程で比較的高移動度が得られるため、大画面の液晶表示装置を作製する上で有効である。従って、この薄膜トランジスタを画素のスイッチング用素子や、走査線側の駆動回路を構成する素子として用いることができる。従って、システムオンパネル化を実現した表示パネルを作製することができる。

【0185】

図29(A)、(B)のように走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするるとよい。

【0186】

その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするのが好適である。例えば、走査線側のドライバICを構成するトランジスタには30V程度の耐圧が要求されるものの、駆動周波数は100kHz以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャンネル長(L)は十分大きく設定することが好適である。一方、信号線側のドライバICのトランジスタには、12V程度の耐圧があれば十分であるが、駆動周波数は3Vにて65MHz程度であり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャンネル長などはマイクロルールで設定することが好適である。なおチャンネル長方向とは、チャンネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。

【0187】

ドライバICの実装方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることができる。

【0188】

ドライバICの厚さは、対向基板と同じ厚さとすることで、両者の間の高さはほぼ同じものとなり、液晶表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製することにより、この液晶表示装置に温度変化が生じても熱応力が発生することなく、TFTで作製された回路の特性を損なうことはない。その他にも、本実施の形態で示すようにICチップよりも長尺のドライバICで駆動回路を実装することにより、1つの画素領域に対して、実装されるドライバICの個数を減らすことができる。

【0189】

以上のようにして、液晶表示パネルに駆動回路を組み入れることができる。

【0190】

(実施の形態12)

本実施の形態では、上記実施の形態において、ゲート電極層とソース電極層及びドレイン電極層との端部の位置関係、即ちゲート電極層の幅とチャンネル長の大きさの関係について、図26を用いて説明する。

【0191】

図26(A)は基板540上に形成された、ゲート電極層541、ゲート絶縁膜542a、ゲート絶縁膜542b、半導体層543、一導電性を有する半導体層544a、一導電性を有する半導体層544b、ソース電極層又はドレイン電極層545a、ソース電極層又はドレイン電極層545bからなる薄膜トランジスタである。なお、本実施の形態では、実施の形態1で示したように、ゲート絶縁膜を3層構造としている。

【0192】

図26(A)は、ゲート電極層541上をソース電極層及びドレイン電極層545a、ソース電極層及びドレイン電極層545bの端部がc1だけ重なっている。ここでは、ソース電極層及びドレイン電極層545a、ソース電極層及びドレイン電極層545bと重なっている領域をオーバーラップ領域と呼ぶ。即ち、ゲート電極層の幅b1がチャンネル長a1よりも大きい。オーバーラップ領域の幅c1は、 $(b1 - a1) / 2$ で表される。このようなオーバーラップ領域を有するnチャンネルTFTは、ソース電極層及びドレイン電極層と、半導体領域との間に、n+領域とn-領域とを有することが好ましい。この構造により、電界の緩和効果が大きくなり、ホットキャリア耐性を高めることが可能となる

10

20

30

40

50

。

## 【0193】

図26(B)は基板550上に形成された、ゲート電極層551、ゲート絶縁膜552a、ゲート絶縁膜552b、半導体層553、一導電性を有する半導体層554a、一導電性を有する半導体層554b、ソース電極層又はドレイン電極層555a、ソース電極層又はドレイン電極層555bからなる薄膜トランジスタである。

## 【0194】

図26(B)は、ゲート電極層551の端部と、ソース電極層及びドレイン電極層555a、ソース電極層及びドレイン電極層555bの端部が一致している。即ち、ゲート電極層の幅 $b_2$ とチャンネル長 $a_2$ とが等しい。

10

## 【0195】

図26(C)は基板560上に形成された、ゲート電極層561、ゲート絶縁膜562a、ゲート絶縁膜562b、半導体層563、一導電性を有する半導体層564a、一導電性を有する半導体層564b、ソース電極層又はドレイン電極層565a、ソース電極層又はドレイン電極層565bからなる薄膜トランジスタである。

## 【0196】

図26(C)は、ゲート電極層561とソース電極層及びドレイン電極層565a、ソース電極層及びドレイン電極層565aの端部とが $c_3$ だけ離れている。ここでは、ここでは、ゲート電極層561と、ソース電極層及びドレイン電極層565a、ソース電極層及びドレイン電極層565aとが離れている領域をオフセット領域と呼ぶ。即ち、ゲート電極層の幅 $b_3$ がチャンネル長 $a_3$ よりも小さい。オフセット領域の幅 $c_3$ は、 $(a_3 - b_3) / 2$ で表される。このような構造のTFTは、オフ電流を低減することができるため、該TFTを液晶表示装置のスイッチング素子として用いた場合、コントラストを向上させることができる。

20

## 【0197】

さらには、半導体領域が複数のゲート電極を覆ういわゆるマルチゲート構造のTFTとしても良い。この様な構造のTFTも、オフ電流を低減することができる。

## 【0198】

## (実施の形態13)

上記実施の形態において、チャンネル形成領域表面に対して垂直な端部を有するソース電極層及びドレイン電極層を示したが、この構造に限定されない。図25に示すように、チャンネル形成領域表面に対して90度より大きく、180度未満、好ましくは95~140度、さらに好ましくは135度~140度を有する端部であってもよい。また、ソース電極層とチャンネル形成領域表面との角度を $\theta_1$ 、ドレイン電極層とチャンネル形成領域表面との角度を $\theta_2$ とすると、 $\theta_1$ と $\theta_2$ が等しくてもよい。また、異なってもよい。このような形状のソース電極及びドレイン電極は、ドライエッチング法により形成することが可能である。

30

## 【0199】

## (実施の形態14)

本実施の形態では、上記実施の形態に適応可能な半導体膜の結晶化工程を図24を用いて説明する。図24(B)は、図24(A)の上面図である。また、図24(D)は、図24(C)の上面図である。

40

## 【0200】

図24において、基板500上に、ゲート電極層501、ゲート絶縁膜502a、ゲート絶縁膜502bが形成され、次に、金属膜を形成後、フォトリソ工程を用いて金属膜をパターニングして選択的に金属層503形成した後、非晶質半導体膜504が形成されている。非晶質半導体膜504上に不純物を含む半導体膜505を形成する(図24(A))。本実施例では、不純物を含む半導体膜505には、n型を付与する不純物元素(本実施の形態ではリンを用いる)が含まれている。なお、本実施の形態では、実施の形態1で示したように、ゲート絶縁膜を3層構造としている。

50

## 【 0 2 0 1 】

次に、加熱処理により、非晶質半導体膜 5 0 4 の結晶化とゲッターリングを同時に行なう。非晶質半導体膜を加熱すると、図 2 4 ( C ) 及び図 2 4 ( D ) の矢印で示すように、金属層 5 0 3 と半導体膜との接触部分から、基板の表面に平行な方向へ結晶成長が発生し、結晶性半導体膜 5 0 6 が形成する。また、不純物を含む半導体膜 5 0 5 は、金属元素を有した不純物を含む半導体膜 5 0 7 が形成される。なお、金属層 5 0 3 から、かなり離れた部分では結晶化は行われず、非晶質部分が残存する。

## 【 0 2 0 2 】

s

このように、基板に平行な方向への結晶成長を横成長またはラテラル成長と称する。横成長により大粒径の結晶粒を形成することができるため、より高い移動度を有する薄膜トランジスタを形成することができる。

10

## 【 0 2 0 3 】

(実施の形態 1 5 )

本発明の半導体装置に具備される保護回路の一例について説明する。

## 【 0 2 0 4 】

図 2 9 で示すように、外部回路と内部回路の間に保護回路 2 7 1 3 を形成することができる。保護回路は、TFT、ダイオード、抵抗素子及び容量素子等から選択された1つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、1つの入力端子に対応した保護回路の等価回路図の構成について、図 4 2 を用いて説明する。図 4 2 ( A ) に示す保護回路は、pチャネル型薄膜トランジスタ 7 2 2 0、7 2 3 0、容量素子 7 2 1 0、7 2 4 0、抵抗素子 7 2 5 0 を有する。抵抗素子 7 2 5 0 は2端子の抵抗であり、一端には入力電圧  $V_{in}$  (以下、 $V_{in}$  と表記) が、他端には低電位電圧  $V_{SS}$  (以下、 $V_{SS}$  と表記) が与えられる。

20

## 【 0 2 0 5 】

図 4 1 ( B ) に示す保護回路は、pチャネル型薄膜トランジスタ 7 2 2 0、7 2 3 0 を、整流性を有するダイオード 7 2 6 0、7 2 7 0 で代用した等価回路図である。図 4 1 ( C ) に示す保護回路は、pチャネル型薄膜トランジスタ 7 2 2 0、7 2 3 0 を、TFT 7 3 5 0、7 3 6 0、7 3 7 0、7 3 8 0 で代用した等価回路図である。また、上記とは別の構成の保護回路として、図 4 1 ( D ) に示す保護回路は、抵抗 7 2 8 0、7 2 9 0 と、nチャネル型薄膜トランジスタ 7 3 0 0 を有する。図 4 1 ( E ) に示す保護回路は、抵抗 7 2 8 0、7 2 9 0、pチャネル型薄膜トランジスタ 7 3 1 0 及びnチャネル型薄膜トランジスタ 7 3 2 0 を有する。保護回路を設けることで電位の急激な変動を防いで、素子の破壊又は損傷を防ぐことができ、信頼性が向上する。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体により構成することが好ましい。本実施の形態は、上記の実施の形態と自由に組み合わせることが可能である。

30

## 【 0 2 0 6 】

(実施の形態 1 6 )

上記実施の形態により作製される液晶表示パネルによって、液晶テレビジョン装置を完成させることができる。液晶表示パネルには、図 2 8 ( A ) で示すような構成として画素部のみが形成されて走査線側駆動回路と信号線側駆動回路とが、図 3 0 ( B ) のようなTAB方式により実装される場合と、図 2 9 ( A ) のようなCOG方式により実装される場合と、図 2 8 ( B ) に示すようにSASでTFTを形成し、画素部と走査線側駆動回路を基板上に一体形成し信号線側駆動回路を別途ドライバICとして実装する場合、また図 2 8 ( C ) のように画素部と信号線側駆動回路と走査線側駆動回路を基板上に一体形成する場合などがあるが、どのような形態としても良い。

40

## 【 0 2 0 7 】

その他の外部回路の構成として、映像信号の入力側では、チューナで受信した信号のうち、映像信号を増幅する映像信号増幅回路と、そこから出力される信号を赤、緑、青の各

50

色に対応した色信号に変換する映像信号処理回路と、その映像信号をドライバICの入力仕様に換するためのコントロール回路などからなっている。コントロール回路は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

#### 【0208】

チューナで受信した信号のうち、音声信号は、音声信号増幅回路に送られ、その出力は音声信号処理回路を経てスピーカに供給される。制御回路は受信局(受信周波数)や音量の制御情報を入力部から受け、チューナや音声信号処理回路に信号を送出する。

#### 【0209】

図23は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間に画素部2603と液晶層2604が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、2607、レンズフィルム2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、MVA(Multi-domain Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCBモードなどを用いることができる。

#### 【0210】

また、本発明で作製する液晶表示装置は高速応答が可能なOCBモードを用いることでより高性能化することができる。図44は図23の液晶表示モジュールにOCBモードを適用した一例であり、FS-LCD(Field sequential-LCD)となっている。FS-LCDは、1フレーム期間に赤色発光と緑発光と青発光をそれぞれ行うものであり、各発光を発光ダイオード等で行うので、カラーフィルターが不要である。よって、3原色のカラーフィルターを並べる必要がないため同じ面積で9倍の画素を表示できる。一方、1フレーム期間に3色の発光を行うため、液晶の高速な応答が求められる。

#### 【0211】

本発明の液晶表示装置の有する薄膜トランジスタは高速作動することができるため、OCBモードを用いることができる。OCBモードの液晶層は、いわゆるセル構造を有している。セル構造とは、液晶分子のプレチルト角がアクティブマトリクス基板と対向基板との基板間の中心面に対して面对称の関係で配向された構造である。セル構造の配向状態は、基板間に電圧が印加されていない時はスプレイ配向となり、電圧を印加するとベンド配向に移行する。さらに電圧を印加するとベンド配向の液晶分子が両基板と垂直に配向し、光が透過する状態となる。なお、OCBモードにすると、従来のTNモードより約10倍速い高速応答性を実現できる。

#### 【0212】

よって、本発明の液晶表示装置に、FS方式、及びOCBモードを適用することができる、一層高性能で高画質な液晶表示装置、また液晶テレビジョンを完成させることができる。また、FS方式に対応するモードとして、強誘電性液晶(FLC: Ferroelectric Liquid Crystal)を用いたHV-FLC、SS-FLCなども用いることができる。代表的にはOCBモードは粘度の比較的低いネマチック液晶が用いられ、HV-FLC、SS-FLCには、スメクチック液晶が用いられるが、液晶材料としては、FLC、ネマチック液晶、スメクチック液晶などの材料を用いることができる。図44の液晶表示モジュールは透過型の液晶表示モジュールを示しており、光源として赤色光源2910a、緑色光源2910b、青色光源2910cが設けられている。光源は赤色光源2910a、緑色光源2910b、青色光源2910cをそれぞれオンオフを制御

10

20

30

40

50

するために、制御部 2912 が設置されている。制御部 2912 によって、各色の発光は制御され、液晶に光は入射し、時間分割を用いて画像を合成し、カラー表示が行われる。

【0213】

また、液晶表示モジュールの高速光学応答速度は、液晶表示モジュールのセルギャップを狭くすることで高速化する。また液晶材料の粘度を下げることでも高速化できる。上記高速化は、TNモードの液晶表示モジュールの画素領域の画素、またはドットピッチが 30 μm 以下の場合に、より効果的である。

【0214】

これらの液晶表示モジュールを、図 36 (A) に示すように、筐体 2001 に組みこんで、液晶テレビジョン装置を完成させることができる。液晶表示モジュールにより主画面 2003 が形成され、その他付属設備としてスピーカ部 2009、操作スイッチなどが備えられている。このように、本発明により液晶テレビジョン装置を完成させることができる。

10

【0215】

筐体 2001 に液晶素子を利用した表示用パネル 2002 が組みこまれ、受信機 2005 により一般のテレビ放送の受信をはじめ、モデム 2004 を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。液晶テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン装置 2006 により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部 2007 が設けられていても良い。

20

【0216】

また、液晶テレビジョン装置にも、主画面 2003 の他にサブ画面 2008 を第 2 の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。主画面 2003 及びサブ画面 2008 を主画面 2003 とサブ画面を低消費電力で表示可能な液晶表示用パネルで形成しても良い。本発明を用いると、このような大型基板を用いて、多くの TFT や電子部品を用いても、信頼性の高い液晶表示装置とすることができる。

【0217】

図 36 (B) は例えば 20 ~ 80 インチの大型の表示部を有するテレビジョン装置であり、筐体 2010、表示部 2011、操作部であるリモコン装置 2012、スピーカ部 2013 等を含む。本発明は、表示部 2011 の作製に適用される。図 36 (B) のテレビジョン装置は、壁かけ型となっており、設置するスペースを広く必要としない。

30

【0218】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【0219】

(実施の形態 17)

本発明を適用して、様々な液晶表示装置を作製することができる。即ち、それら液晶表示装置を表示部に組み込んだ様々な電子機器に本発明を適用できる。

40

【0220】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの例を図 27 に示す。

【0221】

図 27 (A) は、ノート型パーソナルコンピュータであり、本体 2101、筐体 2102、表示部 2103、キーボード 2104、外部接続ポート 2105、ポインティングマ

50

ウス 2106 等を含む。本発明は、表示部 2103 の作製に適用される。本発明を用いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

#### 【0222】

図 27 (B) は記録媒体を備えた画像再生装置 (具体的には DVD 再生装置) であり、本体 2201、筐体 2202、表示部 A 2203、表示部 B 2204、記録媒体 (DVD 等) 読み込み部 2205、操作キー 2206、スピーカー部 2207 等を含む。表示部 A 2203 は主として画像情報を表示し、表示部 B 2204 は主として文字情報を表示するが、本発明は、これら表示部 A、B 2203、2204 の作製に適用される。本発明を用いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

10

#### 【0223】

図 27 (C) は携帯電話であり、本体 2301、音声出力部 2302、音声入力部 2303、表示部 2304、操作スイッチ 2305、アンテナ 2306 等を含む。本発明により作製される液晶表示装置を表示部 2304 に適用することで、小型化し、配線等が精密化する携帯電話であっても、信頼性の高い高画質な画像を表示できる。

#### 【0224】

図 27 (D) はビデオカメラであり、本体 2401、表示部 2402、筐体 2403、外部接続ポート 2404、リモコン受信部 2405、受像部 2406、バッテリー 2407、音声入力部 2408、操作キー 2409 等を含む。本発明は、表示部 2402 に適用することができる。本発明により作製される液晶表示装置を表示部 2304 に適用することで、小型化し、配線等が精密化するビデオカメラであっても、信頼性の高い高画質な画像を表示できる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

20

#### 【0225】

(実施の形態 18)

本発明により無線チップ (無線プロセッサ、無線メモリ、無線タグともよぶ) として機能する半導体装置を形成することができる。無線チップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類 (運転免許証や住民票等、図 45 (A) 参照)、包装用容器類 (包装紙やボトル等、図 45 (C) 参照)、記録媒体 (DVD ソフトやビデオテープ等、図 45 (B) 参照)、乗物類 (自転車等、図 45 (D) 参照)、身の回り品 (鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札 (図 45 (E)、図 45 (F) 参照) 等の物品に設けて使用することができる。電子機器とは、液晶表示装置、EL 表示装置、テレビジョン装置 (単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ) 及び携帯電話等を指す。

30

#### 【0226】

無線チップは、物品の表面に貼ったり、物品に埋め込んだりして、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。紙幣、硬貨、有価証券類、無記名債券類、証券類等に無線チップを設けることにより、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に無線チップを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。本発明より形成することが可能な無線チップは、基板上に形成した薄膜集積回路を、公知の剥離工程により剥離した後、カバー材に設けるため、小型、薄型、軽量であり、物品に実装しても、デザイン性を損なうことがない。更には、可とう性を有するため、瓶やパイプなど曲面を有するものにも用いることが可能である。

40

#### 【0227】

また、本発明より形成することが可能な無線チップを、物の管理や流通のシステムに応用することで、システムの高機能化を図ることができる。例えば、荷札に設けられる無線チップに記録された情報を、ベルトコンベアの脇に設けられたリーダライタで読み取るこ

50

とで、流通過程及び配達先等の情報が読み出され、商品の検品や荷物の分配を簡単に行うことができる。

【0228】

本発明より形成することが可能な無線チップの構造について図46を用いて説明する。無線チップは、薄膜集積回路9303及びそれに接続されるアンテナ9304とで形成される。また、薄膜集積回路及びアンテナは、カバー材9301、9302により挟持される。薄膜集積回路9303は、接着剤を用いてカバー材に接着してもよい。図46においては、薄膜集積回路9303の一方が、接着剤9320を介してカバー材9301に接着されている。

【0229】

薄膜集積回路9303は、実施形態1～14のいずれかで示されるTF Tを用いて形成した後、公知の剥離工程により剥離してカバー材に設ける。また、薄膜集積回路9303に用いられる半導体素子はこれに限定されない。例えば、TF Tの他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどを用いることができる。

【0230】

図46で示すように、薄膜集積回路9303のTF T上には層間絶縁膜9311が形成され、層間絶縁膜9311を介してTF Tに接続するアンテナ9304が形成される。また、層間絶縁膜9311及びアンテナ9304上には、窒化珪素膜等からなるバリア膜9312が形成されている。

【0231】

アンテナ9304は、金、銀、銅等の導電体を有する液滴を液滴吐出法により吐出し、乾燥焼成して形成する。液滴吐出法によりアンテナを形成することで、工程数の削減が可能であり、それに伴うコスト削減が可能である。

【0232】

カバー材9301、9302は、ラミネートフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる）、繊維質な材料からなる紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）と、接着性合成樹脂フィルム（アクリル系合成樹脂、エポキシ系合成樹脂等）との積層フィルムなどを用いることが好ましい。ラミネートフィルムは、熱圧着により、被処理体とラミネート処理が行われるものであり、ラミネート処理を行う際には、ラミネートフィルムの最表面に設けられた接着層か、又は最外層に設けられた層（接着層ではない）を加熱処理によって溶かし、加圧により接着する。

【0233】

また、カバー材に紙、繊維、カーボングラファイト等の焼却無公害素材を用いることにより、使用済み無線チップの焼却、又は裁断することが可能である。また、これらの材料を用いた無線チップは、焼却しても有毒ガスを発生しないため、無公害である。

【0234】

なお、図46では、接着剤9320を介してカバー材9301に無線チップを設けているが、該カバー材9301の代わりに、物品に無線チップを貼付けて、使用しても良い。

【図面の簡単な説明】

【0235】

【図1】本発明の液晶表示装置を説明する図。

【図2】本発明の液晶表示装置の作製方法を説明する図。

【図3】本発明の液晶表示装置の作製方法を説明する図。

【図4】本発明の液晶表示装置の作製方法を説明する図。

【図5】本発明の液晶表示装置の作製方法を説明する図。

【図6】本発明の液晶表示装置の作製方法を説明する図。

【図7】本発明の液晶表示装置の作製方法を説明する図。

【図8】本発明の液晶表示装置の作製方法を説明する図。

10

20

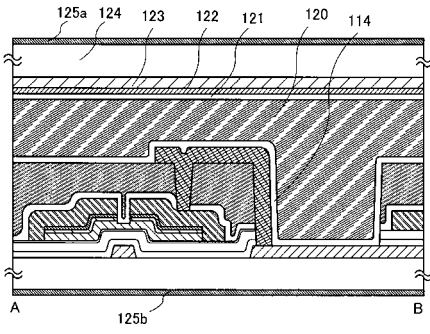
30

40

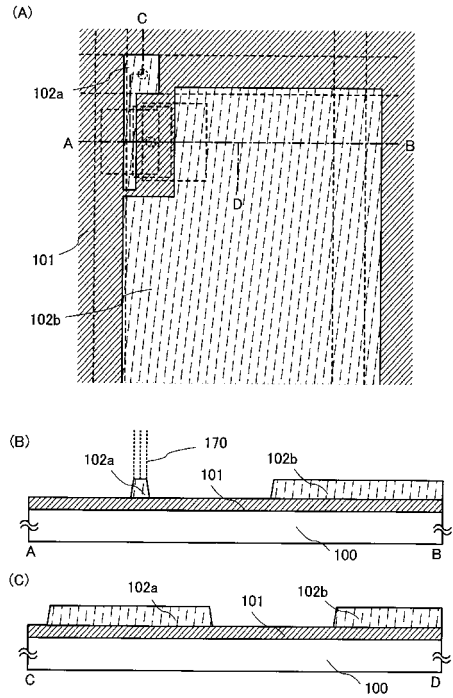
50

- 【図 9】本発明の液晶表示装置の作製方法を説明する図。
- 【図 10】本発明の液晶表示装置の作製方法を説明する図。
- 【図 11】本発明の液晶表示装置の作製方法を説明する図。
- 【図 12】本発明の液晶表示装置の作製方法を説明する図。
- 【図 13】本発明の液晶表示装置の作製方法を説明する図。
- 【図 14】本発明の液晶表示装置の作製方法を説明する図。
- 【図 15】本発明の液晶表示装置の作製方法を説明する図。
- 【図 16】本発明の液晶表示装置の作製方法を説明する図。
- 【図 17】本発明の液晶表示装置の作製方法を説明する図。
- 【図 18】本発明の液晶表示装置の作製方法を説明する図。 10
- 【図 19】本発明の液晶表示装置の作製方法を説明する図。
- 【図 20】本発明の液晶表示装置の作製方法を説明する図。
- 【図 21】本発明の液晶表示装置の作製方法を説明する図。
- 【図 22】本発明に適用することのできる液晶滴下方法を説明する図。
- 【図 23】本発明の液晶表示モジュールの構成を説明する図。
- 【図 24】本発明の液晶表示装置の説明する図。
- 【図 25】本発明の液晶表示装置の説明する図。
- 【図 26】本発明の液晶表示装置の説明する図。
- 【図 27】本発明が適用される電子機器を示す図。
- 【図 28】本発明の液晶表示パネルを説明する上面図。 20
- 【図 29】本発明の液晶表示パネルを説明する上面図。
- 【図 30】本発明の液晶表示装置の説明する図。
- 【図 31】本発明の液晶表示装置の説明する図。
- 【図 32】本発明の液晶表示装置の説明する図。
- 【図 33】本発明の液晶表示装置の説明する図。
- 【図 34】本発明の液晶表示装置の説明する図。
- 【図 35】本発明の液晶表示装置の説明する図。
- 【図 36】本発明が適用される電子機器を示す図。
- 【図 37】本発明の液晶表示装置の説明する図。
- 【図 38】本発明の液晶表示装置の説明する図。 30
- 【図 39】本発明の液晶表示装置の説明する図。
- 【図 40】本発明の液晶表示装置の説明する図。
- 【図 41】本発明が適用される保護回路を示す図。
- 【図 42】本発明の液晶表示パネルを説明する図。
- 【図 43】本発明の液晶表示装置の説明する図。
- 【図 44】本発明の液晶表示モジュールの構成を説明する図。
- 【図 45】本発明が適用される半導体装置を示す図。
- 【図 46】本発明が適用される半導体装置を示す図。

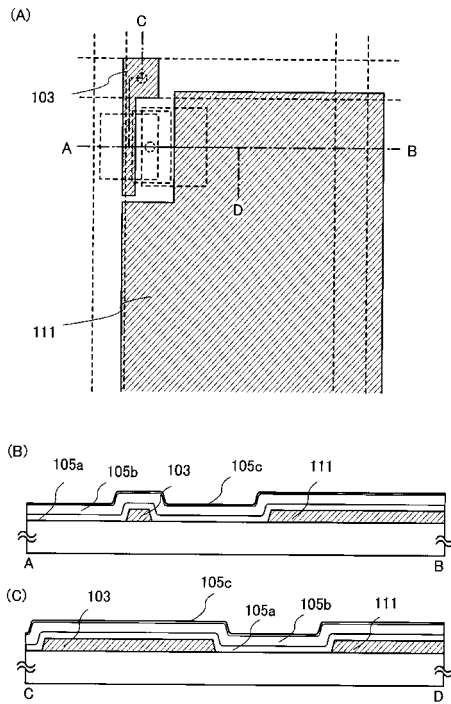
【 図 1 】



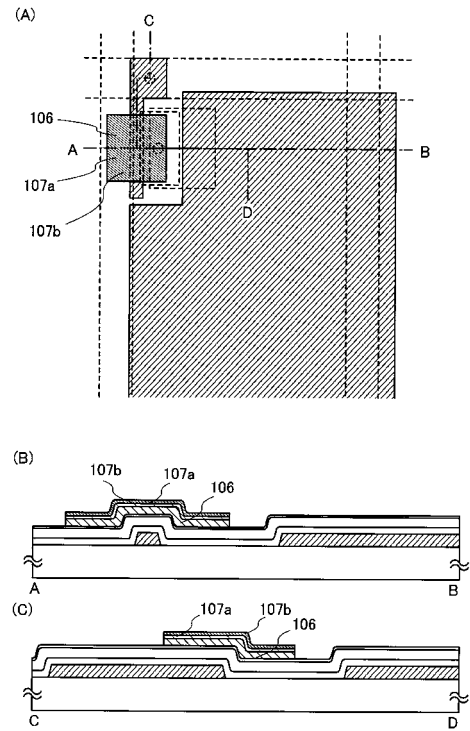
【 図 2 】



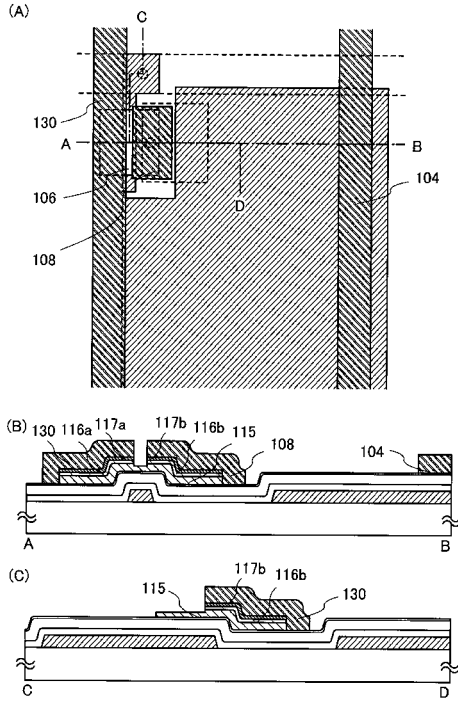
【 図 3 】



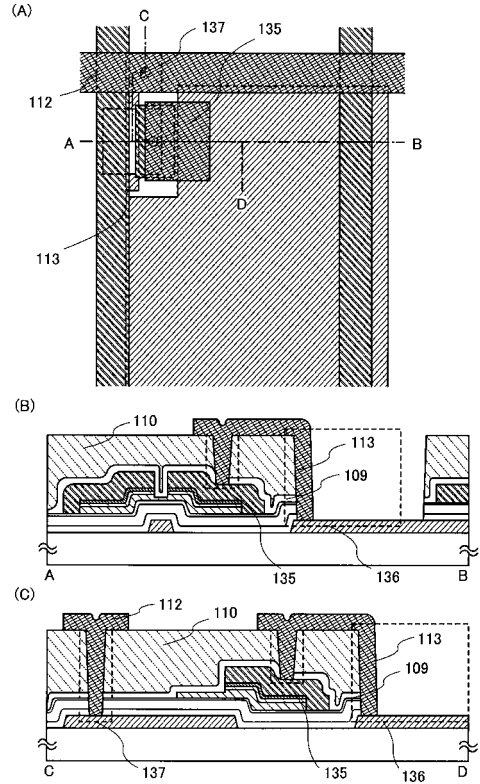
【 図 4 】



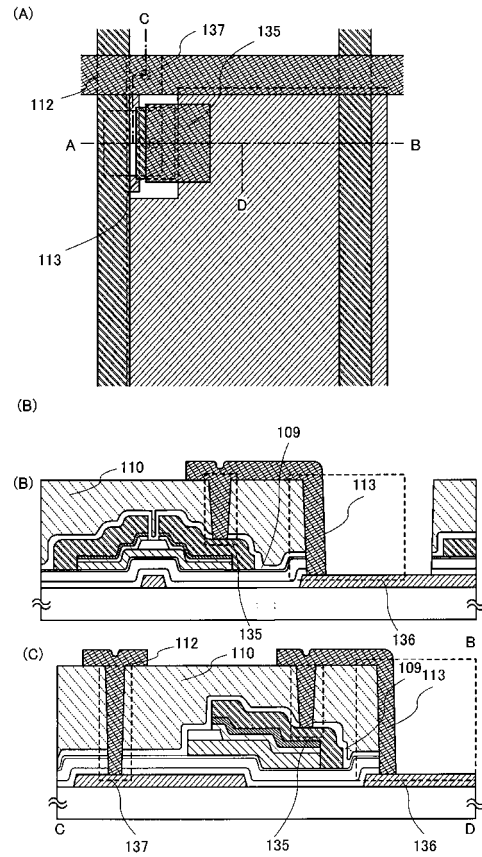
【 図 5 】



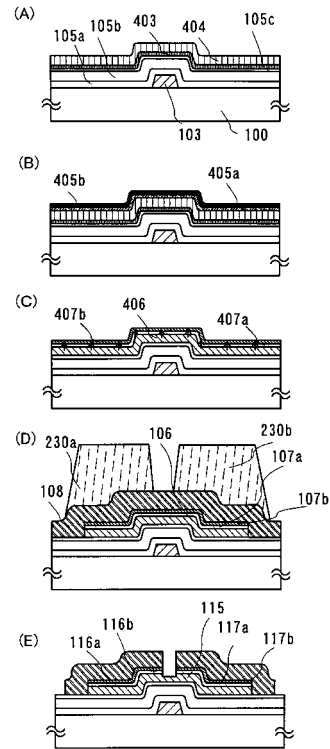
【 図 6 】



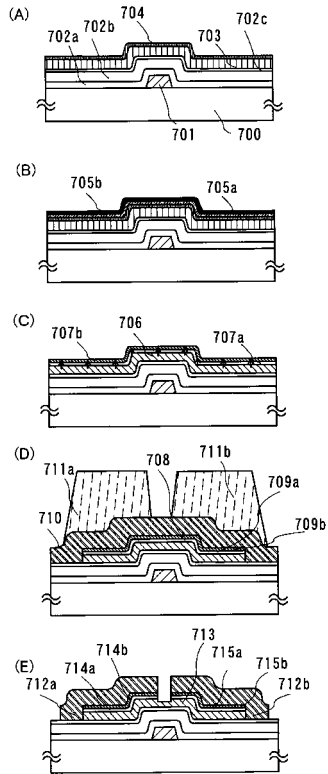
【 図 7 】



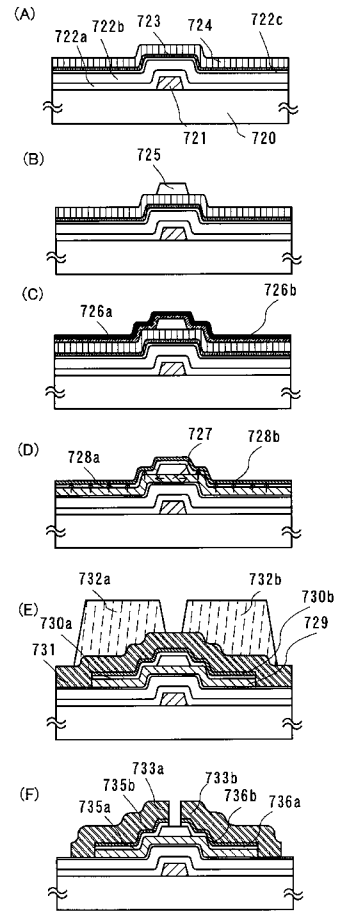
【 図 8 】



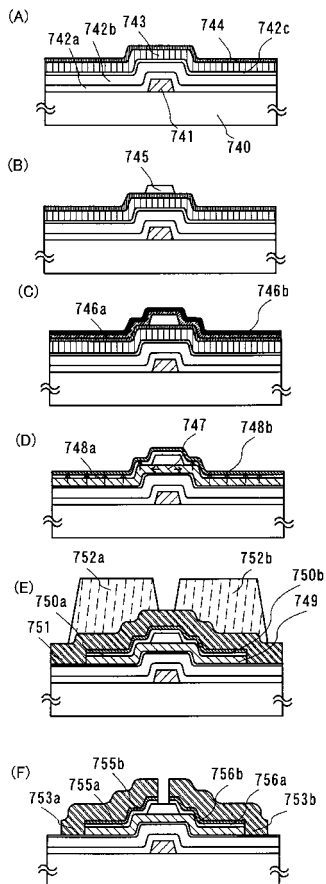
【 図 9 】



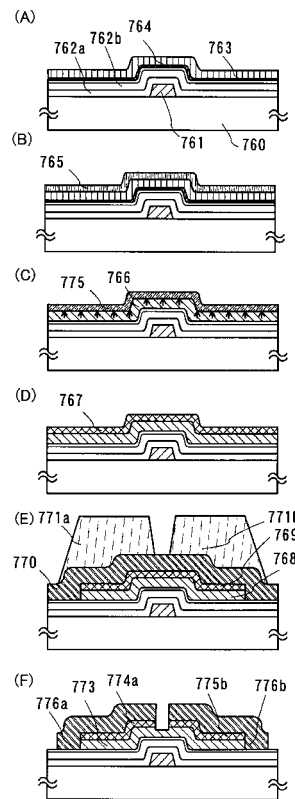
【 図 10 】



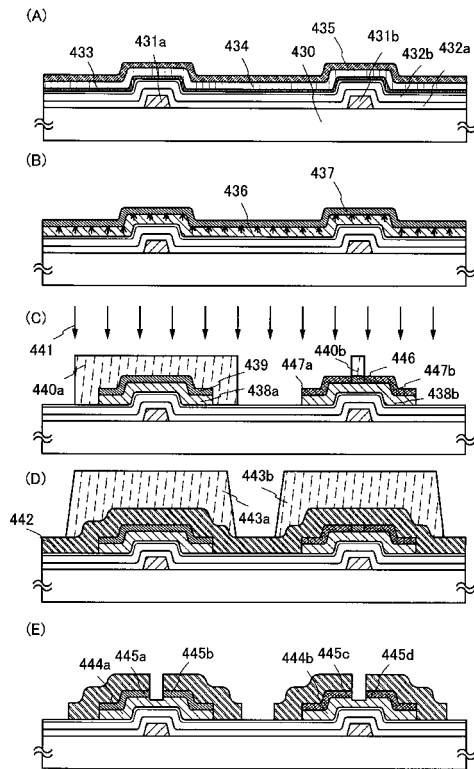
【 図 11 】



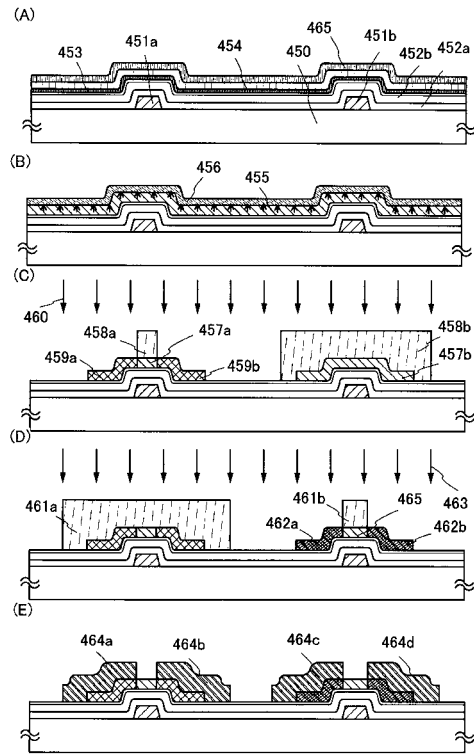
【 図 12 】



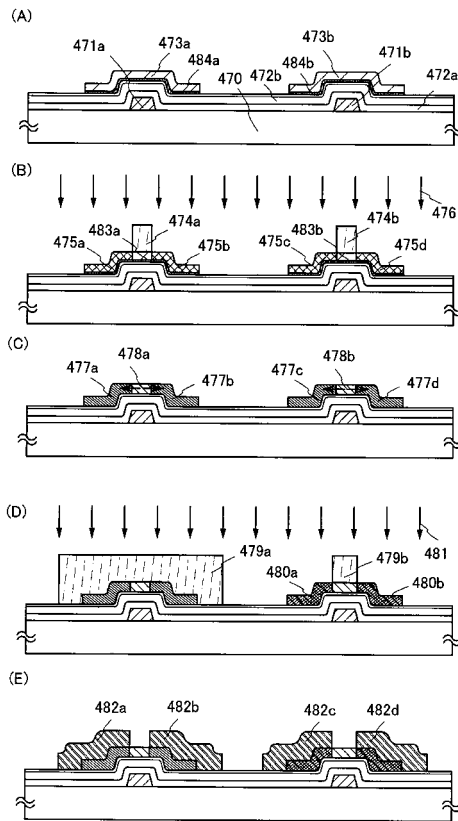
【図13】



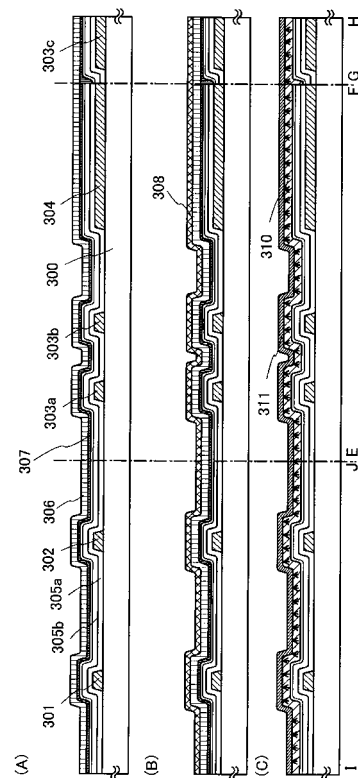
【図14】



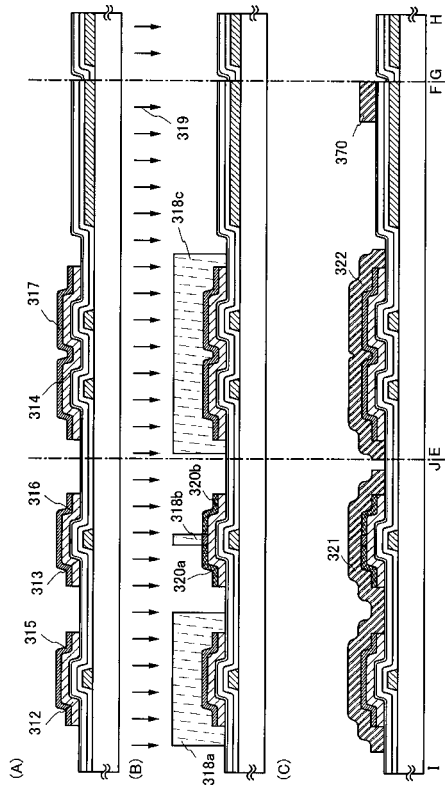
【図15】



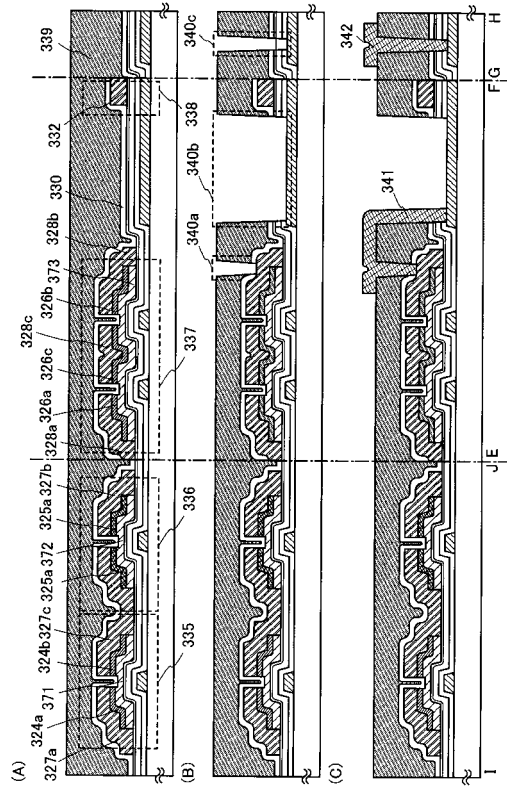
【図16】



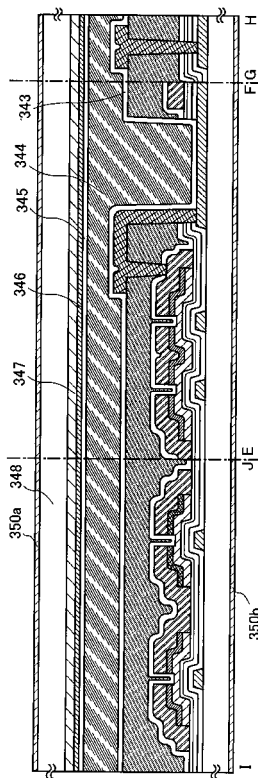
【 図 17 】



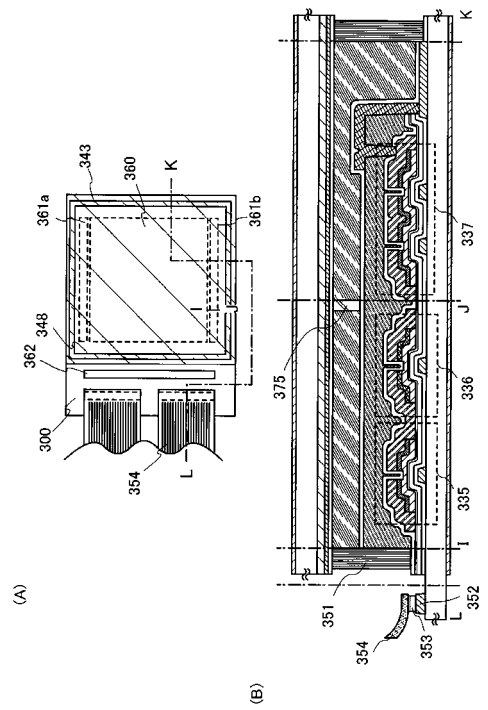
【 図 18 】



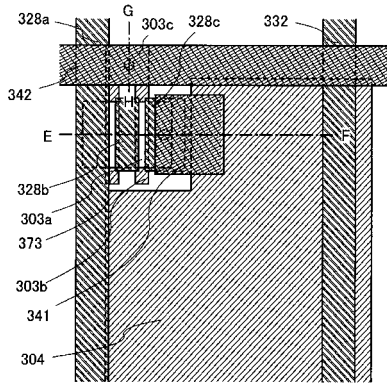
【 図 19 】



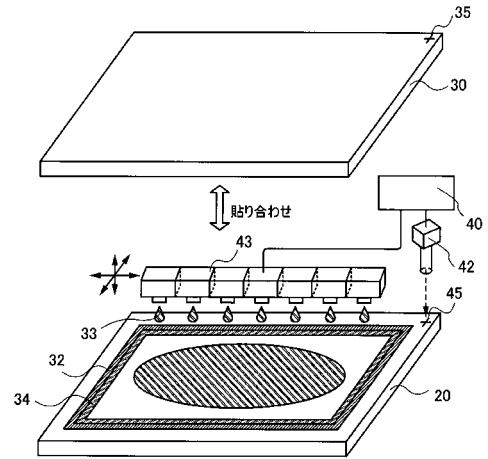
【 図 20 】



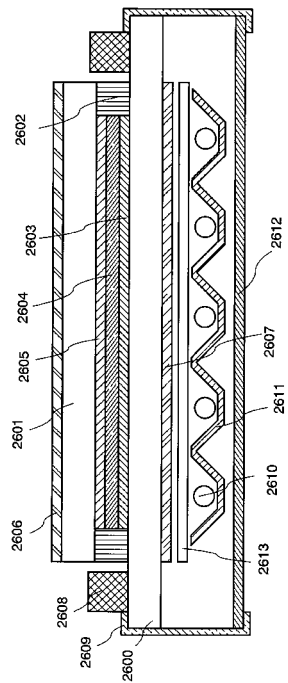
【図 2 1】



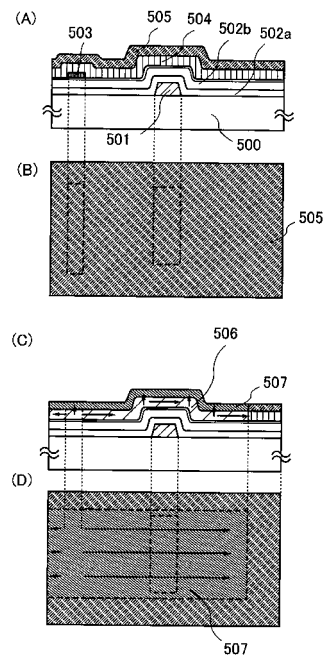
【図 2 2】



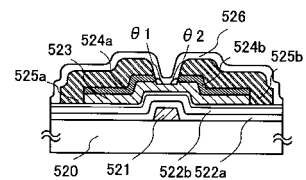
【図 2 3】



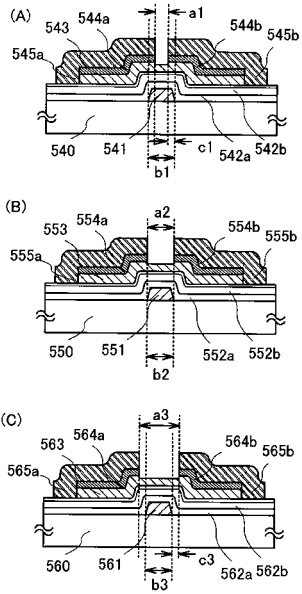
【図 2 4】



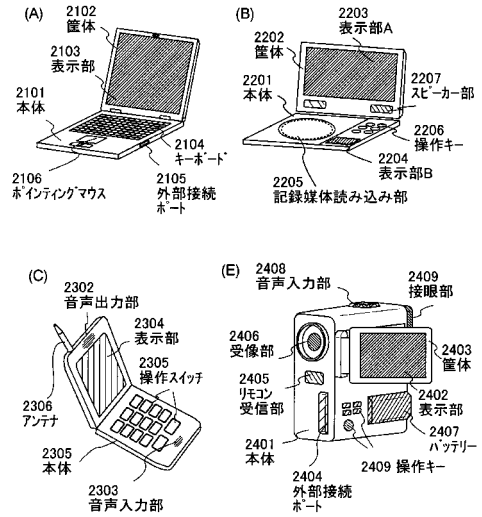
【図 2 5】



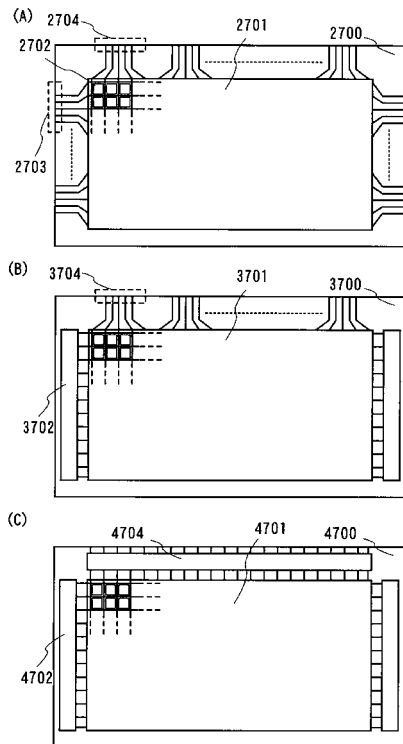
【図26】



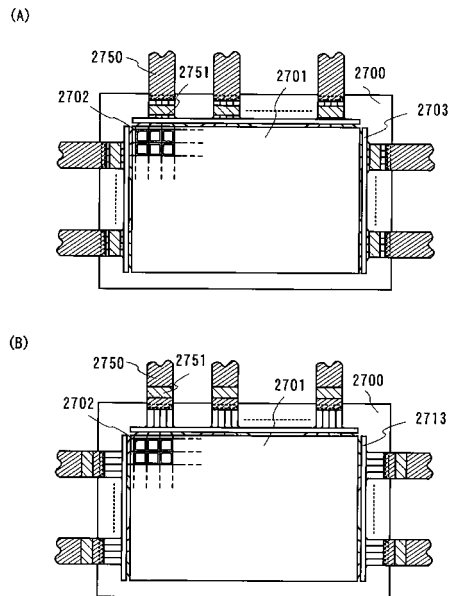
【図27】



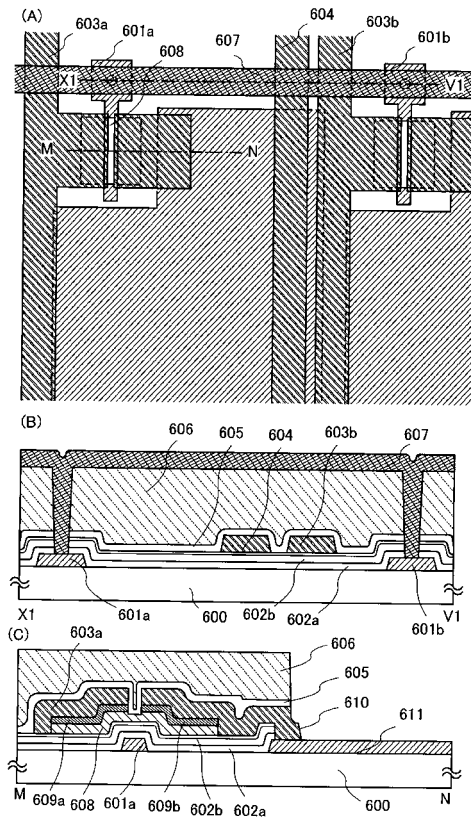
【図28】



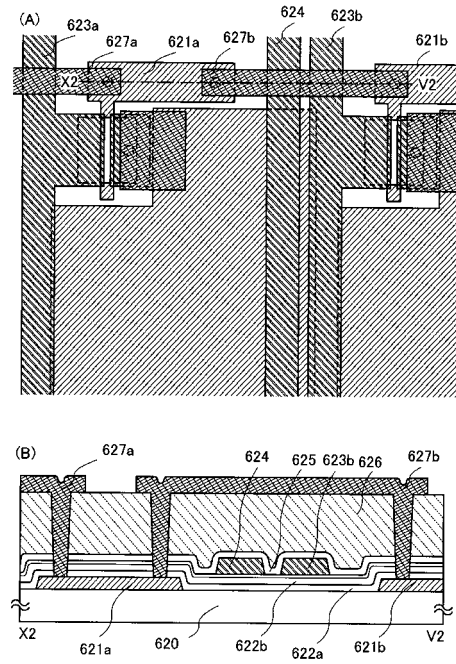
【図29】



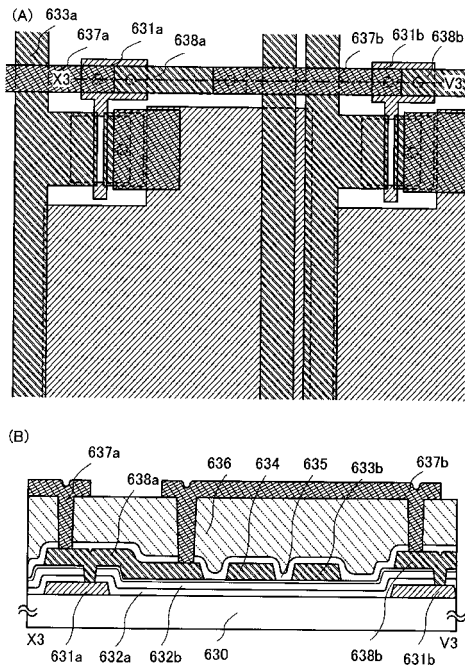
【図30】



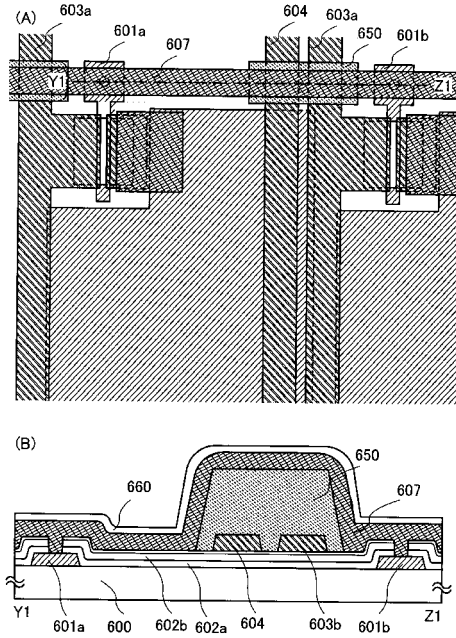
【図31】



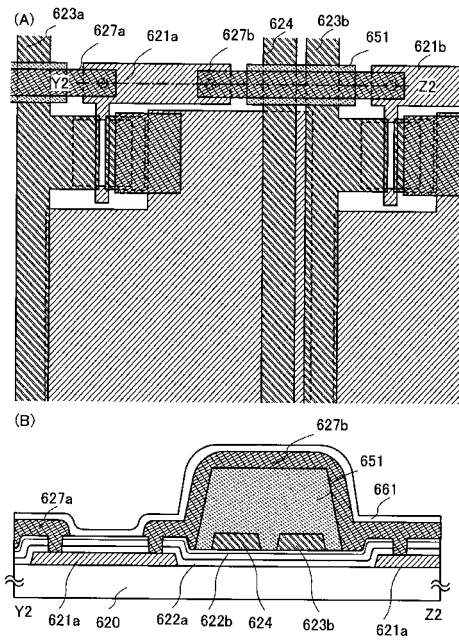
【図32】



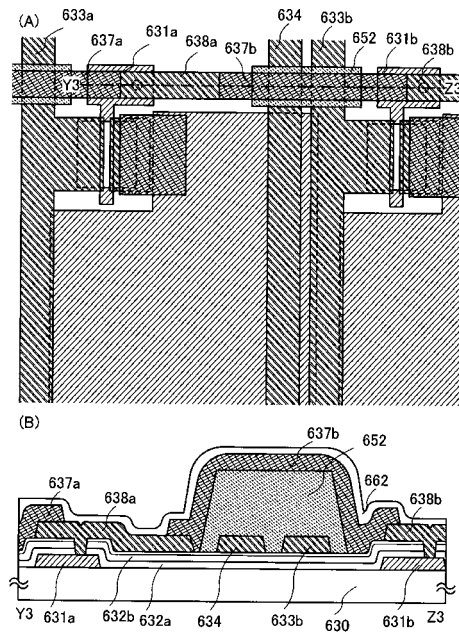
【図33】



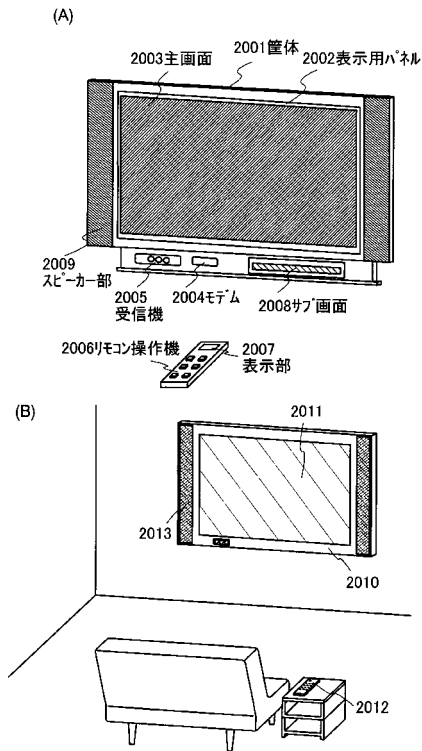
【図34】



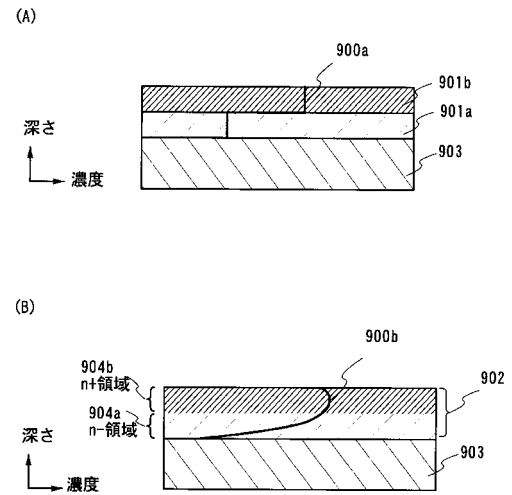
【図35】



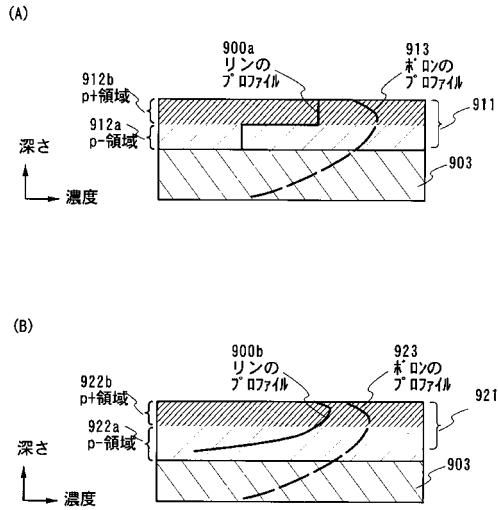
【図36】



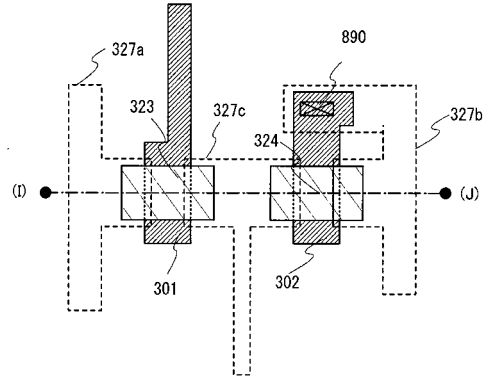
【図37】



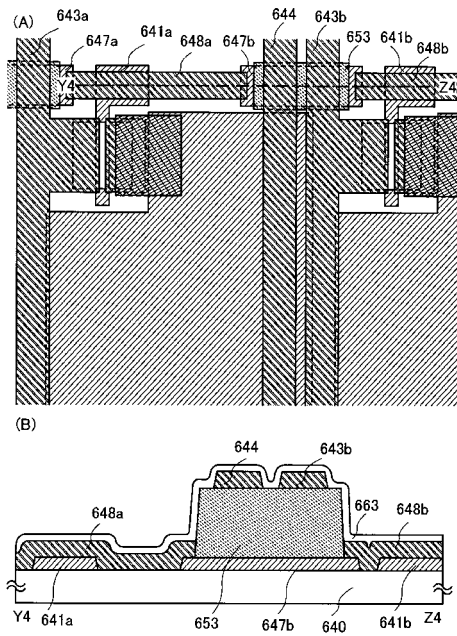
【図38】



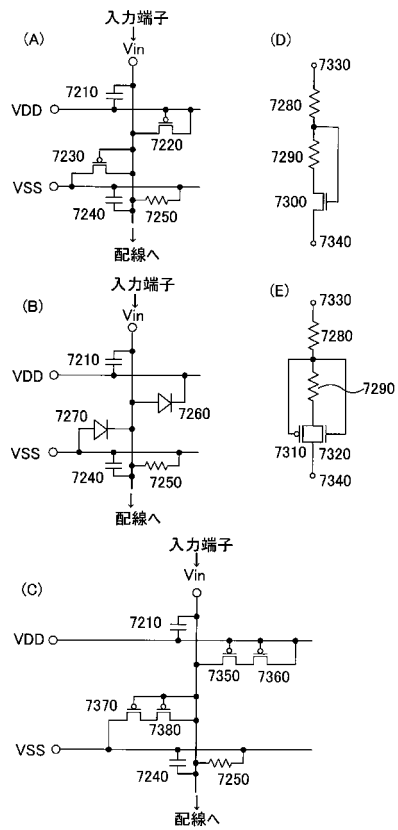
【図39】



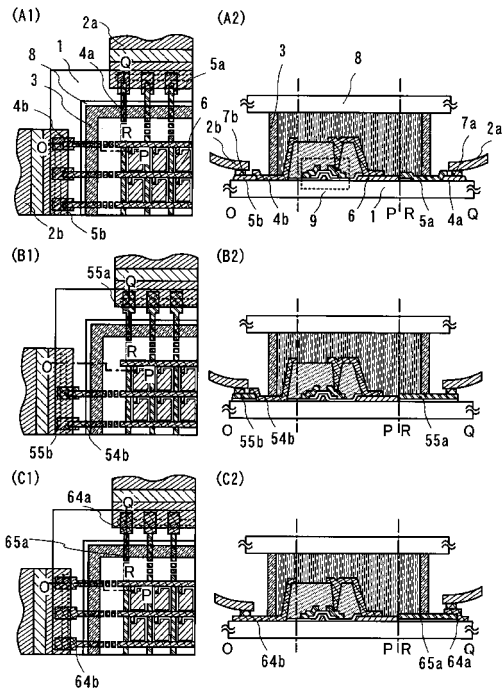
【図40】



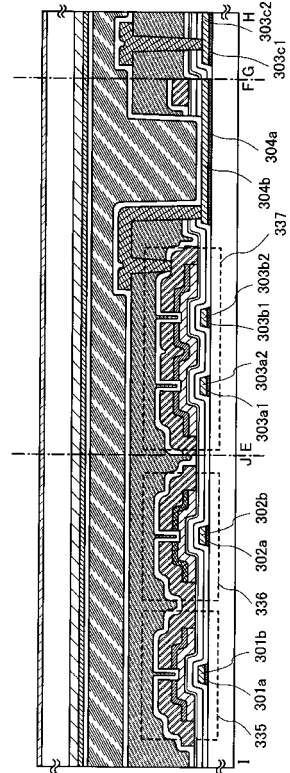
【図41】



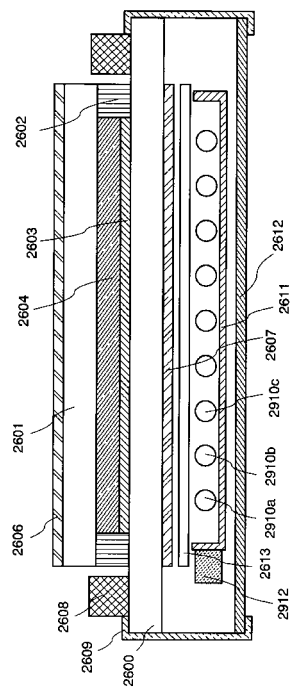
【 4 2 】



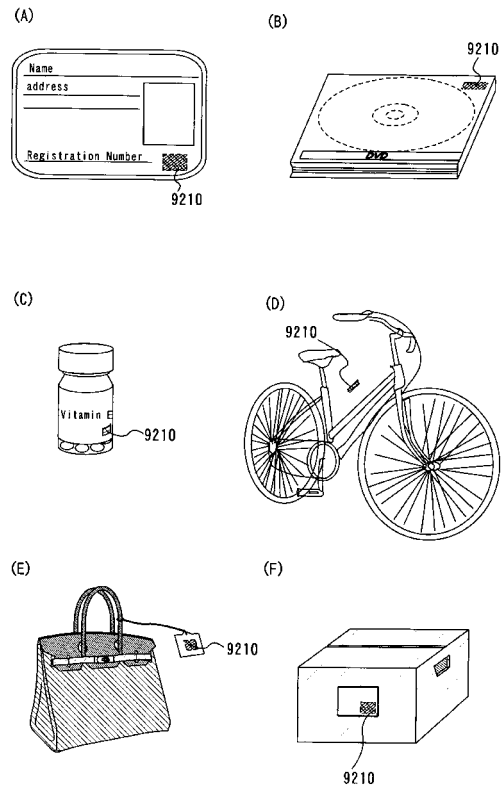
【 4 3 】



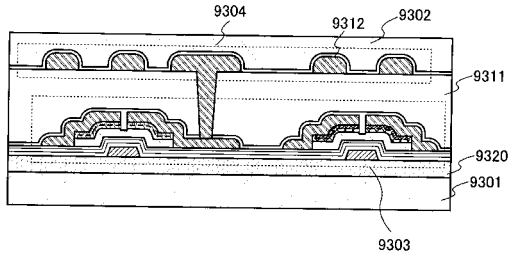
【 4 4 】



【 4 5 】



【図46】



## フロントページの続き

(51) Int.Cl. F I  
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 2 C  
H 0 1 L 21/336 (2006.01) H 0 1 L 29/78 6 1 7 U  
H 0 1 L 29/78 6 1 7 M  
H 0 1 L 29/78 6 2 7 G  
H 0 1 L 29/78 6 1 3 A

(56) 参考文献 特開平 9 - 3 6 3 7 3 ( J P , A )  
特開平 8 - 1 2 5 1 9 4 ( J P , A )  
特開 2 0 0 0 - 5 8 8 3 9 ( J P , A )

(58) 調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8  
G 0 9 F 9 / 3 0  
G 0 9 F 9 / 3 5  
H 0 1 L 2 1 / 2 0  
H 0 1 L 2 1 / 3 2 2  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 7 8 6

专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	<a href="#">JP4610285B2</a>	公开(公告)日	2011-01-12
申请号	JP2004289021	申请日	2004-09-30
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 城口裕子		
发明人	山崎 舜平 城口 裕子		
IPC分类号	G02F1/1368 G09F9/30 G09F9/35 H01L21/20 H01L21/322 H01L29/786 H01L21/336		
FI分类号	G02F1/1368 G09F9/30.338 G09F9/35 H01L21/20 H01L21/322.G H01L29/78.612.C H01L29/78.617.U H01L29/78.617.M H01L29/78.627.G H01L29/78.613.A G02F1/13.505		
F-TERM分类号	2H088/EA02 2H088/HA02 2H088/HA04 2H088/HA06 2H088/HA08 2H088/MA02 2H088/MA10 2H088/MA16 2H092/GA11 2H092/HA02 2H092/JA24 2H092/JA26 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB11 2H092/JB22 2H092/JB31 2H092/MA05 2H092/MA07 2H092/MA08 2H092/MA10 2H092/MA13 2H092/MA14 2H092/MA16 2H092/MA17 2H092/MA29 2H092/PA06 2H092/RA10 2H192/AA24 2H192/BC44 2H192/CB05 2H192/CB13 2H192/CB32 2H192/CB52 2H192/CB61 2H192/CB71 2H192/CB83 2H192/CC07 2H192/DA15 2H192/EA22 2H192/EA43 2H192/EA72 2H192/FA73 2H192/FB02 2H192/FB22 2H192/GA31 2H192/GA42 2H192/HA82 2H192/HA93 2H192/JA17 5C094/AA03 5C094/AA05 5C094/AA13 5C094/AA43 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA05 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GB10 5C094/HA08 5C094/JA08 5F052/AA24 5F052/DA01 5F052/DA02 5F052/DA03 5F052/DB02 5F052/DB03 5F052/DB07 5F052/EA12 5F052/EA15 5F052/EA16 5F052/FA06 5F052/JA02 5F052/JA04 5F110/AA03 5F110/AA16 5F110/BB01 5F110/BB04 5F110/CC07 5F110/CC08 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD13 5F110/DD14 5F110/EE01 5F110/EE02 5F110/EE04 5F110/EE07 5F110/EE14 5F110/EE28 5F110/EE34 5F110/EE42 5F110/EE43 5F110/EE44 5F110/EE45 5F110/EE48 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF10 5F110/FF29 5F110/GG02 5F110/GG13 5F110/GG24 5F110/GG25 5F110/GG32 5F110/GG33 5F110/GG34 5F110/GG43 5F110/GG45 5F110/GG47 5F110/GG52 5F110/HJ01 5F110/HJ04 5F110/HJ06 5F110/HJ12 5F110/HJ13 5F110/HJ23 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK07 5F110/HK09 5F110/HK21 5F110/HK32 5F110/HK33 5F110/HK34 5F110/HK35 5F110/HM15 5F110/NN01 5F110/NN03 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN34 5F110/NN35 5F110/NN72 5F110/NN73 5F110/PP02 5F110/PP34 5F110/QQ09 5F110/QQ19 5F110/QQ23 5F110/QQ24 5F110/QQ28 5F152/AA03 5F152/AA08 5F152/BB03 5F152/CC02 5F152/CC03 5F152/CC04 5F152/CC05 5F152/CC08 5F152/CD09 5F152/CD13 5F152/CD14 5F152/CD15 5F152/CD17 5F152/CD18 5F152/CD24 5F152/CE05 5F152/CE06 5F152/CE13 5F152/CE14 5F152/CE16 5F152/CE24 5F152/CE26 5F152/CE28 5F152/CE32 5F152/CE33 5F152/CE35 5F152/CE36 5F152/CE38 5F152/CE45 5F152/CF09 5F152/CF13 5F152/CF14 5F152/CF15 5F152/CF18 5F152/CF19 5F152/CF24 5F152/CF26 5F152/CG09 5F152/CG10 5F152/CG13 5F152/CG15 5F152/CG16 5F152/CG17 5F152/DD05 5F152/DD07 5F152/DD10 5F152/EE16 5F152/FF11 5F152/FF21		
其他公开文献	JP2006106106A5 JP2006106106A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种制造液晶显示器的方法，该方法具有高速 TFT，其中材料的利用率得到改善，其中仅需要少量的光掩模并且几乎不发生阈值的偏差。溶解：将催化剂元素添加到非晶半导体膜中并加热以形成结晶半导体膜，并从结晶半导体膜中除去催化剂元素，随后，制造反交错的薄膜晶体管。此外，通过使用相同的步骤和相同的材料形成薄膜晶体管的栅电极层和像素电极层，实现了步骤的简化和材料损耗的减少。Ž

