

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4241238号
(P4241238)

(45) 発行日 平成21年3月18日(2009.3.18)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl.		F I	
GO2F	1/1368	(2006.01)	GO2F 1/1368
GO2F	1/1343	(2006.01)	GO2F 1/1343

請求項の数 6 (全 15 頁)

(21) 出願番号	特願2003-209552 (P2003-209552)	(73) 特許権者	502356528
(22) 出願日	平成15年8月29日(2003.8.29)		株式会社 日立ディスプレイズ
(65) 公開番号	特開2005-77424 (P2005-77424A)		千葉県茂原市早野3300番地
(43) 公開日	平成17年3月24日(2005.3.24)	(74) 代理人	100083552
審査請求日	平成18年1月25日(2006.1.25)		弁理士 秋田 収喜
		(72) 発明者	小野 記久雄
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	桶 隆太郎
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		審査官	磯野 光司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上の画素領域に、第1ドレイン信号線から第1スイッチング素子を介して信号が供給される第1電極と、第2ドレイン信号線から第2スイッチング素子を介して信号が供給される第2電極とを備え、該第1電極と第2電極の間の電位差で液晶を挙動させるものであって、

前記第1電極および第2電極は、前記第1ドレイン信号線および第2ドレイン信号線に対して絶縁膜を介して異なる層に形成されているとともに、

その一部が前記第1ドレイン信号線および第2ドレイン信号線に重ねられて構成されていることを特徴とする液晶表示装置。

【請求項2】

前記第1電極はその一部において前記第1ドレイン信号線および第2ドレイン信号線のそれぞれと重ねられて構成され、前記第2電極はその一部において前記第1ドレイン信号線および第2ドレイン信号線のそれぞれと重ねられて構成されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記第1電極の前記第1ドレイン信号線と重ねられる部分と前記第2電極の前記第1ドレイン信号線と重ねられる部分はほぼ同じ個所であり、前記第1電極の前記第2ドレイン信号線と重ねられる部分と前記第2電極の前記第2ドレイン信号線と重ねられる部分はほぼ同じ個所であることを特徴とする請求項2に記載の液晶表示装置。

10

20

【請求項4】

前記第1電極の前記第1ドレイン信号線と重ねられる部分、前記第2電極の前記第1ドレイン信号線と重ねられる部分、前記第1電極の前記第2ドレイン信号線と重ねられる部分、前記第2電極の前記第2ドレイン信号線と重ねられる部分は、それぞれの電極とドレイン信号線の間で保持容量を構成することを特徴とする請求項2に記載の液晶表示装置。

【請求項5】

前記第1電極の前記第1ドレイン信号線と重ねられる部分の保持容量の容量値と前記第1電極の前記第2ドレイン信号線と重ねられる部分の保持容量の容量値はほぼ等しく、かつ、前記第2電極の前記第1ドレイン信号線と重ねられる部分の保持容量の容量値と前記第2電極の前記第2ドレイン信号線と重ねられる部分の保持容量の容量値はほぼ等しいことを特徴とする請求項4に記載の液晶表示装置。

10

【請求項6】

前記第1電極と前記第2電極は透光性の導電膜で構成され、それらは絶縁膜を介して異なる層として形成されているとともに、一方の電極は画素領域の大部分の領域に形成され、他方の電極は該一方の電極に重ねられた電極群によって形成されていることを特徴とする請求項1に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に関する。

20

【0002】

【従来の技術】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、画素電極と対向電極とを備え、これら各電極との間に基板とほぼ平行な電界を発生せしめて当該画素領域の液晶の光透過率を制御するものが知られている。

【0003】

このうち、前記各電極はそれぞれ絶縁膜を介して配置され、そのうちの一方の電極は画素領域の周辺を除く中央部の全域に形成されているとともに、他方の電極は該一方の電極に重ね合わされていわゆる櫛歯状の電極群として形成され、かつそれらの電極は透光性の導電層で構成したものが知られている。

30

【0004】

このような液晶表示装置はたとえば特許文献1に開示され、いわゆるインプレーンスイッチング型の液晶表示装置と称されている。

【0005】

また、上記構成において、一方の電極にはゲート信号線からの走査信号によってオンされる第1の薄膜トランジスタを介して第1のドレイン信号線からの第1の映像信号が供給されるとともに、他方の電極にはやはり前記走査信号によってオンされる第2の薄膜トランジスタを介して第2のドレイン信号線からの第2の映像信号が供給されるように構成したものが特許文献2に開示されている。

【0006】

このように構成された液晶表示装置は、一つの画素中に設けた2個の薄膜トランジスタに対して、2本のドレイン信号線を配置し、一方の薄膜トランジスタには一方のドレイン信号線からの一方の電圧を、他方の薄膜トランジスタには他方のドレイン信号線からの他方の電圧を印加し、これらの2つの電圧のほぼ中点電位に相当する基準電位に対して、一方の電圧を正極に、他方の電圧を負極にして、これらを1つのフレーム期間の電圧としている。

40

【0007】

この動作により、画素内の一方の電極と他方の電極の差電圧が液晶に印加され、これに液晶電圧の交流化のために次のフレーム期間には一方の電極と他方の電極の極性を入れ替えるようにしている。

50

【0008】

これにより、たとえば1画素中に1個の薄膜トランジスタを配置させたインプレーンスイッチング型で該薄膜トランジスタに接続された画素電極の電位を他方の電極の電位に対して上下に交流化した方式のものに比べ、交流化された差電圧をほぼ半分にできることになる。

【0009】

このことから、液晶の駆動電圧を低減でき低消費電力の液晶表示装置を得ることができる。

【0010】

【特許文献1】

特開2002-90781号公報

【特許文献2】

特開2000-338462号公報

【0011】

【発明が解決しようとする課題】

しかしながら、このような構成であっても、液晶表示装置の画面が大型化した場合、消費電力が増加することはもちろんのこと、画素電極を一方の電極としゲート信号線あるいは容量信号線を他方の電極とする保持容量の値が増加し、これが表示パターンによって一方の極性のみを充電するモードとなって該ゲート信号線あるいは容量信号線の配線遅延が増加し、背景に対して四角ウインドウパターンを表示した際に該ゲート信号線あるいは容量信号線の方向にいわゆるクロストークと称される帯状の影ができてしまうということが指摘されている。

【0012】

一方、一画素中に2個の薄膜トランジスタを形成した上記従来の液晶表示装置は、一方の電極と他方の電極を絶縁膜を介して積層させた構造の容量素子を備えたものである。この構造からなる液晶表示装置は、ゲート信号線とたとえば平行に配置された固定の電位が印加される容量信号線がなく、上述したクロストークは発生しない。しかし、該容量素子は、2個の各薄膜トランジスタの出力電圧を前記の各電極に接続されただけの構成となっている。このため、薄膜トランジスタにゲートオフ電圧が印加されている保持期間中において該容量素子の電位はフローティング状態となって固定されておらず、他の電位を有するゲート信号線等との間の寄生容量に応じて振られてしまうという不都合が生じる。

【0013】

特に、該薄膜トランジスタのゲート電位がオンからオフに変化する際に、ゲート信号線の一部で構成されるゲート電極とソース電極との間に発生する寄生容量によって電極電位が著しく低下してしまうという動作点悪化の不都合が発生することが本発明者自らの実験で明らかになっている。

【0014】

さらに、上記各2個の薄膜トランジスタからの出力電圧をそれぞれ電極へ伝達させ、これをゲート信号線と同層の配線で構成された容量信号線と絶縁膜を介して該電極の間に容量素子を構成することを考えた場合、容量信号線が下層にそれぞれの電極を上層に配置することによってのいわゆる画素の開口率の低下を免れ得ない。

【0015】

本発明は、このような事情に基づいてなされたものであり、その目的は、薄膜トランジスタのゲート電位がオンからオフに変化する際に、画素電極の電位が著しく低下してしまう動作点悪化の不都合を解消した液晶表示装置を提供することにある。

【0016】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0021】

手段 1 .

本発明による液晶表示装置は、たとえば、基板上の画素領域に、第 1 ドレイン信号線から第 1 スwitchング素子を介して信号が供給される第 1 電極と、第 2 ドレイン信号線から第 2 スwitchング素子を介して信号が供給される第 2 電極とを備え、該第 1 電極と第 2 電極の間の電位差で液晶を挙動させるものであって、

前記第 1 電極および第 2 電極は、前記第 1 ドレイン信号線および第 2 ドレイン信号線に対して絶縁膜を介して異なる層に形成されているとともに、

その一部が前記第 1 ドレイン信号線および第 2 ドレイン信号線に重ねられて構成されていることを特徴とするものである。

【 0 0 2 2 】

10

手段 2 .

本発明による液晶表示装置は、たとえば、手段 1 の構成を前提とし、前記第 1 電極はその一部において前記第 1 ドレイン信号線および第 2 ドレイン信号線のそれぞれと重ねられて構成され、前記第 2 電極はその一部において前記第 1 ドレイン信号線および第 2 ドレイン信号線のそれぞれと重ねられて構成されていることを特徴とするものである。

【 0 0 2 3 】

手段 3 .

本発明による液晶表示装置は、たとえば、手段 2 の構成を前提とし、前記第 1 電極の前記第 1 ドレイン信号線と重ねられる部分と前記第 2 電極の前記第 1 ドレイン信号線と重ねられる部分はほぼ同じ個所であり、前記第 1 電極の前記第 2 ドレイン信号線と重ねられる部分と前記第 2 電極の前記第 2 ドレイン信号線と重ねられる部分はほぼ同じ個所であることを特徴とするものである。

20

【 0 0 2 4 】

手段 4 .

本発明による液晶表示装置は、たとえば、手段 2 の構成を前提とし、前記第 1 電極の前記第 1 ドレイン信号線と重ねられる部分、前記第 2 電極の前記第 1 ドレイン信号線と重ねられる部分、前記第 1 電極の前記第 2 ドレイン信号線と重ねられる部分、前記第 2 電極の前記第 2 ドレイン信号線と重ねられる部分は、それぞれの電極とドレイン信号線の間で保持容量を構成することを特徴とするものである。

【 0 0 2 5 】

30

手段 5 .

本発明による液晶表示装置は、たとえば、手段 4 の構成を前提とし、前記第 1 電極の前記第 1 ドレイン信号線と重ねられる部分の保持容量の容量値と前記第 1 電極の前記第 2 ドレイン信号線と重ねられる部分の保持容量の容量値はほぼ等しく、かつ、前記第 2 電極の前記第 1 ドレイン信号線と重ねられる部分の保持容量の容量値と前記第 2 電極の前記第 2 ドレイン信号線と重ねられる部分の保持容量の容量値はほぼ等しいことを特徴とするものである。

【 0 0 2 7 】

手段 6 .

本発明による液晶表示装置は、たとえば、手段 1 の構成を前提とし、前記第 1 電極と前記第 2 電極は透光性の導電膜で構成され、それらは絶縁膜を介して異なる層として形成されているとともに、一方の電極は画素領域の大部分の領域に形成され、他方の電極は該一方の電極に重ねられた電極群によって形成されていることを特徴とするものである。

40

【 0 0 2 8 】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【 0 0 2 9 】

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

【 0 0 3 0 】

50

実施例 1 .

図 3 は、本発明による液晶表示装置の一実施例を示す平面図である。まず、液晶を介して互いに対向配置される各基板のうち一方の基板 G L S 1 の液晶側の面には、その x 方向に延在し y 方向に並設されるゲート信号線 G L が形成され、また、y 方向に延在し x 方向に並設されるドレイン信号線 D L が形成されている。

【 0 0 3 1 】

ここで、これら各ドレイン信号線 D L は、その隣接方向に近接、遠接、近接、... を繰り返して配置され、これにより、隣接される一対のゲート信号線 G L と遠接される一対のドレイン信号線 D L とで囲まれた矩形の領域（図中太字で囲まれた部分）を画素領域として形成される。

10

【 0 0 3 2 】

各画素領域には、その画素領域における画素を含んで x 方向に並設される画素群を選択するたとえば図中下側のゲート信号線 G L からの走査信号が供給されるとともに、図中左側のドレイン信号線 D L（第 1 のドレイン信号線 D L L）からの第 1 の映像信号と図中右側のドレイン信号線 D L（第 2 のドレイン信号線 D L R）からの第 2 の映像信号とが供給されるようになっている。この画素領域の詳細な構成は後に詳述する。

【 0 0 3 3 】

前記各ゲート信号線 G L は、例えばその一端において走査信号駆動回路 S C C に接続され、この走査信号駆動回路 S C C によって、順次走査信号が供給されるようになっている。また、ドレイン信号線 D L は、たとえばその一端において映像信号駆動回路 I M C に接続され、この映像信号駆動回路 I M C によって、前記走査信号の供給のタイミングに合わせて映像信号が供給されるようになっている。

20

【 0 0 3 4 】

なお、走査信号駆動回路 S C C および映像信号駆動回路 I M C には、コントローラ C N T L からの信号によって駆動され、該コントローラ C N T L には外部から画像信号等の入力信号が供給されるようになっている。

【 0 0 3 5 】

図 1 (a) は前記画素領域における構成の一実施例を示す平面図である。また、図 1 (b) は図 1 (a) の構成と幾何学的に対応させて描いた等価回路図である。さらに、図 2 (a) は図 1 (a) の II (a) - II (a) における断面図、図 2 (b) は図 1 (a) の II (b) - II (b) における断面図を示している。

30

【 0 0 3 6 】

まず、たとえば透明基板 G L S 1 の表面にその x 方向に延在し y 方向に並設されるゲート信号線 G L が形成されている。このゲート信号線 G L は後述する第 1 のドレイン信号線 D L L、第 2 のドレイン信号線 D L R とで画素領域を囲むようにして形成されるようになっている。

【 0 0 3 7 】

該画素領域にはその僅かな周辺を除く中央部の領域の全域にわたって第 1 の画素電極 B P X が形成され、この第 1 の画素電極 B P X のゲート信号線 G L と直行する方向の各辺のそれぞれの一部には該ゲート信号線 G L の延在方向と平行に延在する延在部が形成され、それぞれの延在部は後述する第 1 のドレイン信号線 D L L、および第 2 のドレイン信号線 D L R に重ねられるようにして形成されている。

40

【 0 0 3 8 】

この第 1 の画素電極 B P X はたとえば透光性の導電層で形成され、その材料として、たとえば、ITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等が選択される。

【 0 0 3 9 】

第 1 の画素電極 B P X の図中左側に形成された延在部は保持容量 C b s t l の一方の電極を構成するようになっており、第 2 の画素電極 U P X の図中右側に形成された延在部は保持容量 C b s t r の一方の電極を構成するようになっている。ここで、保持容量 C b s t

50

1の他方の電極は後述する第1のドレイン信号線DLLとなり、保持容量C_{bst}rの他方の電極は後述する第2のドレイン信号線DLRとなる。

【0040】

このようにゲート信号線GLおよび第1の画素電極BPXが形成された透明基板GLS1表面には、該ゲート信号線GLおよび第2の画素電極UPXをも被って第1の絶縁膜GIが形成されている。

【0041】

そして、この第1の絶縁膜GIを介して画素領域内にある前記ゲート信号線GLの上面上には、該ゲート信号線GLの延在方向に沿って離間された2個の薄膜トランジスタTFTL、TFTRが形成されている。ここで、一方の薄膜トランジスタTFTLを第1の薄膜トランジスタ、他方の薄膜トランジスタTFTRを第2の薄膜トランジスタと称する。

10

【0042】

これら各第1の薄膜トランジスタTFTL、第2の薄膜トランジスタTFTRは、いずれも構造が同一となっており、それらは、第1絶縁膜GI上に半導体層ASを形成し、この半導体層AS上にドレイン電極とソース電極を形成することによって、前記ゲート信号線GLの一部をゲート電極、第1の絶縁膜GIをゲート絶縁膜とする逆スタガ構造のMIS(Metal Insulator Semiconductor)トランジスタが形成される。

【0043】

ここで、各第1の薄膜トランジスタTFTL、第2の薄膜トランジスタTFTRのドレイン電極およびソース電極は、第1のドレイン信号線DLL、第2のドレイン信号線DLRの形成と同時に形成されるようになっている。

20

【0044】

まず、第1の薄膜トランジスタTFTLのドレイン電極は前記ドレイン信号線DLLの一部がその半導体層ASの表面にまで延在されて形成され、このドレイン電極に対して該第1の薄膜トランジスタTFTLのチャネル長に相当する長さに離間されてソース電極SDが形成されている。このソース電極SDは第1の画素電極BPXと接続させるため画素領域内に若干延在するようにして形成されている。同様に、第2の薄膜トランジスタTFTRのドレイン電極は前記第2のドレイン信号線DLRの一部がその半導体層ASの表面にまで延在されて形成され、このドレイン電極に対して該薄膜トランジスタTFTRのチャネル長に相当する分だけ離間されてソース電極SDが形成されている。このソース電極SDは後述する第2の画素電極UPXと接続されるため画素領域内に若干延在するようにして形成されている。

30

【0045】

このように、各第1の薄膜トランジスタTFTL、第2の薄膜トランジスタTFTRが形成された基板GLS1の表面には、該第1の薄膜トランジスタTFTL、第2の薄膜トランジスタTFTRをも被って、第2の絶縁膜PASが形成されている。この第2の絶縁膜PASは前記各薄膜トランジスタTFTの液晶との直接の接触を回避させるための保護膜として機能するようになっている。

【0046】

そして、この第2絶縁膜PASの表面には、前記第2の電極BPXと重ね合わされるようにして、たとえば図中y方向に延在しx方向に並設される複数の帯状の電極群からなる第2の画素電極UPXがたとえば透光性の導電層で形成されている。

40

【0047】

ここで、この第2の画素電極UPXを構成する電極群の前記薄膜トランジスタTFTR側の端部は、それぞれ共通に接続されたパターンとなっており、その一部が該第2の薄膜トランジスタTFTRのソース電極SDの上方にまで延在され、その下層の第2絶縁膜PASおよび第1の絶縁膜GIを貫通するスルーホールCNT2を通して該ソース電極に接続されている。

【0048】

この場合、前記第1の薄膜トランジスタTFTLのソース電極SDと第1の画素電極BP

50

Xとの接続において、第2の絶縁膜PASに形成されたコンタクトホールCNT1、第2の絶縁膜PASおよび第1の絶縁膜GIを貫通して形成されたコンタクトホールCNT2を通して、前記第2の画素電極UPXの材料と同じ材料層SITOでなされている。

【0049】

さらに、第2の画素電極UPXを構成する電極群のうち、第1のドレイン信号線DLLに隣接する電極はその一部が該第1のドレイン信号線DLLに重ね合わされるように延在され、この第2の画素電極と該第1のドレイン信号線DLLとの間に保持容量Cust1が形成され、第2のドレイン信号線DLRに隣接する第2の画素電極UPXはその一部が該第2のドレイン信号線DLRに重ね合わされるように延在され、この第2の画素電極と該第2のドレイン信号線DLRとの間に保持容量Custrが形成されている。

10

【0050】

また、前記保持容量Cust1は上述した保持容量Cbst1の形成個所とほぼ同じ個所に形成され、前記保持容量Custrは上述した保持容量Cbstrの形成個所とほぼ同じ個所に形成されている。

【0051】

そして、このように形成された基板GLS1の表面には、少なくとも画素領域の集合である液晶表示部の全域を被って配向膜OILが形成され、この配向膜OILは液晶と直接に接触されて該液晶の分子の初期配向方向を決定するようになっている。

【0052】

このように構成された液晶表示装置において、当該画素領域は第1のドレイン信号線DLL、第2のドレイン信号線DLRおよび走査配線GLに囲まれた内側の領域から構成される。

20

【0053】

表示の動作電圧は、前記第1のドレイン信号線DLLの信号電圧を、ゲート信号線GLにゲートオン電圧が印加された期間、すなわち選択期間に、第1の薄膜トランジスタTFTLからコンタクトCNT1及びCNT2を経て画素面積のほぼ全域を占有するプレーン状の第1の画素電極BPXに、前記と同じゲートオン期間に、第2のドレイン信号線DLRの信号電圧を、第2の薄膜トランジスタTFTLからコンタクトCNT2を経て第2の画素電極UPXにそれぞれ印加される。上記第1の電極BPXと第2の画素電極UPXからの電圧で液晶を駆動するようになっている。

30

【0054】

そして、上記第1の電極BPXと第2の電極UPXは第1の絶縁膜GIおよび第2の絶縁膜PASを介して重畳されそれぞれ自身で画素容量からなる保持容量Cpを構成している。この保持容量Cpは、前記第1の画素電極BPXが第1のドレイン信号線DLL及び第2のドレイン信号線DLRの下部に第1の絶縁膜GIを介して延在し、それぞれの保持容量Cbst1、Cbstrをドレイン信号線DLと構成する。他方、第2の画素電極UPXは第1のドレイン信号線DLL及び第2のドレイン信号線に第2の絶縁膜PASを介してその上部に延在し、保持容量Cust1、Custrを構成する。

【0055】

図1(b)は、上述した画素の構成に対応させて描いた等価回路図を示しており、ここで、Cgs1、Cgsrは、それぞれ第1の薄膜トランジスタTFTLの寄生容量、第2の薄膜トランジスタTFTLの寄生容量を示している。

40

【0056】

図4(a)、(b)は上述した構成の画素に供給される各信号の駆動波形を示している。この駆動波形を用いて、上述した保持容量Cbst1、Cust1、Cbstr、Custrの果たすべき効果を説明する。

【0057】

図4(a)は前記第1の薄膜トランジスタTFTLの駆動波形、図4(b)は前記第2の薄膜トランジスタTFTLの駆動波形を示した図である。

【0058】

50

図4(a)、(b)における走査(ゲート)電圧 V_g は共通であり、それぞれの図には第1のドレイン信号線 DLL の電圧 V_{dl} と第2のドレイン信号線 DLR の電圧 V_{dr} が明示されている。また、それぞれの図には、第1の薄膜トランジスタ $TFTL$ 、第2の薄膜トランジスタ $TFTR$ の出力である第1の画素電極 BPX 及び第2の画素電極 UPX のソース電圧 V_{bpx} 、 V_{upx} も明示されている。

【0059】

ソース電圧 V_{bpx} 、 V_{upx} はゲート電圧 V_g がオンからオフに低下する際に、次の式1に示すような電圧降下(V_b)を起こす。

【0060】

【数1】

$$V_b = (C_{gs1} + C_{gsr}) / (C_{bst1} + C_{ust1} + C_{bstr} + C_{ustr} + C_{gs1} + C_{gstr}) \times V_g \quad (\text{式1})$$

この式1から明らかなように、上記低下電圧には画素容量 C_p は含まれない。これは画素容量 C_p は1画素に2個の薄膜トランジスタ TFT を形成した場合はフローティング電位となり、上記電圧降下に影響を及ぼさないためである。そして、上記電圧降下は各ドレイン信号線 DL との間の保持容量 C_{bst1} 、 C_{ust1} 、 C_{bstr} 、 C_{ustr} がなければその値は V_g に等しくなり、ソース電位はゲートのオフ電圧以下になり誤動作することになる。

【0061】

一方、図4(a)、(b)で明らかとなるように、一方の信号線電圧 V_{dl} と他方の信号線電圧 V_{dr} は常に基準電圧 V_c に対して対称となっているので、4つの保持容量値すなわち、 C_{bst1} 、 C_{ust1} 、 C_{bstr} 、 C_{ustr} をほぼ同じ値で設定できればソース電圧 V_{bpx} 、 V_{upx} はドレイン電圧振幅に対しても安定に動作するようになる。

【0062】

さらに、このような動作を図2に示す断面図を用いてさらに詳述する。

【0063】

まず、図2(a)に示す断面図において、ゲート信号線 GL にいわゆるオフゲート信号が供給される際は、第1の画素電極 BPX と第2の画素電極 UPX はそれに蓄積されている電荷がフローティング状態となる。

【0064】

すなわち、第1のドレイン信号線 DLL からの第1の映像信号は、コンタクトホール $CNT1$ 、コンタクトホール $CNT2$ を通して画素領域の全域を占有する第1の画素電極 BPX へ供給されるようになる。一方、第2のドレイン信号線 DLR からの第2の映像信号は、コンタクトホール $CNT2$ から第2の画素電極 UPX へ供給されるようになる。

【0065】

第1の薄膜トランジスタ $TFTL$ および第2の薄膜トランジスタ $TFTR$ は、それぞれ、透明基板 $GLS1$ 上にゲート信号線 GL をゲート電極、その上部にたとえば SiN で形成されゲート絶縁膜となる第1の絶縁膜 GI 、たとえばアモルファスシリコンからなる半導体層 AS 、第1の薄膜トランジスタ $TFTL$ において電位取り出しのための第1のドレイン信号線 DLL 、第2の薄膜トランジスタ $TFTR$ において電位取り出しのための第2のドレイン信号線 DLR 、さらに、これら上部にたとえば SiN で被覆された第2の絶縁膜 PAS で構成されている。

【0066】

液晶表示は第1の画素電極 BPX 、および第2の画素電極 UPX の間に発生する電界が液晶 LC にも及び、これにより液晶 LC が電圧に応じて透過率が変化することになる。ここで、前記第1の画素電極 BPX 上には、第1の絶縁膜 GI 及び第2の絶縁膜 PAS の積層膜を挟んで、第2の画素電極 UPX が重なっており、この部分において大きな画素容量 C_p を構成する。

【0067】

しかし、この画素容量 C_p は、ゲート信号線 GL のオフ状態では第1の薄膜トランジスタ

10

20

30

40

50

TFTLおよび第2の薄膜トランジスタTFTRがそれぞれオフとなり、いわゆる電源配線であるゲート信号線GL、第1のドレイン信号線DLL、あるいは第2のドレイン信号線DLRと意図的に容量接続されていないため、この容量に蓄えられた電荷はフローティング状態となる。

【0068】

図2(b)は、一画素に備えられる前記保持容量素子Custl、Cbstl、Custr、Cbstrの構成が示されている。

【0069】

まず、第1のドレイン信号線DLLの信号電圧は第1の画素電極BPXに、第2のドレイン信号線DLRの信号電圧は第2の画素電極UPXに伝えられることは上述した通りである。

10

【0070】

前記第1の画素電極BPXは、その一方の辺の一部において第1のドレイン信号線DLLと、他方の辺の一部において第2のドレイン信号線DLRと、第1の絶縁膜GIを介して重畳されるようにして延在している。これにより、第1のドレイン信号線DLLとの交差部分に保持容量Cbstl、第2のドレイン信号線DLRとの交差部分に保持容量Cbstrを構成している。

【0071】

ここで、第1の画素電極BPXは、第1のドレイン信号線DLLの左側に隣接する画素領域の第2のドレイン信号線DLRと重なることなく延在され、第2のドレイン信号線DLRの右側に隣接する画素領域の第1のドレイン信号線DLLと重なることなく延在されている。

20

【0072】

また、前記第2の画素電極UPXは、その一方の辺の一部において第1のドレイン信号線DLLと、他方の辺の一部において第2のドレイン信号線DLRと、第2の絶縁膜PASを介して重畳されるようにして延在している。これにより、第1のドレイン信号線DLLとの交差部分に保持容量Custl、第2のドレイン信号線DLRとの交差部分に保持容量Custrを構成している。

【0073】

ここで、第2の画素電極UPXは、第1のドレイン信号線DLLの左側に隣接する画素領域の第2のドレイン信号線DLRと重なることなく延在され、第2のドレイン信号線DLRの右側に隣接する画素領域の第1のドレイン信号線DLLと重なることなく延在されている。

30

【0074】

前記第1のドレイン信号線DLLの近傍に形成された保持容量Custl及びCbstlと第2のドレイン信号線DLRの近傍に形成された保持容量Custr及びCbstrの平面配置は、図1(a)に示したように、各ドレイン信号線DLの形成領域であって同じ位置ではなく入れ子状態で互い違いに配置されている。これは開口率の向上と同一平面内でのショート不良を低減するために有効だからである。

【0075】

一方、保持容量Custl、Cbstl、Custr、Cbstrのそれぞれの値は、各ドレイン信号線DLと第1の絶縁膜GIあるいは第2の絶縁膜PASを挟んで形成された画素電極PXの交差面積で設定されるが、安定動作を図る上では、それらの値はほぼ等しく構成することが望ましい。

40

【0076】

すなわち、第1の画素電極BPXと第2の画素電極UPXで構成される画素容量Cpに蓄えられる大きな電荷は第1の薄膜トランジスタTFTLおよび第2の薄膜トランジスタTFTRを駆動させるゲート信号線GLの走査信号がオフの場合にフローティング状態になる。

【0077】

50

従って、例えば第1のドレイン信号線D L Lと第1の画素電極B P Xの間に保持容量C b s t l だけしか形成されていない場合、保持期間中に該保持容量C b s t l を介して、第1の画素電極B P Xのソース電位は大きく第1のドレイン信号線D L Lの電位に応じて大きく変動してしまうことになる。

【0078】

本実施例による画素の駆動では、第1のドレイン信号線D L Lにおける映像信号の振幅と第2のドレイン信号線D L Rにおける映像信号の振幅は、その絶対値は同じで、振幅の方向は逆に設定されている。このため、第2のドレイン信号線D L Rと第1の画素電極B P Xとの間に保持容量C b s t r を形成することによって、各映像信号の振幅に対する第1の画素電極B P Xの電位変動は抑えられることになる。

10

【0079】

同様に、第2の画素電極U P Xのソース電位の安定化のために保持容量C u s t l とC u s t r をほぼ同じ値に設定されることで動作を安定させることができる。

【0080】

実施例2 .

図5 (a) は前記画素領域における構成の他の実施例を示す平面図である。また、図5 (b) は図1 (a) の構成と幾何学的に対応させて描いた等価回路図である。さらに、図6 (a) は図5 (a) のVI (a) - VI (a) における断面図、図6 (b) は図5 (a) のVI (b) - VI (b) における断面図を示している。

【0081】

20

図5 (a) は実施例1の図1 (a) に対応する図であり、該図1 (a) の場合と比較して異なる構成は、第1の画素電極B P Xを一方の電極とする保持容量C b s t の他方の電極として、また、第2の画素電極U P Xを一方の電極とする保持容量C u s t の他方の電極として、それぞれ、ゲート信号線G L とほぼ平行に配置されて形成された保持容量信号線S T L を用いて構成したことにある。

【0082】

ここで、該保持容量信号線S T L はゲート信号線G L の形成の際に同時に形成される信号線となっている。このため、保持容量信号線S T L を被う第1の絶縁膜G I の表面には第1の画素電極B P X が形成され、この第1の画素電極B P X を被う第2の絶縁膜の表面には第2の画素電極U P X が形成される層構造をなしている。

30

【0083】

そして、保持容量配線S T L はその延在方向に沿って、第1の画素電極B P X と第2の画素電極U P X のいずれもが重なった領域、第1の画素電極B P X のみが積層された領域を交互に形成するように構成されている。

【0084】

ここで、前者の領域は第1の画素電極B P Xの電位、すなわち第1のドレイン信号線D L Lからの映像信号が第1の薄膜トランジスタT F T Lを通して供給される信号電位の動作を安定化するために形成した保持容量C b s t を構成し、後者の領域は第2の画素電極U P Xの電位、すなわち第2のドレイン信号線D L Rからの映像信号を第2の薄膜トランジスタT F T Rを通して供給される信号電位を安定化するために形成した保持容量C u s t を構成している。

40

【0085】

さらに、このような動作を図6に示す断面図を用いてさらに詳述する。

【0086】

図6 (a) において、第1のドレイン信号線D L Lからの映像信号はゲート信号線G L にオン電圧(走査信号)を印加した場合に第1の薄膜トランジスタT F T L がオンし、そのソース電極S D を経て第1の画素電極B P X へ供給される。一方、第2のドレイン信号線D L Rからの映像信号は同様に第2の薄膜トランジスタT F T Rのオン状態時に、そのソース電極S D を経て第2の画素電極U P X に供給される。

【0087】

50

第1の薄膜トランジスタTFTLおよび第2の薄膜トランジスタTFTRは同じ走査信号（電圧）に対してオンされるので上記各薄膜トランジスタからの映像信号は、第2の画素電極UPX、第1の画素電極BPX、第2の絶縁膜PASから構成される画素容量Cpに充電され、この電荷による液晶中への電界でインプレーンの液晶動作が可能となる。

【0088】

また、図6（b）において、保持容量信号線STLはゲート信号線GLと同層に形成され、この保持容量信号線STLの上層に形成される第1の画素電極BPXと第2の画素電極UPXとの間には、該保持容量信号線STLの走行方向に沿って、保持容量Custと保持容量Cbstとが交互に形成されている。

【0089】

第1の画素電極BPXは画素領域の僅かな周辺を除く中央部の全域に形成され、これをそのまま、保持容量信号線STL上に第1の絶縁膜GIを介して延在させた場合、第1の画素電極BPXに対する保持容量のみが形成されてしまい、走査信号がオンからオフに低下する際に第2の画素電極UPXが寄生容量の影響で動作点が低下してしまうことになる。

【0090】

このことから、前記第1の画素電極BPXは、保持容量信号線STL上において、該保持容量信号線STLの走行方向に沿って並設された複数の切り欠きを設け、該切り欠きが形成されていない部分にて保持容量Cbstを形成するとともに、該切り欠きの部分において第2の画素電極UPXを延在させ、この延在部と前記保持容量信号線STLとの間に保持容量Custを形成している。

【0091】

ここで、保持容量CustとCbstはその容量値をほぼ同一の値に設定させることが動作が最も安定する。第1の画素電極BPXと第2の画素電極UPXと保持容量信号線STLの間に介在される絶縁膜の厚さが異なるので、前記値の設定は第1の画素電極BPXと保持容量信号線STLの交差面積、および第2の画素電極UPXと保持容量信号線STLの交差面積をそれぞれ調整することが望ましい。

【0092】

このことから、本実施例では、第2の画素電極UPXと保持容量信号線STLの交差面積が、第1の画素電極BPXと保持容量信号線STLの交差面積より大きくなる。

【0093】

また、本実施例では保持容量信号線STLと第2の画素電極UPXとの間の誘電体膜は第1の絶縁膜GIと第2の絶縁膜PASの積層体となり、保持容量信号線STLと第1の画素電極BPXとの間の誘電膜は第1の絶縁膜GIのみである。アモルファスシリコンで薄膜トランジスタを構成する場合、一般に、下層の絶縁膜より上層の絶縁膜の成膜に必要とする温度は高くなる。従って、第1の絶縁膜GIは第2の絶縁膜PASより良質な膜となる。両者を積層した場合、それぞれ単層膜よりショート不良に対する冗長性は高まることになる。従って、本実施例の保持容量に対するショート不良は、第2の絶縁膜PASからなる単独膜を保持容量とした実施例1の場合に比べてショート不良率が低減できるという効果を奏する。

【0094】

実施例3.

図7は、前記画素領域における構成の他の実施例を示す断面図で、図6（b）に対応した図となっている。

【0095】

図6（b）の場合と比較して異なる構成は、第2の画素電極UPXが保持容量信号線STL上にて該保持容量信号線STLの走行方向に沿って互いに接続された構成となっていることにある。この保持容量信号線STLと重畳する部分およびその近傍を除いた部分において前記第2の画素電極UPXは複数の電極が並設された電極群で構成されていることは図6（b）の場合と同様となっている。

【0096】

10

20

30

40

50

これにより、第2の画素電極UPXは、保持容量信号線STLの上方において、第1の画素電極BPXと重畳する部分が形成されるが、重畳しない部分においては該保持容量信号線STLとの間に保持容量Custが形成されることになる。

【0097】

そして、この保持容量Custは、該保持容量信号線STLと第2の画素電極UPXとの重畳面積を大きくとれる構成となっていることから、その容量の値を大きくできる。

【0098】

このため、該保持容量Custを所定の値に設定する際には、該保持容量配線STLの線幅を狭く構成でき、結果として画素の開口率を向上させることができるようになる。

【0099】

すなわち、保持容量信号線STLの走行方向に沿って、保持容量CbstとCustが交互に隙間なく配置される構成となり、該保持容量CbstとCustのそれぞれの容量値を等しく設定するのにもその設計を容易にすることができる。また、この実施例において、第1の画素電極BPXの切欠き数は特に制約されないことはいうまでもない。

【0100】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【0101】

【発明の効果】

以上説明したことから明らかなように、本発明による液晶表示装置によれば、その薄膜トランジスタのゲート電位がオンからオフに変化する際に、画素電極の電位が著しく低下してしまう動作点悪化の不都合を解消させることができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の画素の一実施例を示す平面図、それに対応する等価回路図である。

【図2】図1のII(a)-II(a)線、およびII(b)-II(b)線における断面図である。

【図3】本発明による液晶表示装置の一実施例を示す平面図である。

【図4】本発明による液晶表示装置の画素に供給される信号の波形とそのタイミングチャートである。

【図5】本発明による液晶表示装置の画素の他の実施例を示す平面図、それに対応する等価回路図である。

【図6】図5のVI(a)-VI(a)線、およびVI(b)-VI(b)線における断面図である。

【図7】本発明による液晶表示装置の画素の他の実施例を示す断面図である。

【符号の説明】

GLS...透明基板、GL...ゲート信号線、DLL...第1のドレイン信号線、DLR...第2のドレイン信号線、TFTL...第1の薄膜トランジスタ、TFTR...第2の薄膜トランジスタ、BPX...第1の画素電極、UPX...第2の画素電極、GI...第1の絶縁膜、PAS...第2の絶縁膜、AS...半導体層、OIL...配向膜、LC...液晶、Custl, Cbstl, Custr, Cbstr, Cp...保持容量。

10

20

30

40

フロントページの続き

- (56)参考文献 特開2003-131636(JP,A)
特開平06-148596(JP,A)
特開2000-089255(JP,A)
特開2002-250937(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1343

专利名称(译)	液晶表示装置		
公开(公告)号	JP4241238B2	公开(公告)日	2009-03-18
申请号	JP2003209552	申请日	2003-08-29
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	小野記久雄 桶隆太郎		
发明人	小野 記久雄 桶 隆太郎		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/134363 G02F1/136213 G02F1/13624 G02F2001/134372		
FI分类号	G02F1/1368 G02F1/1343 G02F1/133.550		
F-TERM分类号	2H092/GA14 2H092/HA04 2H092/JA24 2H092/JB42 2H092/JB57 2H092/JB68 2H092/JB69 2H092/NA22 2H092/PA09 2H192/AA24 2H192/BB11 2H192/BB73 2H192/BB91 2H192/BC31 2H192/BC44 2H192/CB05 2H192/CB12 2H192/CC64 2H192/DA12 2H192/DA65 2H192/GD61 2H193/ZA04 2H193/ZA05 2H193/ZA08 2H193/ZA19 2H193/ZB18 2H193/ZQ16		
其他公开文献	JP2005077424A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其消除了当薄膜晶体管的栅极电位从导通变为截止时像素电极的电位显著降低的工作点劣化的缺点。通过第一开关元件提供信号的第一电极和通过第二开关元件向其提供信号的第二电极设置在基板上的像素区域中，并且通过电极和第二电极之间的电位差使液晶表现，第一电极用作第一存储电容器元件的一个电极，第一存储电容器元件形成有从外部插入第一电极和电源线之间的绝缘膜，第二电极用作绝缘体用作通过薄膜构成的第二存储电容器元件的一个电极 点域1

