

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3969163号

(P3969163)

(45) 発行日 平成19年9月5日(2007.9.5)

(24) 登録日 平成19年6月15日(2007.6.15)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1335 (2006.01)	GO2F 1/1335 520
GO2F 1/1343 (2006.01)	GO2F 1/1343

請求項の数 2 (全 18 頁)

(21) 出願番号	特願2002-110478 (P2002-110478)	(73) 特許権者	000004329
(22) 出願日	平成14年4月12日(2002.4.12)		日本ビクター株式会社
(65) 公開番号	特開2003-302655 (P2003-302655A)		神奈川県横浜市神奈川区守屋町3丁目12番地
(43) 公開日	平成15年10月24日(2003.10.24)	(74) 代理人	100083806
審査請求日	平成16年11月29日(2004.11.29)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100108707
			弁理士 中村 友之
		(74) 代理人	100095500
			弁理士 伊藤 正和

最終頁に続く

(54) 【発明の名称】 反射型液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板のウエル領域内にスイッチング素子を設け、且つ、前記スイッチング素子と、前記スイッチング素子に接続した複数のメタル膜のうちで最上層のメタル膜となる反射用画素電極及び保持容量部とを組にして一つの画素を形成し、この画素を前記半導体基板上で列方向と行方向とにマトリックス状に複数配置すると共に、複数の前記反射用画素電極に対向して透明な共通電極を透明基板に成膜して、複数の前記反射用画素電極と前記共通電極との間に液晶を封入して構成した反射型液晶表示装置において、

互いに隣接する列を第1、第2画素列とし、前記マトリックス状に配置された複数の画素が前記第1、第2画素列を一組とする単位画素列が前記行方向に複数配置されたものと

10

するとき、
前記行方向に形成されている前記ウエル領域及び前記保持容量部の拡散容量電極は、前記複数の列に跨って共通形成され、

前記複数のメタル膜のうちで最下層のメタル膜は、一方が前記最上層のメタル膜に接続されると共に、他方が前記第1画素列では、前記ウエル領域に第1コンタクトを介して接続され、前記第2画素列では、前記拡散容量電極に第2コンタクトを介して接続されていることを特徴とする反射型液晶表示装置。

【請求項2】

半導体基板のウエル領域内にスイッチング素子を設け、且つ、前記スイッチング素子と、前記スイッチング素子に接続した複数のメタル膜のうちで最上層のメタル膜となる反射

20

用画素電極及び保持容量部とを組にして一つの画素を形成し、この画素を前記半導体基板上で列方向と行方向とにマトリックス状に複数配置すると共に、複数の前記反射用画素電極に対向して透明な共通電極を透明基板に成膜して、複数の前記反射用画素電極と前記共通電極との間に液晶を封入して構成した反射型液晶表示装置において、

互いに隣接する列を第1、第2画素列とし、前記第1、第2画素列間に配置された少なくとも1種類以上の列を第3画素列とし、前記マトリックス状に配置された複数の画素が前記第1乃至第3画素列を一組とする単位画素列が前記行方向に複数配置されたものとするとき、

前記行方向に形成されている前記ウエル領域及び前記保持容量部の拡散容量電極は、前記複数の列に跨って共通形成され、

10

前記複数のメタル膜のうちで最下層のメタル膜は、一方が前記最上層のメタル膜に接続されると共に、他方が前記第1画素列では、前記ウエル領域に第1コンタクトを介して接続され、前記第2画素列では、前記拡散容量電極に第2コンタクトを介して接続され、前記第3画素列では、前記ウエル領域及び前記拡散容量電極のいずれにも接続されていないことを特徴とする反射型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、反射型液晶表示装置において、半導体基板上に複数の画素を配置する際に、第1画素列（画素A列）と第2画素列（画素B列）とにそれぞれ供給する第1固定電位（ウエル電位）、第2固定電位（COM電位）を第1画素列と第2画素列とで互いに補完し合うことにより、複数の画素の微細化を図ることができる反射型液晶表示装置に関するものである。

20

【0002】

【従来の技術】

最近、屋外公衆用や管制業務用のディスプレイとか、ハイビジョン放送規格やコンピュータ・グラフィックスのSVGA規格に代表される高精細映像の表示用ディスプレイ等のように、映像を大画面に表示するための投射型液晶表示装置が盛んに利用されている。

【0003】

この種の投射型液晶表示装置には、大別すると透過方式を用いた透過型液晶表示装置と、反射方式を用いた反射型液晶表示装置とがあるが、前者の透過型液晶表示装置の場合には、各画素に設けられたTFT（Thin Film Transistor：薄膜トランジスタ）の領域が光を透過させる画素の透過領域とならないために開口率が小さくなるという欠点を有していることから、後者の反射型液晶表示装置が注目されている。

30

【0004】

一般的に、上記した反射型液晶表示装置では、半導体基板（Si基板）上にMOSFET（Metal Oxide Semiconductor Field Effect Transistor）などのスイッチング素子に接続した反射用画素電極及び保持容量部がマトリックス状に複数配置され、且つ、複数の反射用画素電極に対向して全画素共通となる透明な共通電極（対向電極）が透明基板（ガラス基板）上に成膜され、更に、半導体基板と透明基板との間に液晶が封入されて構成されており、透明基板側から読み出し光を入射させて、共通電極と反射用画素電極の間の電位差を映像信号に対応させて反射用画素電極ごとに変化させ、液晶の配向を制御することで読出し光を変調しているものである。

40

【0005】

図1は反射型液晶表示装置において、一つの画素を模式的に拡大して示した断面図である。尚、図1は後述の図3中において直交したX-Y線に沿って断面した図である。

また、図2（a）は図1中で紙面に垂直な方向のp⁻ウエル領域側を断面して示し、（b）は図1中で紙面に垂直な方向の保持容量部を断面して示した断面図である。

また、図3は従来の反射型液晶表示装置において、一つの画素を模式的に拡大して示した平面図である。

50

【0006】

図1に示した如く、従来の反射型液晶表示装置10Aにおいて、画像を表示するための複数の画素のうち一つの画素を拡大して説明すると、基台となる半導体基板11は、単結晶シリコンのようなp型Si基板（又はn型Si基板でも良い）を用いており、この半導体基板（以下、p型Si基板と記す）11内の図示左側に、一つのp⁻ウエル領域12が左右のフィールド酸化膜13A、13Bによって画素単位で図示位置内に隔離された状態で設けられている。そして、一つのp⁻ウエル領域12内に一つのスイッチング素子14が設けられており、このスイッチング素子14は上記したMOSFETとして構成されている。

【0007】

10

また、このスイッチング素子（以下、MOSFETと記す）14は、p⁻ウエル領域12上の略中央に位置するゲート酸化膜15上にポリシリコンからなるゲート電極16が成膜されることで、ゲートGが形成されている。

【0008】

また、MOSFET14のゲートGの図示左側には、低濃度のn⁻不純物層からなるLDD低濃度領域17Aを介して高濃度のn⁺不純物層からなるソース領域18が形成され、且つ、このソース領域18上にアルミ配線によるソース用コンタクト（ソース電極）19が成膜されることで、ソースSが形成されている。

【0009】

また、MOSFET14のゲートGの図示右側には、低濃度のn⁻不純物層からなるLDD低濃度領域17Bを介して高濃度のn⁺不純物層からなるドレイン領域20が形成され、且つ、このドレイン領域20上にアルミ配線によるドレイン用コンタクト（ドレイン電極）21が成膜されることで、ドレインDが形成されている。

20

【0010】

この際、MOSFET14のゲートGの両側下方に設けたLDD低濃度領域17A、17BはゲートG近傍の電圧を緩和させるための機能を備えている。

【0011】

また、p型Si基板11上でp⁻ウエル領域12より図示右方に、イオン注入した拡散容量電極22が形成されており、この拡散容量電極22も左右のフィールド酸化膜13B、13Cによって画素単位で図示位置内に隔離された状態で設けられている。また、拡散容量電極22上には、絶縁膜23と容量電極24とが順に成膜されて、保持容量部Cが形成されている。

30

【0012】

また、フィールド酸化膜13A～13C、ゲート電極16、容量電極24の上方には、第1層間絶縁膜25、第1メタル膜26、第2層間絶縁膜27、第2メタル膜28、第3層間絶縁膜29、第3メタル膜30が積層状態で順に成膜されている。この際、第1、第2、第3メタル膜26、28、30はアルミ配線によりそれぞれ所定のパターン形状に応じて成膜されている。

【0013】

ここで、第2メタル膜28は、上方に配置した後述の透明基板33側から入射させた読み出し光Lを下方のp型Si基板11側に対して遮蔽する機能を備えており、以下の説明では第2メタル膜を遮光膜28と記して説明する。

40

【0014】

また、第3メタル膜30は、一つの画素に対応して矩形状に区切られて一つの反射用画素電極としての機能を備えており、上方に配置した後述の透明基板33側から入射させた読み出し光Lを反射して、反射光を透明基板33側から出射させており、以下の説明では第3メタル膜を反射用画素電極30と記して説明する。

【0015】

また、一つの反射用画素電極30の上方には液晶31が封入されており、この液晶31を介して透明な共通電極（対向電極）32が透明基板（ガラス基板）33の下面に成膜され

50

、一つの反射用画素電極 30 と透明な共通電極 32 とが液晶 31 を介して互いに対向している。この際、透明な共通電極 32 は反射用画素電極 30 をマトリックス状に配置した時に、全ての反射用画素電極 30 に対して共通であり、画素ごとに区画されていない。

【0016】

上記のように p 型 Si 基板 11 上に各構成部材を成膜した時に、MOSFET 14 のゲート電極 16 は、これと一体に成膜したポリシリコンからなるゲート線 45 (図 3, 図 4) に接続されている。また、MOSFET 14 のソース用コンタクト (ソース電極) 19 は、第 1 メタル膜 26 上に設けた信号線 41 (図 3, 図 4) に接続されている。また、MOSFET 14 のドレイン用コンタクト (ドレイン電極) 21 は、第 1, 第 2 メタル膜 26, 28 を介して一つの反射用画素電極 30 に接続されている。また、保持容量部 C の容量電極 24 は、アルミ配線による容量電極用コンタクト 34 から第 1, 第 2 メタル膜 26, 28 を介して一つの反射用画素電極 30 に接続されている。

10

【0017】

また、図 2 (a) に示した如く、図 1 中で紙面に垂直な方向の p⁻ ウェル領域 12 の上方には p⁺ 電極 35 が形成されており、この p⁺ 電極 35 上にアルミ配線によるウェル電位用コンタクト 36 が形成され、このウェル電位用コンタクト 36 は第 1 メタル膜 26 上のウェル線 42 (図 3) に接続されている。

【0018】

また、図 2 (b) に示した如く、図 1 中で紙面に垂直な方向の保持容量部 C の拡散容量電極 22 上には、アルミ配線による COM (コモン) 電位用コンタクト 37 が形成され、この COM 電位用コンタクト 37 は第 1 メタル膜 26 上の COM 線 43 (図 3) に接続されている。

20

【0019】

そして、図 1 に示した一つの画素を平面的に見ると図 3 に示した如くなる。図 3 において、MOSFET 14 のソース S 及びゲート G 並びにドレイン D に対応してソース用コンタクト (ソース電極) 19 及びゲート電極 16 並びにドレイン用コンタクト (ドレイン電極) 21 が図示左上方で水平方向に沿って配置され、この下方に保持容量部 C の拡散容量電極 22 が長方形状に大きな面積を持って配置されているので、反射用画素電極 30 も大きな面積で矩形状に形成されている。

【0020】

また、ソース用コンタクト (ソース電極) 19 に接続した信号線 41 と、ウェル電位用コンタクト 36 に接続したウェル線 42 と、COM 電位用コンタクト 37 に接続した COM 線 43 とが、この画素と同じ列に沿って配置された複数の画素と接続するように配線されている。この際、信号線 41 とウェル線 42 との間には、上方のドレイン用コンタクト 21 とこの下方の容量電極用コンタクト 34 とに接続した接続線 44 がこの画素の範囲内で信号線 41, ウェル線 42, COM 線 43 と略平行に配線されている。また、ゲート電極 16 に接続したゲート線 45 がこの画素と同じ行に沿って配置された複数の画素と接続するように配線されている。

30

【0021】

次に、従来の反射型液晶表示装置 10A において、上記した一つの画素を p 型 Si 基板 11 上で列方向と行方向とにマトリックス状に複数配置した時のアクティブマトリックス駆動回路について図 4 を用いて説明する。

40

【0022】

図 4 (a) は反射型液晶表示装置におけるアクティブマトリックス駆動回路を説明するためのブロック図であり、(b) は (a) 中の TR 部を拡大して示した模式図である。

【0023】

図 4 (a), (b) に示した如く、従来の反射型液晶表示装置 10A におけるアクティブマトリックス駆動回路 50A では、前記した MOSFET (スイッチング素子) 14 と、MOSFET 14 に接続した反射用画素電極 30 及び保持容量部 C とを組にして一つの画素が形成され、この画素の組が p 型 Si 基板 (半導体基板) 11 上で列方向と行方向とに

50

マトリックス状に複数配置されている。また、図1から明らかなように複数の反射用画素電極30に対向して透明な共通電極32が透明基板33に成膜され、複数の反射用画素電極30と共通電極32との間に液晶31が封入されている。

【0024】

そして、複数の画素のうち一つの画素を特定するために、水平シフトレジスタ回路51と垂直シフトレジスタ回路54とが列方向と行方向とに別れてそれぞれ設けられている。

【0025】

まず、水平シフトレジスタ回路51側では、画素の各列ごとにビデオスイッチ52を介して信号線41が垂直方向に向かって配線されているものの、図4(a)では図示の都合上、信号線41は1本のみを水平シフトレジスタ回路51側に結線した状態で示す。また、水平シフトレジスタ回路51とビデオスイッチ52との間の信号線41にはビデオ線53が結線されている。また、一つの信号線41は、一つの列に配置した複数のMOSFET14のソース電極19に接続されている。

10

【0026】

次に、垂直シフトレジスタ回路54側では、画素の各行ごとにゲート線45が水平方向に向かって配線されているものの、図4(a)では図示の都合上、ゲート線45は1本のみを垂直シフトレジスタ回路54側に結線した状態で示す。また、一つのゲート線45は、一つの行に配置した複数のMOSFET14のゲート電極16に接続されている。

【0027】

また、各MOSFET14のドレイン電極21は、保持容量部Cの容量電極24と反射用画素電極30とに接続されている。この際、アクティブマトリックス駆動回路50Aは、周知のフレーム反転駆動法を適用しており、ビデオ信号はフレーム周期ごとに正極性及び負極性に反転し、即ち、例えば、ビデオ信号の第nフレーム期間が正書き込み、第(n+1)フレーム期間が負書き込みとなる。従って、信号線41からビデオ信号を入力する場合には、信号線41をMOSFET14のソース電極19か、又は、ドレイン電極21のいずれか一方に接続すれば良いが、ここでは上述したように信号線41をソース電極19に接続している。尚、信号線41をドレイン電極21に接続した場合には、ソース電極19に保持容量部Cの容量電極24と反射用画素電極30とが接続される。

20

【0028】

また、上記した従来の反射型液晶表示装置10Aにおいて、固定電位としてMOSFET14に供給する第1固定電位（以下、ウエル電位と記す）と、保持容量部Cに供給する第2固定電位（以下、COM電位と記す）とが必要である。

30

【0029】

即ち、MOSFET14に供給するウエル電位（第1固定電位）は、ゲート線45と、一つのp⁻ウエル領域12内に形成したp⁺電極35{図2(a)}上のウエル電位用コンタクト36{図2(a), 図3}に接続されたウエル線（第1固定電位線）42との間に固定電位として例えば0Vの電圧が印加されている。尚、N⁻ウエル領域を用いた場合にはウエル電位として例えば15Vを印加すれば良い。

【0030】

また、保持容量部Cに供給するCOM電位（第2固定電位）は、保持容量部Cの容量電極24と、拡散容量電極22上のCOM電位用コンタクト37{図2(b), 図3}に接続されたCOM線（第2電位線）43との間に固定電位として例えば8.5Vの電圧が印加されている。この際、COM電位は、保持容量部Cを形成するためには基本的に何ボルトでもかまわないものの、ビデオ信号の中心値（例えば8.5V）などに設定しておけば、保持容量部Cにかかる電圧は電源電圧の略半分ですむ。つまり、保持容量耐圧は電源電圧の略半分で良いので、保持容量部Cの絶縁膜23(図1)の厚のみを薄くして容量値を大きくすることが可能であり、保持容量部Cの保持容量が大きいと、反射用画素電極30の電位の変動を小さくすることができ、フリッカーや焼きつきなどに有利である。そして、保持容量部Cは、一つの反射用画素電極30に印加された電位とCOM電位との電位差に応じて電荷を蓄積し、非選択期間に一つのMOSFET14がオフ状態になってもその電

40

50

圧を保持し、一つの反射用画素電極 30 にその保持電圧を印加し続ける機能を備えている。

【0031】

ここで、従来の反射型液晶表示装置 10A におけるアクティブマトリックス駆動回路 50A において、一つの画素を駆動させる場合には、ビデオ線 53 から順次タイミングをずらして入力されたビデオ信号がビデオスイッチ 52 を介して列方向に配置した一つの信号線 41 に供給され、且つ、この一つの信号線 41 と行方向に配置した一つのゲート線 45 とが交差した位置にある一つの MOSFET 14 が選択されて ON 動作する。

【0032】

そして、選択された一つの反射用画素電極 30 に信号線 41 を介してビデオ信号が入力されると電荷のかたちで保持容量部 C に書き込まれ、且つ、選択された一つの反射用画素電極 30 と共通電極 32 と間にビデオ信号に応じて電位差が発生し、液晶 31 の光学特性を変調している。この結果、透明基板 33 側から入射させた読み出し光 L (図 1) は液晶 31 で画素ごとに変調されて反射用画素電極 30 により反射され、透明基板 33 から出射される。このため、透過方式と異なって、読み出し光 L (図 1) を 100% 近く利用でき、投射される画像に対して高精細と高輝度とを両立できる構造となっている。

【0033】

【発明が解決しようとする課題】

ところで、上記構成による従来の反射型液晶表示装置 10A では、図 4 を用いて説明したように、画素の一つの列に沿って配置された複数の画素と接続するために第 1 メタル膜 26 (図 1) 上では信号線 41 と、ウエル線 42 と、COM 線 43 とを 3 本配線する必要があり、第 1 メタル膜 26 (図 1) 上での配線数の多さが画素の微細化の妨げになっており、従来の反射型液晶表示装置 10A では、p 型 Si 基板 11 上にマトリックス状に配置した各画素のサイズが大きくなってしまっている。

【0034】

【課題を解決するための手段】

本発明は上記課題に鑑みてなされたものであり、請求項 1 記載の発明は、半導体基板のウエル領域内にスイッチング素子を設け、且つ、前記スイッチング素子と、前記スイッチング素子に接続した複数のメタル膜のうちで最上層のメタル膜となる反射用画素電極及び保持容量部とを組にして一つの画素を形成し、この画素を前記半導体基板上で列方向と行方向とにマトリックス状に複数配置すると共に、複数の前記反射用画素電極に対向して透明な共通電極を透明基板に成膜して、複数の前記反射用画素電極と前記共通電極との間に液晶を封入して構成した反射型液晶表示装置において、

互いに隣接する列を第 1、第 2 画素列とし、前記マトリックス状に配置された複数の画素が前記第 1、第 2 画素列を一組とする単位画素列が前記行方向に複数配置されたものとするとき、

前記行方向に形成されている前記ウエル領域及び前記保持容量部の拡散容量電極は、前記複数の列に跨って共通形成され、

前記複数のメタル膜のうちで最下層のメタル膜は、一方が前記最上層のメタル膜に接続されると共に、他方が前記第 1 画素列では、前記ウエル領域に第 1 コンタクトを介して接続され、前記第 2 画素列では、前記拡散容量電極に第 2 コンタクトを介して接続されていることを特徴とする反射型液晶表示装置である。

【0035】

また、請求項 2 記載の発明は、半導体基板のウエル領域内にスイッチング素子を設け、且つ、前記スイッチング素子と、前記スイッチング素子に接続した複数のメタル膜のうちで最上層のメタル膜となる反射用画素電極及び保持容量部とを組にして一つの画素を形成し、この画素を前記半導体基板上で列方向と行方向とにマトリックス状に複数配置すると共に、複数の前記反射用画素電極に対向して透明な共通電極を透明基板に成膜して、複数の前記反射用画素電極と前記共通電極との間に液晶を封入して構成した反射型液晶表示装置において、

10

20

30

40

50

互いに隣接する列を第1、第2画素列とし、前記第1、第2画素列間に配置された少なくとも1種類以上の列を第3画素列とし、前記マトリックス状に配置された複数の画素が前記第1乃至第3画素列を一組とする単位画素列が前記行方向に複数配置されたものとするとき、

前記行方向に形成されている前記ウエル領域及び前記保持容量部の拡散容量電極は、前記複数の列に跨って共通形成され、

前記複数のメタル膜のうちで最下層のメタル膜は、一方が前記最上層のメタル膜に接続されると共に、他方が前記第1画素列では、前記ウエル領域に第1コンタクトを介して接続され、前記第2画素列では、前記拡散容量電極に第2コンタクトを介して接続され、前記第3画素列では、前記ウエル領域及び前記拡散容量電極のいずれにも接続されていない

10

【0037】

【発明の実施の形態】

以下に本発明に係る反射型液晶表示装置の一実施例を先に説明した図1、図4及び新たな図5乃至図12を参照して詳細に説明する。

【0038】

図5(a)、(b)は本発明に係る反射型液晶表示装置において、半導体基板上の画素Aと画素Bとを説明するために模式的に拡大して示した平面図、

図6は図5(a)に示した画素Aの場合を説明するための図であり、(a)は図1中で紙面に垂直な方向の p^- ウエル領域側を断面して示し、(b)は図1中で紙面に垂直な方向の保持容量部側を断面して示した断面図、

20

図7は図5(b)に示した画素Bの場合を説明するための図であり、(a)は図1中で紙面に垂直な方向の p^- ウエル領域側を断面して示し、(b)は図1中で紙面に垂直な方向の保持容量部側を断面して示した断面図、

図8は本発明に係る反射型液晶表示装置において、半導体基板上に画素A列と画素B列とを配置した場合を示した平面図である。

【0039】

本発明に係る反射型液晶表示装置10Bにおける画素の構造形態は、先に従来例として図3を用いて説明した一つの画素に配線した3本の信号線41、ウエル線42、COM線43のうちでウエル線42、COM線43の配置方法が異なるだけであり、一つの画素の基本的な構造形態は先に説明した図1と同じであるので図1中に反射型液晶表示装置(10B)と図示する。

30

【0040】

また、本発明に係る反射型液晶表示装置10Bにおけるアクティブマトリックス駆動回路50Bも、先に図4を用いて説明した従来のアクティブマトリックス駆動回路50Aに対してウエル電位とCOM電位の電圧供給方法が一部異なるだけであり、その他は従来と同じであるので図4中にアクティブマトリックス駆動回路(50B)と図示する。

【0041】

これに伴って、本発明に係る反射型液晶表示装置10Bにおいて、先に示した構成部材に対しては同一の符号を付して図示し、且つ、先に示した構成部材は必要に応じて適宜説明し、従来と異なる構成部材に新たな符号を付して、従来と異なる点を中心にして説明する。

40

【0042】

先に図1を用いて説明した如く、本発明に係る反射型液晶表示装置10Bも、複数の画素のうちで一つの画素を拡大して図示すると、基台となる半導体基板11は、 p 型Si基板(又は n 型Si基板でも良い)を用いており、この半導体基板(以下、 p 型Si基板と記す)11内に一つの p^- ウエル領域12が左右のフィールド酸化膜13A、13Bによって画素単位で図示位置内に隔離された状態で設けられている。そして、一つの p^- ウエル領域12内に一つのスイッチング素子14としてMOSFETが設けられている。

【0043】

50

この際、先に図4を用いて説明した如く、アクティブマトリックス駆動回路50Bでも、前記したMOSFET14と、MOSFET14に接続した反射用画素電極30及び保持容量部Cとを組にして一つの画素が形成され、この画素の組がp型Si基板11上で列方向と行方向とにマトリックス状に複数配置されている。また、複数の反射用画素電極30に対向して透明な共通電極32が透明基板33に成膜され、複数の反射用画素電極30と共通電極32との間に液晶31が封入されている点は従来と同様である。

【0044】

ここで、従来と異なる点を図5～図7を用いて説明すると、図5(a), (b)に示したように本発明に係る反射型液晶表示装置10Bでは、p型Si基板11上にマトリックス状に配置される複数の画素として、第1画素となる画素Aと第2画素となる画素Bの2種類のパターンが予め設定されている。

10

【0045】

まず、図5(a)に示した画素A(第1画素)の場合では、図示左上方で水平方向に沿って設けたMOSFET14のソースS及びゲートG並びドレインDに対応してソース用コンタクト(ソース電極)19及びゲート電極16並びにドレイン用コンタクト(ドレイン電極)21がそれぞれ配置され、この下方に保持容量部Cの拡散容量電極22が従来よりも面積を小さくして長形状に配置されているので、反射用画素電極30も従来よりも面積を小さくして矩形状に形成されている。

【0046】

また、画素Aの場合では、信号線41Aが後述する画素A列(図8)に沿って配置された複数の画素Aの各ソース用コンタクト(ソース電極)19に接続した状態で配線され、且つ、ウエル線42Aが画素A列に沿って配置された複数の画素Aのウエル電位用コンタクト36に接続した状態で配線されており、且つ、COM線は配線されていない。この際、信号線41Aとウエル線42Aとの間には、上方のドレイン用コンタクト21とこの下方の容量電極用コンタクト34とに接続した接続線44Aが1画素の範囲内で信号線41A、ウエル線42Aと略平行に配線されている。また、ゲート電極16に接続したゲート線45がこの画素と同じ行に沿って配置された複数の画素と接続するように配線されている。

20

【0047】

従って、画素Aでは、図6(a)に示したように、図1中で紙面に垂直な方向のp⁻ウエル領域12の上方にp⁺電極35が形成されており、このp⁺電極35上にアルミ配線によるウエル電位用コンタクト36が形成され、このウエル電位用コンタクト36は第1メタル膜26上のウエル線42{図5(a)}に接続されている。

30

【0048】

一方、画素Aでは、図6(b)に示したように、図1中で紙面に垂直な方向の保持容量部Cの拡散容量電極22上にアルミ配線によるCOM電位用コンタクトが形成されてなく、これに伴って第1メタル膜26上にCOM線が配線されていない。

【0049】

次に、図5(b)に示した画素Bの場合でも、上記した画素Aと同様に、図示左上方で水平方向に沿って設けたMOSFET14のソースS及びゲートG並びドレインDに対応してソース用コンタクト(ソース電極)19及びゲート電極16並びにドレイン用コンタクト(ドレイン電極)21がそれぞれ配置され、この下方に保持容量部Cの拡散容量電極22が従来よりも面積を小さくして長形状に配置されているので、反射用画素電極30も従来よりも面積を小さくして矩形状に形成されている。

40

【0050】

また、画素Bの場合では、画素Aの場合と同様に、信号線41Bが後述する画素B列(図8)に沿って配置された複数の画素Bの各ソース用コンタクト(ソース電極)19に接続した状態で配線されているものの、ここでは画素Aの場合とは異なって、COM線43Bが画素B列に沿って配置された複数の画素BのCOM電位用コンタクト37に接続した状態で配線されており、且つ、ウエル線は配線されていない。この際、信号線41BとC O

50

M線43Bとの間には、上方のドレイン用コンタクト21とこの下方の容量電極用コンタクト34とに接続した接続線44Bが1画素の範囲内で信号線41B、COM線43Bと略平行に配線されている。また、画素Aと同様に、ゲート電極16に接続したゲート線45がこの画素と同じ行に沿って配置された複数の画素と接続するように配線されている。

【0051】

従って、画素Bでは、図7(a)に示したように、図1中で紙面に垂直な方向の p^- ウエル領域12の上方に p^+ 電極が形成されていないために、ウエル電位用コンタクトが形成されてなく、これに伴って第1メタル膜26上にウエル線が配線されていない。

【0052】

一方、画素Bでは、図7(b)に示したように、図1中で紙面に垂直な方向の保持容量部Cの拡散容量電極22上にアルミ配線によるCOM電位用コンタクト37が形成され、このCOM電位用コンタクト37は第1メタル膜26上のCOM線43{図5(b)}に接続されている。

10

【0053】

そして、上記した画素Aと画素Bとをp型Si基板11上に複数配置した場合の配置例は、図8に示したようになる。

【0054】

具体的には、図8に示したように、p型Si基板11上に複数の画素を配置する際に、複数の画素A(第1画素)を垂直方向に一つの列に沿って配置して画素A列(第1画素列)を形成し、且つ、複数の画素B(第2画素)を垂直方向に一つの列に対して隣の列に沿って配置して画素B列(第2画素列)を形成し、以下、画素A列、画素B列、画素A列、…とを水平方向に向かって交互に繰り返して配置している。従って、p型Si基板11上の複数の画素は、垂直方向(列方向)にそれぞれ一列に並べ、且つ、水平方向(行方向)に隣接させて交互に繰り返し配置した画素A列、画素B列とからなっている。尚、図8では図示の都合上、複数の画素A及び複数の画素Bは垂直方向に各2個だけ図示している。

20

【0055】

そして、画素A列及び画素B列は、複数の画素Aに接続した信号線41Aと複数の画素Bに接続した信号線41Bとがそれぞれの画素列に沿って配線されている。また、画素A列の接続線44A及び画素B列の接続線44Bが一つの画素の範囲内で信号線41A、41Bと略平行に配線されている。更に、画素A列及び画素B列は、共にゲート線45が各行ごとに画素A、画素Bに接続して配線されている。

30

【0056】

ここで、画素A列は、ウエル線42Aが同じ列の各画素A内の p^- ウエル領域12の p^+ 電極35{図6(a)}に形成したウエル電位用コンタクト36に接続して配線されているものの、COM線は配線されていない。一方、画素B列は、COM線43Bが同じ列の各画素B内の保持容量部Cの拡散容量電極22に形成したCOM電位用コンタクト37に接続して配線されているものの、ウエル線は配線されていない。

【0057】

上記により、画素A列のウエル電位はウエル線42Aを通じて供給され、且つ、画素A列のCOM電位は図8から明らかなように各画素の行方向に沿って繋がっている拡散容量電極22中でこの画素A列の隣の画素B列の各保持容量部Cの拡散容量電極22を通じて供給されている。この場合、一般的にp型Si基板11にイオン注入によって形成された保持容量部Cの拡散容量電極22は、アルミ配線で形成された電極と比較して抵抗が大きい、数十ミクロンの距離では十分に抵抗が低いため何等の問題も生じない。

40

【0058】

一方、画素B列のCOM電位はCOM線43Bを通じて供給され、且つ、画素B列のウエル電位は図8から明らかなように各画素の行方向に沿って繋がっている p^- ウエル領域12中でこの画素B列の隣の画素A列の各 p^- ウエル領域12を通じて電位を供給されている。こちらも、一般的に p^- ウエル領域12内にイオン注入によって形成された p^+ 電極35{図6(a)}は、アルミ配線で形成された電極と比較して抵抗が大きい、数

50

十ミクロンの距離では十分に抵抗が低いため何等の問題も生じない。

【0059】

このように、画素A列にウエル線（第1固定電位線）42Aを配線し、一方、画素B列にCOM線（第2固定電位線）43Bを配線することで、画素A列と画素B列とにそれぞれ供給するウエル電位（第1固定電位）、COM電位（第2固定電位）を、ウエル線42A、COM線43Bが配線されている方の画素A列、画素B列とで互いに補完し合うことにより、第1メタル膜26（図1）上でのアルミ配線数を少なくすることが可能になり、1画素あたりの面積を小さくすることができるために、p型Si基板11上に配置した複数の画素の微細化を図ることが可能になる。

【0060】

尚、上記した実施例では、半導体基板11としてp型Si基板を用いた際に、画素A列、画素B列の各画素に供給するための2つの固定電位となるウエル電位（第1固定電位）、COM電位（第2固定電位）を、隣接する画素A列、画素B列により互いに補完し合う場合を説明したが、2つの固定電位に限定されるものではなく、補完し合う固定電位が2つ以上の場合も有り得る。

【0061】

例えば、図1の断面図において、半導体基板11としてn型Si基板を用いた際には、画素列の各画素に供給するための3つの固定電位となるpウエル電位（第1固定電位）、COM電位（第2固定電位）、nウエル電位（第3固定電位）が必要となる。これに伴って従来では、画素列の各画素にpウエル電位（第1固定電位）を供給するためのpウエル線（第1固定電位線）と、COM電位（第2固定電位）を供給するためのCOM線（第2固定電位線）と、nウエル電位（第3固定電位線）を供給するためのnウエル線（第3固定電位線）とを一つの画素列に配線しなければならなかったが、本発明では、上記した技術的思想により、一つの画素列に用意する固定電位線は1本で良く、画素列の各画素に2種類以上の固定電位を供給するための2種類以上の固定電位線を2つ以上の画素列に個々に振り分けてそれぞれの画素列の各画素に接続させて配線し、2種類以上の固定電位のそれぞれを隣接又は近接する画素列の各画素により補完し合うことで、例えば、上記した3種類のウエル電位（第1固定電位）、COM電位（第2固定電位）、nウエル（第3固定電位）を第1～第3固定電位線により互いに補完し合うことができ、画素の微細化が実現できる。

【0062】

次に、画素A列と画素B列とにそれぞれ供給するウエル電位、COM電位を画素A列と画素B列とで互いに補完し合う技術的思想を一部拡張して、画素A列と画素B列との間にウエル電位及びCOM電位を接続しない画素M列又は画素N列を配置した例について図9～図12を用いて簡略に説明する。

【0063】

図9は本発明に係る反射型液晶表示装置において、半導体基板上に画素A列と、画素M列と、画素B列とを配置した第1の3画素列配置形態を説明するための平面図、
図10は図9に示した第1の3画素列配置形態において、画素M列上でゴミなどによりアルミ配線がショートした場合を説明するための平面図、
図11は本発明に係る反射型液晶表示装置において、半導体基板上に画素A列と、画素N列と、画素B列とを配置した第2の3画素列配置形態を説明するための平面図、
図12は図11に示した第2の3画素列配置形態において、画素N列上でゴミなどによりアルミ配線がショートした場合を説明するための平面図である。

【0064】

まず、図9に示した第1の3画素列配置形態では、p型Si基板11上に複数の画素を配置する際に、複数の画素A（第1画素）を垂直方向に配置した画素A列（第1画素列）と、複数の画素B（第2画素）を垂直方向に配置した画素B列（第2画素列）との間に、複数の画素M（第3画素）を垂直方向に配置して画素M列（第3画素列）を形成して、画素A列、画素M列、画素B列、画素A列、……の順に水平方向に繰り返して配置している。

従って、p型Si基板11上の複数の画素は、垂直方向（列方向）にそれぞれ一列に並べ、且つ、水平方向（行方向）に1画素離して交互に繰り返し配置した画素A列、画素B列と、画素A列と画素B列との間に配置した画素M列とからなっている。

【0065】

尚、画素A列（第1画素列）と画素B列（第1画素列）との間は少なくとも1画素列以上離しておけば良く、且つ、画素A列（第1画素列）と画素B列（第1画素列）との間に少なくとも1種類以上の画素M列（第3画素列）を配置すれば良いものである。

【0066】

ここで、画素M列では、信号線41Mがこの画素M列に沿って配置された複数の画素Mの各ソース用コンタクト（ソース電極）19に接続した状態で配線されており、且つ、ウェル電位及びCOM電位を接続しない各画素共通のアルミパターン線46がこの画素M列に沿って配線されている。尚、アルミパターン線46は画素A列、画素B列と略同じ形態でダミーに配線することで、各画素へのアルミ配線の均等化を図っている。

10

【0067】

この際、信号線41Mとアルミパターン線46との間には、先に説明したと同様に接続線44Mが1画素の範囲内で信号線41M、アルミパターン線46と略平行に配線されている。

【0068】

上記により、第1の3画素列配置形態において、画素A列のウェル電位はウェル電位用コンタクト36に接続したウェル線42Aを通じて供給され、且つ、画素A列のCOM電位は図9から明らかなように各画素の行方向に沿って繋がっている拡散容量電極22中で左隣の画素B列の各保持容量部Cの拡散容量電極22を通じて供給されている。

20

【0069】

また、画素B列のウェル電位は図9から明らかなように各画素の行方向に沿って繋がっているp-ウェル領域12中で右隣の画素A列の各p-ウェル領域12を通じて電位を供給され、且つ、画素B列のCOM電位はCOM電位用コンタクト37に接続したCOM線43Bを通じて供給されている。

【0070】

また、画素M列のウェル電位は図9から明らかなように各画素の行方向に沿って繋がっているp-ウェル領域12中で左隣の画素A列の各p-ウェル領域12を通じて電位を供給され、且つ、画素M列のCOM電位は図9から明らかなように各画素の行方向に沿って繋がっている拡散容量電極22中で右隣の画素M列の各保持容量部Cの拡散容量電極22を通じて供給されている。

30

【0071】

このように、第1の3画素列配置形態でも、画素A列にウェル線42Aを配線し、一方、画素B列にCOM線43Bを配線することで、画素A列と画素M列と画素B列とにそれぞれ供給するウェル電位、COM電位を、ウェル線42A、COM線43Bが配線されている方の画素A列、画素B列とで互いに補完し合うことにより、第1メタル膜26（図1）上でのアルミ配線数を少なくすることが可能になり、1画素あたりの面積を小さくすることができるために、p型Si基板11上に配置した複数の画素の微細化を図ることが可能になる。

40

【0072】

更に、第1の3画素列配置形態において、図10に示した如く、画素M列の接続線44と、ウェル電位及びCOM電位を接続しない各画素共通のアルミパターン線46とが第1メタル膜26（図1、図6）上でゴミなどの付着により1箇所ショートしても、ショートした部位が画素M列ならば画素欠陥にならないため、画素A列と画素Bとの間に画素M列を配置することで本発明に係る反射型液晶表示装置10Bの歩留まりを向上させることができる。

【0073】

次に、図11に示した第2の3画素列配置形態では、p型Si基板11上に複数の画素を

50

配置する際に、複数の画素A（第1画素）を垂直方向に配置した画素A列（第1画素列）と、複数の画素B（第2画素）を垂直方向に配置した画素B列（第2画素列）との間に、複数の画素N（第3画素）を垂直方向に配置して画素N列（第3画素列）を形成して、画素A列、画素N列、画素B列の順に水平方向に繰り返して配置している。

【0074】

ここで、画素N列では、信号線41Nがこの画素N列に沿って配置された複数の画素Nの各ソース用コンタクト（ソース電極）19に接続した状態で配線されており、且つ、図9、図10とは異なってウエル電位及びCOM電位を接続しない画素ごとのアルミパターン線47がこの画素列に沿ってそれぞれ1画素の範囲内で配線されている。この際、信号線41Nとアルミパターン線47との間には、先に説明したと同様に接続線44Nが1画素の範囲内で信号線41N、アルミパターン線47と略平行に配線されている。

10

【0075】

上記により、第2の3画素列配置形態において、画素A列のウエル電位はウエル電位用コンタクト36に接続したウエル線42Aを通じて供給され、且つ、画素A列のCOM電位は図11から明らかなように各画素の行方向に沿って繋がっている拡散容量電極22中で左隣の画素B列の各保持容量部Cの拡散容量電極22を通じて供給されている。

【0076】

また、画素B列のウエル電位は図11から明らかなように各画素の行方向に沿って繋がっているp-ウエル領域12中で右隣の画素A列の各p-ウエル領域12を通じて電位を供給され、且つ、画素B列のCOM電位はCOM電位用コンタクト37に接続したCOM線43Bを通じて供給されている。

20

【0077】

また、画素N列のウエル電位は図11から明らかなように各画素の行方向に沿って繋がっているp-ウエル領域12中で左隣の画素A列の各p-ウエル領域12を通じて電位を供給され、且つ、画素N列のCOM電位は図11から明らかなように各画素の行方向に沿って繋がっている拡散容量電極22中で右隣の画素B列の各保持容量部Cの拡散容量電極22を通じて供給されている。

【0078】

このように、第2の3画素列配置形態でも、画素A列にウエル線42Aを配線し、一方、画素B列にCOM線43Bを配線することで、画素A列と画素N列と画素B列とにそれぞれ供給するウエル電位、COM電位を、ウエル線42A、COM線43Bが配線されている方の画素A列、画素B列とで互いに補完し合うことにより、第1メタル膜26（図1）上でのアルミ配線数を少なくすることが可能になり、1画素あたりの面積を小さくすることができるために、p型Si基板11上に配置した複数の画素の微細化を図ることが可能になる。

30

【0079】

更に、第2の3画素列配置形態において、図12に示した如く、画素N列の接続線44と、ウエル電位及びCOM電位を接続しない画素ごとのアルミパターン線47とが第1メタル膜26（図1、図6）上でゴミなどにより複数箇所で浮いてしまっており各箇所接続線44とアルミパターン線47とがショートしても、ショート部位の箇所それぞれが画素欠陥に至らないため、画素A列と画素Bとの間に画素N列を配置することで本発明に係る反射型液晶表示装置10Bの歩留まりを向上させることができる。

40

【0080】

【発明の効果】

以上詳述した本発明に係る反射型液晶表示装置において、請求項1記載によると、とくに、半導体基板上に複数の画素を配置する際に、互いに隣接する列を第1、第2画素列とし、前記マトリックス状に配置された複数の画素が第1、第2画素列を一組とする単位画素列が行方向に複数配置されたものとするとき、前記行方向に形成されているウエル領域及び保持容量部の拡散容量電極は、複数の列に跨って共通形成され、複数のメタル膜のうちで最下層のメタル膜は、一方が前記最上層のメタル膜に接続されると共に、他方が第1

50

画素列では、ウエル領域に第1コンタクトを介して接続され、第2画素列では、拡散容量電極に第2コンタクトを介して接続されていることにより、従来と比べて固定電位用として第1、第2画素列それぞれに配線した固定電位線の本数を削減できるので、半導体基板上に配置した複数の画素の微細化を図ることができ、更に、コンタクトを行方向に間引くことによって反射型液晶表示装置の歩留りを向上させることができる。

【0081】

また、請求項2記載によると、とくに、半導体基板上に複数の画素を配置する際に、互いに隣接する列を第1、第2画素列とし、第1、第2画素列間に配置された少なくとも1種類以上の列を第3画素列とし、マトリックス状に配置された複数の画素が第1乃至第3画素列を一組とする単位画素列が行方向に複数配置されたものとするとき、前記行方向に形成されているウエル領域及び保持容量部の拡散容量電極は、複数の列に跨って共通形成され、複数のメタル膜のうちで最下層のメタル膜は、一方が前記最上層のメタル膜に接続されると共に、他方が第1画素列では、ウエル領域に第1コンタクトを介して接続され、第2画素列では、拡散容量電極に第2コンタクトを介して接続され、第3画素列では、ウエル領域及び拡散容量電極のいずれにも接続されていないことにより、従来と比べて固定電位用として第1、第2画素列それぞれに配線した固定電位線の本数を削減できるので、半導体基板上に配置した複数の画素の微細化を図ることができると共に、第1画素列と第2画素との間に第3画素列を配置することで反射型液晶表示装置の歩留りを向上させることができる。

【図面の簡単な説明】

【図1】反射型液晶表示装置において、一つの画素を模式的に拡大して示した断面図である。

【図2】(a)は図1中で紙面に垂直な方向のp⁻ウエル領域側を断面して示し、(b)は図1中で紙面に垂直な方向の保持容量部を断面して示した断面図である。

【図3】従来の反射型液晶表示装置において、一つの画素を模式的に拡大して示した平面図である。

【図4】(a)は反射型液晶表示装置におけるアクティブマトリックス駆動回路を説明するためのブロック図であり、(b)は(a)中のTR部を拡大して示した模式図である。

【図5】(a)、(b)は本発明に係る反射型液晶表示装置において、半導体基板上の画素Aと画素Bとを説明するために模式的に拡大して示した平面図である。

【図6】図5(a)に示した画素Aの場合を説明するための図であり、(a)は図1中で紙面に垂直な方向のp⁻ウエル領域側を断面して示し、(b)は図1中で紙面に垂直な方向の保持容量部側を断面して示した断面図である。

【図7】図5(b)に示した画素Bの場合を説明するための図であり、(a)は図1中で紙面に垂直な方向のp⁻ウエル領域側を断面して示し、(b)は図1中で紙面に垂直な方向の保持容量部側を断面して示した断面図である。

【図8】本発明に係る反射型液晶表示装置において、半導体基板上に画素A列と画素B列とを配置した場合を示した平面図である。

【図9】本発明に係る反射型液晶表示装置において、半導体基板上に画素A列と、画素M列と、画素B列とを配置した第1の3画素列配置形態を説明するための平面図である。

【図10】図9に示した第1の3画素列配置形態において、画素M列上でゴミなどによりアルミ配線がショートした場合を説明するための平面図である。

【図11】本発明に係る反射型液晶表示装置において、半導体基板上に画素A列と、画素N列と、画素B列とを配置した第2の3画素列配置形態を説明するための平面図である。

【図12】図11に示した第2の3画素列配置形態において、画素N列上でゴミなどによりアルミ配線がショートした場合を説明するための平面図である。

【符号の説明】

10A…従来の反射型液晶表示装置、

10B…本発明に係る反射型液晶表示装置、

11…半導体基板(p型Si基板)、12…p⁻ウエル領域、

10

20

30

40

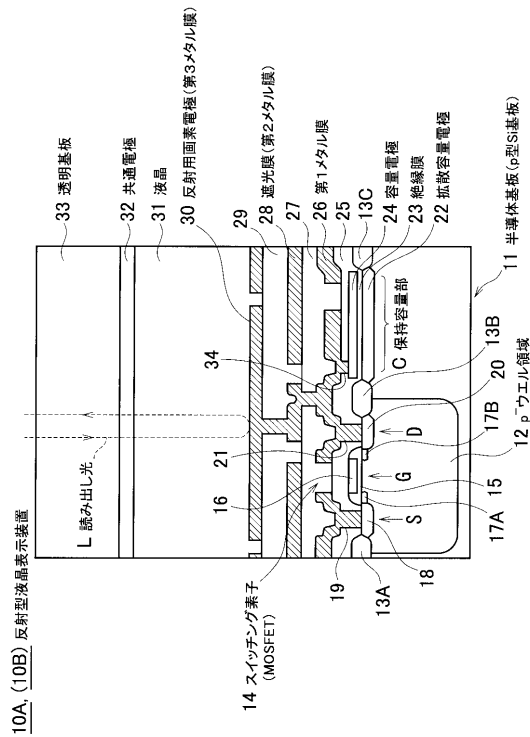
50

1 3 A～1 3 C…フィールド酸化膜、
 1 4…スイッチング素子（M O S F E T）、1 5…ゲート酸化膜、
 1 6…ゲート電極、1 7 A, 1 7 B…L D D低濃度領域、
 1 8…ソース領域、1 9…ソース用コンタクト（ソース電極）、
 2 0…ドレイン領域、2 1…ドレイン用コンタクト（ドレイン電極）、
 2 2…拡散容量電極、2 3…絶縁膜、2 4…容量電極、
 2 5…第1層間絶縁膜、2 6…第1メタル膜、2 7…第2層間絶縁膜、
 2 8…遮光膜（第2メタル膜）、2 9…第3層間絶縁膜、
 3 0…反射用画素電極（第3メタル膜）、
 3 1…液晶、3 2…透明な共通電極、3 3…透明基板（ガラス基板）、
 3 4…容量電極用コンタクト、3 5… p^+ 電極、
 3 6…ウエル電位用コンタクト、3 7…COM電位用コンタクト、
 4 1（4 1 A, 4 1 B, 4 1 M, 4 1 N）…信号線、
 4 2（4 2 A）…第1固定電位線（ウエル線）、
 4 3（4 3 B）…第2固定電位線（COM線）、
 4 4（4 4 A, 4 4 B, 4 4 M, 4 4 N）…接続線、
 4 5…ゲート線、
 4 6…ウエル電位及びCOM電位を接続しない各画素共通のアルミパターン線、
 4 7…ウエル電位及びCOM電位を接続しない画素ごとのアルミパターン線、
 5 0…アクティブマトリックス駆動回路、
 5 1…水平シフトレジスタ回路、5 2…ビデオスイッチ、5 3…ビデオ線、
 5 4…垂直シフトレジスタ回路、
 C…保持容量部、D…ドレイン、G…ゲート、S…ソース、
 第1画素列（画素A列）、
 第2画素列（画素B列）、
 第3画素列（画素C列）。

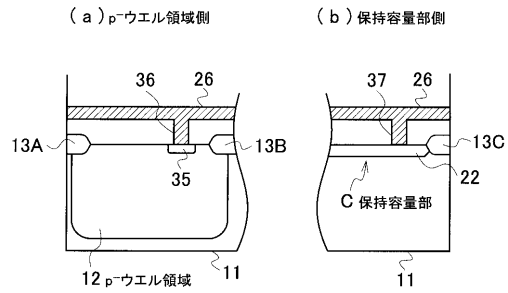
10

20

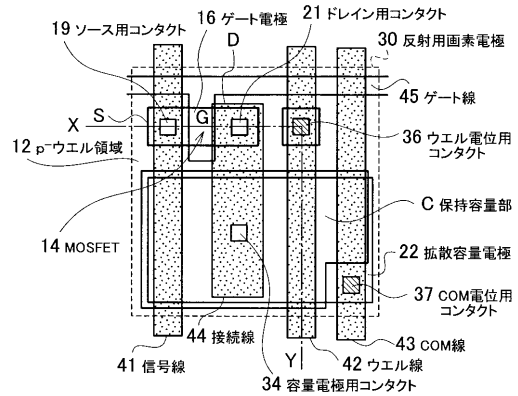
【図 1】



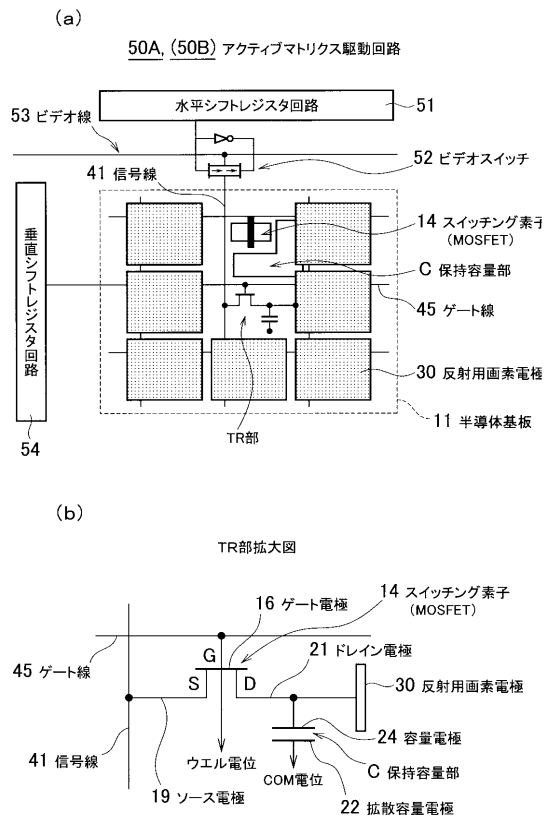
【図 2】



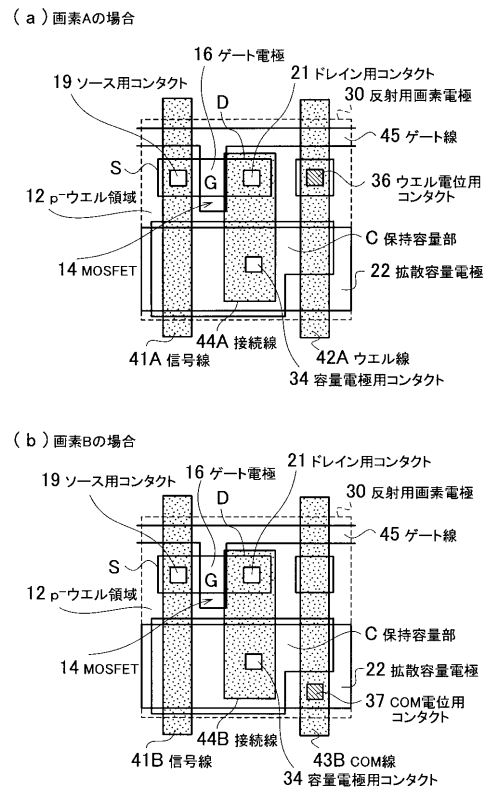
【図 3】



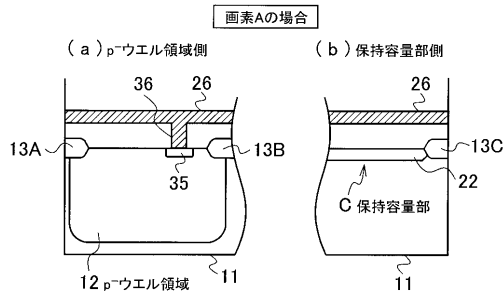
【図 4】



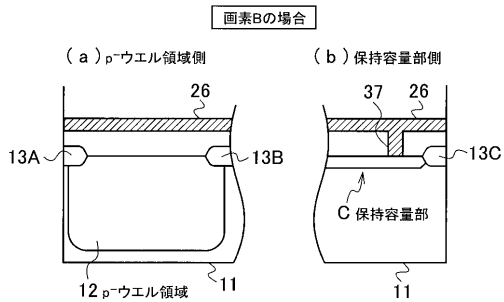
【図 5】



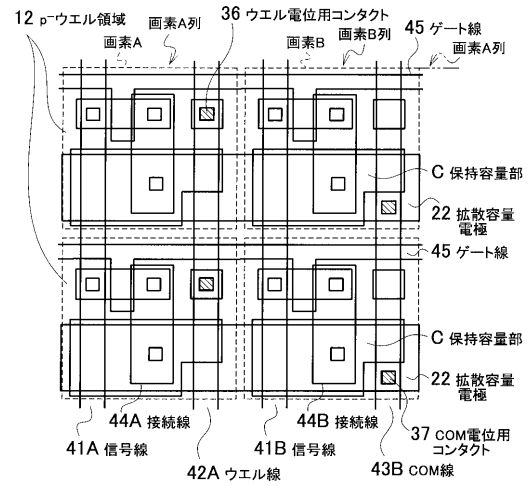
【図 6】



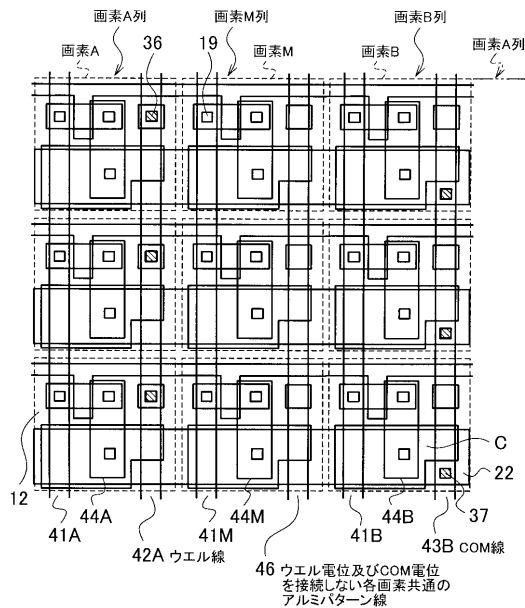
【図 7】



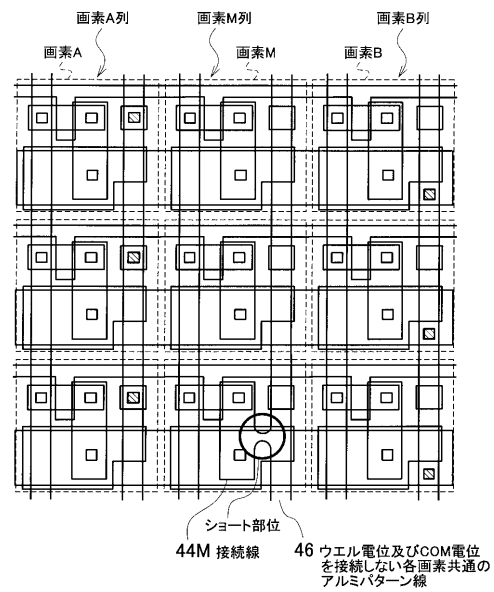
【図 8】



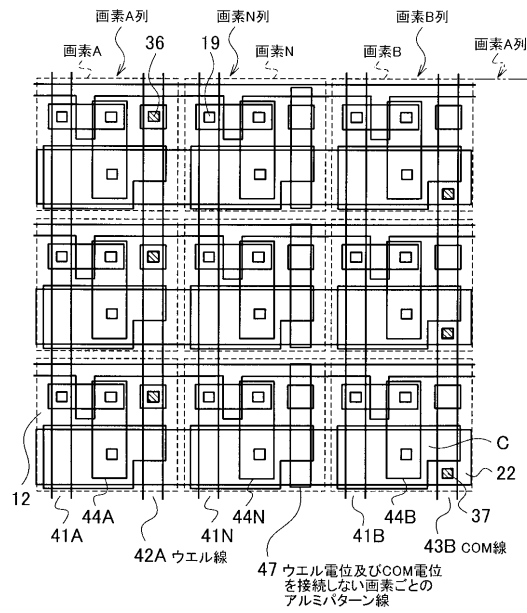
【図 9】



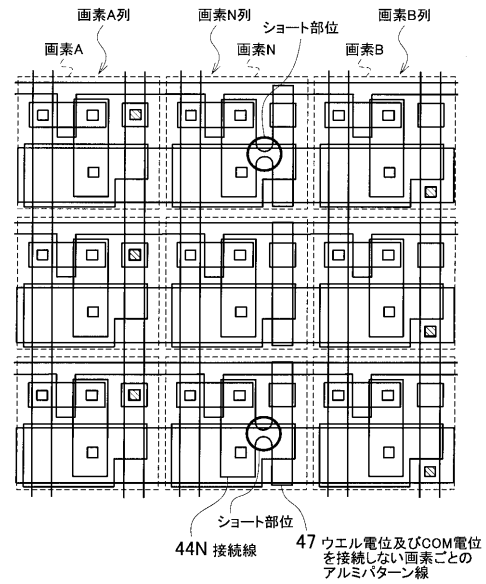
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 岩佐 隆行

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

審査官 日夏 貴史

(56)参考文献 特開平10-039332 (JP, A)

特開平10-123569 (JP, A)

特開平08-076088 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1335 - 1/1368

专利名称(译)	反射型液晶表示装置		
公开(公告)号	JP3969163B2	公开(公告)日	2007-09-05
申请号	JP2002110478	申请日	2002-04-12
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
当前申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	岩佐隆行		
发明人	岩佐 隆行		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/136277 G02F1/136286		
FI分类号	G02F1/1368 G02F1/1335.520 G02F1/1343		
F-TERM分类号	2H091/FA14Y 2H091/GA02 2H091/GA03 2H091/GA13 2H092/JB07 2H092/JB21 2H092/JB61 2H092/JB68 2H092/NA07 2H191/FA13Y 2H191/FA31Y 2H191/FB14 2H191/FD04 2H191/GA04 2H191/GA05 2H191/GA19 2H191/LA13 2H191/LA40 2H191/MA11 2H191/NA43 2H192/AA24 2H192/AA42 2H192/BC42 2H192/BC72 2H192/CB02 2H192/CC26 2H192/CC66 2H192/DA15 2H192/DA43 2H192/EA02 2H192/EA13 2H192/GA42 2H192/GD03 2H291/FA13Y 2H291/FA31Y 2H291/FB14 2H291/FD04 2H291/GA04 2H291/GA05 2H291/GA19 2H291/LA13 2H291/LA40 2H291/MA11 2H291/NA43		
代理人(译)	三好秀 中村智之 伊藤雅一 高桥俊 高松俊夫		
其他公开文献	JP2003302655A		
外部链接	Espacenet		

摘要(译)

反射型液晶显示器具有形成在半导体衬底上的像素矩阵。像素包括在像素A列中排列的像素A和在像素B列中排列的像素B。像素A和像素B列在水平方向上交替。沿着每个像素A列形成第一固定电位线（阱线），并且该第一固定电位线（阱线）连接到像素A列中的像素的阱区域，以向像素A列中的像素提供第一固定电位并且通过像素A列的阱区域连接到像素B列中的相邻像素中的像素。沿着每个像素B列形成第二固定电位线（公共线），并且连接到形成在像素B列中的像素的保持电容器上的扩散电容器电极，以提供第二固定电位（公共电位）通过像素B列的扩散电容器电极连接到像素B列中的像素和相邻的像素A列中的像素。

