

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3864031号
(P3864031)

(45) 発行日 平成18年12月27日(2006.12.27)

(24) 登録日 平成18年10月6日(2006.10.6)

(51) Int.Cl.

F I

G02F 1/133 (2006.01)**G09G 3/20 (2006.01)****G09G 3/36 (2006.01)**

G02F 1/133 575

G09G 3/20 621M

G09G 3/20 623E

G09G 3/20 680G

G09G 3/36

請求項の数 6 (全 21 頁)

(21) 出願番号 特願2000-105317 (P2000-105317)
 (22) 出願日 平成12年4月6日(2000.4.6)
 (65) 公開番号 特開2001-290123 (P2001-290123A)
 (43) 公開日 平成13年10月19日(2001.10.19)
 審査請求日 平成16年11月5日(2004.11.5)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 山縣 誠司
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 國分 政利
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 鵜戸 真也
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 液晶パネル駆動用半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

外部から入力されるnビットのデジタル画像データを保持するデータラッチと、
 各階調の正極性のアナログ階調電圧を正極性階調電圧線に発生させる正極性階調電圧
 発生部と、

各階調の負極性のアナログ階調電圧を負極性階調電圧線に発生させる負極性階調電圧
 発生部と、

直上に前記負極性階調電圧線が配置されずに前記正極性階調電圧線が配置され、前記デ
 ータラッチが保持したnビットのデジタル画像データに応じて、前記正極性階調電圧発生
 部により発生させられる各階調の正極性のアナログ階調電圧を選択する正極性セレクトと

10

、
 直上に前記正極性階調電圧線が配置されずに前記負極性階調電圧線が配置され、前記デ
 ータラッチが保持したnビットのデジタル画像データに応じて、前記負極性階調電圧発生
 部により発生させられる各階調の負極性のアナログ階調電圧を選択する負極性セレクトと

、
 前記正極性セレクト及び前記負極性セレクトにより選択された正極性アナログ階調電圧
 及び負極性アナログ階調電圧を増幅して出力するオペアンプと、

前記オペアンプにより出力される正極性アナログ階調電圧及び負極性アナログ階調電圧
 の信号経路をストレート又はクロスに切り替えて液晶パネルに出力する出力切替部とを備
 え、

20

前記データラッチは、正極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する正極性データラッチと、負極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する負極性データラッチとを含み、

前記正極性セレクトは、前記正極性データラッチが保持したデジタル画像データに応じて前記正極性のアナログ階調電圧を選択し、

前記負極性セレクトは、前記負極性データラッチが保持したデジタル画像データに応じて前記負極性のアナログ階調電圧を選択し、

前記オペアンプは、前記正極性セレクトにより選択された正極性アナログ階調電圧を増幅して出力する正極性オペアンプと、前記負極性セレクトにより選択された負極性アナログ階調電圧を増幅して出力する負極性オペアンプとを含み、

前記正極性データラッチ及び前記正極性セレクトを一組として前記正極性階調電圧線に対して水平方向に複数並べ、前記負極性データラッチ及び前記負極性セレクトを一組として前記負極性階調電圧線に対して水平方向に複数並べて配置したことを特徴とする液晶パネル駆動用半導体集積回路。

【請求項 2】

外部から入力される n ビットのデジタル画像データを保持するデータラッチと、各階調の正極性のアナログ階調電圧を正極性階調電圧線に発生させる正極性階調電圧発生部と、

各階調の負極性のアナログ階調電圧を負極性階調電圧線に発生させる負極性階調電圧発生部と、

直上に前記負極性階調電圧線が配置されずに前記正極性階調電圧線が配置され、前記データラッチが保持した n ビットのデジタル画像データに応じて、前記正極性階調電圧発生部により発生させられる各階調の正極性のアナログ階調電圧を選択する正極性セレクトと

、
直上に前記正極性階調電圧線が配置されずに前記負極性階調電圧線が配置され、前記データラッチが保持した n ビットのデジタル画像データに応じて、前記負極性階調電圧発生部により発生させられる各階調の負極性のアナログ階調電圧を選択する負極性セレクトと

、
前記正極性セレクト及び前記負極性セレクトにより選択された正極性アナログ階調電圧及び負極性アナログ階調電圧を増幅して出力するオペアンプと、

前記オペアンプにより出力される正極性アナログ階調電圧及び負極性アナログ階調電圧の信号経路をストレート又はクロスに切り替えて液晶パネルに出力する出力切替部とを備え、

前記データラッチは、正極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する正極性データラッチと、負極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する負極性データラッチとを含み、

前記正極性セレクトは、前記正極性データラッチが保持したデジタル画像データに応じて前記正極性のアナログ階調電圧を選択し、

前記負極性セレクトは、前記負極性データラッチが保持したデジタル画像データに応じて前記負極性のアナログ階調電圧を選択し、

前記オペアンプは、前記正極性セレクトにより選択された正極性アナログ階調電圧を増幅して出力する正極性オペアンプと、前記負極性セレクトにより選択された負極性アナログ階調電圧を増幅して出力する負極性オペアンプとを含み、

前記正極性セレクト及び前記正極性データラッチを正極性の組とし、前記負極性セレクト及び前記負極性データラッチを負極性の組として、前記正極性データラッチと前記負極性データラッチとが隣接するように前記正極性の組及び前記負極性の組を配置してこれを一組とし、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする液晶パネル駆動用半導体集積回路。

【請求項 3】

外部から入力される n ビットのデジタル画像データを保持するデータラッチと、

10

20

30

40

50

各階調の正極性のアナログ階調電圧を正極性階調電圧線上に発生させる正極性階調電圧発生部と、

各階調の負極性のアナログ階調電圧を負極性階調電圧線上に発生させる負極性階調電圧発生部と、

直上に前記負極性階調電圧線が配置されずに前記正極性階調電圧線が配置され、前記データラッチが保持したnビットのデジタル画像データに応じて、前記正極性階調電圧発生部により発生させられる各階調の正極性のアナログ階調電圧を選択する正極性セレクトと

直上に前記正極性階調電圧線が配置されずに前記負極性階調電圧線が配置され、前記データラッチが保持したnビットのデジタル画像データに応じて、前記負極性階調電圧発生部により発生させられる各階調の負極性のアナログ階調電圧を選択する負極性セレクトと

10

前記正極性セレクト及び前記負極性セレクトにより選択された正極性アナログ階調電圧及び負極性アナログ階調電圧を増幅して出力するオペアンプと、

前記オペアンプにより出力される正極性アナログ階調電圧及び負極性アナログ階調電圧の信号経路をストレート又はクロスに切り替えて液晶パネルに出力する出力切替部とを備え、

前記データラッチは、正極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する正極性データラッチと、負極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する負極性データラッチとを含み、

20

前記正極性セレクトは、前記正極性データラッチが保持したデジタル画像データに応じて前記正極性のアナログ階調電圧を選択し、

前記負極性セレクトは、前記負極性データラッチが保持したデジタル画像データに応じて前記負極性のアナログ階調電圧を選択し、

前記オペアンプは、前記正極性セレクトにより選択された正極性アナログ階調電圧を増幅して出力する正極性オペアンプと、前記負極性セレクトにより選択された負極性アナログ階調電圧を増幅して出力する負極性オペアンプとを含み、

前記正極性セレクト及び前記正極性データラッチを正極性の組とし、前記負極性セレクト及び前記負極性データラッチを負極性の組として、前記正極性セレクトと前記負極性セレクトとが隣接するように前記正極性の組及び前記負極性の組を配置してこれを一組とし、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする液晶パネル駆動用半導体集積回路。

30

【請求項4】

外部から入力されるnビットのデジタル画像データを保持するデータラッチと、

各階調の正極性のアナログ階調電圧を正極性階調電圧線上に発生させる正極性階調電圧発生部と、

各階調の負極性のアナログ階調電圧を負極性階調電圧線上に発生させる負極性階調電圧発生部と、

直上に前記負極性階調電圧線が配置されずに前記正極性階調電圧線が配置され、前記データラッチが保持したnビットのデジタル画像データに応じて、前記正極性階調電圧発生部により発生させられる各階調の正極性のアナログ階調電圧を選択する正極性セレクトと

40

直上に前記正極性階調電圧線が配置されずに前記負極性階調電圧線が配置され、前記データラッチが保持したnビットのデジタル画像データに応じて、前記負極性階調電圧発生部により発生させられる各階調の負極性のアナログ階調電圧を選択する負極性セレクトと

前記正極性セレクト及び前記負極性セレクトにより選択された正極性アナログ階調電圧及び負極性アナログ階調電圧を増幅して出力するオペアンプと、

前記オペアンプにより出力される正極性アナログ階調電圧及び負極性アナログ階調電圧の信号経路をストレート又はクロスに切り替えて液晶パネルに出力する出力切替部とを備

50

え、

前記データラッチは、正極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する正極性データラッチと、負極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する負極性データラッチとを含み、

前記正極性セレクトは、前記正極性データラッチが保持したデジタル画像データに応じて前記正極性のアナログ階調電圧を選択し、

前記負極性セレクトは、前記負極性データラッチが保持したデジタル画像データに応じて前記負極性のアナログ階調電圧を選択し、

前記オペアンプは、前記正極性セレクトにより選択された正極性アナログ階調電圧を増幅して出力する正極性オペアンプと、前記負極性セレクトにより選択された負極性アナログ階調電圧を増幅して出力する負極性オペアンプとを含み、

前記正極性セレクト及び前記正極性データラッチを正極性の組とし、前記負極性セレクト及び前記負極性データラッチを負極性の組として、前記正極性及び負極性の異なる組のセレクトとデータラッチとが隣接するように前記正極性の組及び前記負極性の組を配置してこれを一組とし、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする液晶パネル駆動用半導体集積回路。

【請求項 5】

外部から入力される n ビットのデジタル画像データを保持するデータラッチと、

各階調の正極性のアナログ階調電圧を正極性階調電圧線上に発生させる正極性階調電圧発生部と、

各階調の負極性のアナログ階調電圧を負極性階調電圧線上に発生させる負極性階調電圧発生部と、

直上に前記負極性階調電圧線が配置されずに前記正極性階調電圧線が配置され、前記データラッチが保持した n ビットのデジタル画像データに応じて、前記正極性階調電圧発生部により発生させられる各階調の正極性のアナログ階調電圧を選択する正極性セレクトと

直上に前記正極性階調電圧線が配置されずに前記負極性階調電圧線が配置され、前記データラッチが保持した n ビットのデジタル画像データに応じて、前記負極性階調電圧発生部により発生させられる各階調の負極性のアナログ階調電圧を選択する負極性セレクトと

前記正極性セレクト及び前記負極性セレクトにより選択された正極性アナログ階調電圧及び負極性アナログ階調電圧を増幅して出力するオペアンプと、

前記オペアンプにより出力される正極性アナログ階調電圧及び負極性アナログ階調電圧の信号経路をストレート又はクロスに切り替えて液晶パネルに出力する出力切替部とを備え、

前記データラッチは、正極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する正極性データラッチと、負極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する負極性データラッチとを含み、

前記正極性セレクトは、前記正極性データラッチが保持したデジタル画像データに応じて前記正極性のアナログ階調電圧を選択し、

前記負極性セレクトは、前記負極性データラッチが保持したデジタル画像データに応じて前記負極性のアナログ階調電圧を選択し、

前記オペアンプは、前記正極性セレクトにより選択された正極性アナログ階調電圧を増幅して出力する正極性オペアンプと、前記負極性セレクトにより選択された負極性アナログ階調電圧を増幅して出力する負極性オペアンプとを含み、

前記正極性セレクトは第 1 の正極性セレクト部と第 2 の正極性セレクト部とを有し、前記負極性セレクトは第 1 の負極性セレクト部と第 2 の負極性セレクト部とを有し、

前記正極性データラッチを前記第 1 及び第 2 の正極性セレクト部の間に挟んだものを正極性の組とし、前記負極性データラッチを前記第 1 及び第 2 の負極性セレクト部の間に挟んだものを負極性の組とし、前記正極性の組と前記負極性の組とを配置してこれを一組と

10

20

30

40

50

し、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする液晶パネル駆動用半導体集積回路。

【請求項 6】

外部から入力される n ビットのデジタル画像データを保持するデータラッチと、
各階調の正極性のアナログ階調電圧を正極性階調電圧線上に発生させる正極性階調電圧発生部と、

各階調の負極性のアナログ階調電圧を負極性階調電圧線上に発生させる負極性階調電圧発生部と、

直上に前記負極性階調電圧線が配置されずに前記正極性階調電圧線が配置され、前記データラッチが保持した n ビットのデジタル画像データに応じて、前記正極性階調電圧発生部により発生させられる各階調の正極性のアナログ階調電圧を選択する正極性セレクトと

10

直上に前記正極性階調電圧線が配置されずに前記負極性階調電圧線が配置され、前記データラッチが保持した n ビットのデジタル画像データに応じて、前記負極性階調電圧発生部により発生させられる各階調の負極性のアナログ階調電圧を選択する負極性セレクトと

前記正極性セレクト及び前記負極性セレクトにより選択された正極性アナログ階調電圧及び負極性アナログ階調電圧を増幅して出力するオペアンプと、

前記オペアンプにより出力される正極性アナログ階調電圧及び負極性アナログ階調電圧の信号経路をストレート又はクロスに切り替えて液晶パネルに出力する出力切替部とを備え、

20

前記データラッチは、正極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する正極性データラッチと、負極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する負極性データラッチとを含み、

前記正極性セレクトは、前記正極性データラッチが保持したデジタル画像データに応じて前記正極性のアナログ階調電圧を選択し、

前記負極性セレクトは、前記負極性データラッチが保持したデジタル画像データに応じて前記負極性のアナログ階調電圧を選択し、

前記オペアンプは、前記正極性セレクトにより選択された正極性アナログ階調電圧を増幅して出力する正極性オペアンプと、前記負極性セレクトにより選択された負極性アナログ階調電圧を増幅して出力する負極性オペアンプとを含み、

30

前記正極性データラッチは第 1 の正極性データラッチ部と第 2 の正極性データラッチ部とを有し、前記負極性データラッチは第 1 の負極性データラッチ部と第 2 の負極性データラッチ部とを有し、

前記正極性セレクトを前記第 1 及び第 2 の正極性データラッチ部の間に挟んだものを正極性の組とし、前記負極性セレクトを前記第 1 及び第 2 の負極性データラッチ部の間に挟んだものを負極性の組とし、前記正極性の組と前記負極性の組とを配置してこれを一組とし、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする液晶パネル駆動用半導体集積回路。

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明は、液晶パネル駆動用半導体集積回路に関し、特に、デジタル画像データを基にアナログ階調電圧を液晶パネルに出力する液晶パネル駆動用半導体集積回路に関する。

【0002】

【従来の技術】

図 12 は、従来技術による液晶表示装置の構成図である。液晶表示装置は、TFT 液晶パネル PNL 及び液晶パネル駆動用半導体集積回路 40 を有する。半導体集積回路 40 は、データラッチ部 LT、セレクト部 SEL、オペアンプ部 OP、出力切替部 SW を有する。データラッチ部 LT には、 $2 \times m$ 個のデータラッチ LT1 ~ LT4 が水平方向に配列され

50

ている。セレクト部 S E L には、 $2 \times m$ 個のセレクト S E L 1 ~ S E L 4 が水平方向に配列されている。オペアンプ部 O P には、 $2 \times m$ 個のオペアンプ O P 1 ~ O P 4 が水平方向に配列されている。出力切替部 S W には、 m 個の出力切替部 S W 1 , S W 2 が水平方向に配列されている。

【 0 0 0 3 】

半導体集積回路 4 0 は、例えば 3 8 4 出力の場合、数値 m が 1 9 2 になる。なお、図 1 2 では、図の簡略化のために、水平方向の数を減らして示している。

【 0 0 0 4 】

データラッチ部 L T には、直上に配置されるデータラッチ線が配線コンタクト部 1 (● 印で示す) で接続され、負極性データラッチ L T 1 , L T 3 と正極性データラッチ L T 2 , L T 4 とが交互に水平方向に $2 \times m$ 個配列されている。負極性データラッチ L T 1 , L T 3 は、所定階調の負極性のアナログ階調電圧を発生させるための n ビット (6 4 階調の場合は 6 ビット) のデジタル画像データを外部から入力して保持する。正極性データラッチ L T 2 , L T 4 は、所定階調の正極性のアナログ階調電圧を発生させるための n ビットのデジタル画像データを外部から入力して保持する。

10

【 0 0 0 5 】

セレクト部 S E L には、負極性セレクト S E L 1 , S E L 3 と正極性セレクト S E L 2 , S E L 4 とが交互に水平方向に $2 \times m$ 個配列されている。負極性セレクト S E L 1 , S E L 3 は N チャンネル M O S トランジスタにより構成され、正極性セレクト S E L 2 , S E L 4 は P チャンネル M O S トランジスタにより構成される。セレクト S E L 1 ~ S E L 4 の直上には、例えば 6 4 階調の場合、 64×2 本の正極性及び負極性階調電圧線 L N が配置される。負極性セレクト S E L 1 , S E L 3 には 6 4 本の負極性階調電圧線 L N が配線コンタクト部 1 で接続され、正極性セレクト S E L 1 , S E L 3 には 6 4 本の正極性階調電圧線 L N が配線コンタクト部 1 で接続されている。

20

【 0 0 0 6 】

負極性セレクト S E L 1 , S E L 3 は、負極性階調電圧線 L N 上に発生させられる例えば 6 V から 0 V までの負極性のアナログ階調電圧を基に、データラッチ L T 1 , L T 3 が保持するデジタル画像データに応じて所定の階調の負極性アナログ階調電圧を選択する。正極性セレクト S E L 2 , S E L 4 は、正極性階調電圧線 L N 上に発生させられる例えば 6 V から 1 2 V までの正極性のアナログ階調電圧を基に、データラッチ L T 2 , L T 4 が保持するデジタル画像データに応じて所定の階調の正極性アナログ階調電圧を選択する。

30

【 0 0 0 7 】

オペアンプ部 O P には、負極性オペアンプ O P 1 , O P 3 と正極性オペアンプ O P 2 , O P 4 とが交互に水平方向に $2 \times m$ 個配列されている。負極性オペアンプ O P 1 , O P 3 は、負極性セレクト S E L 1 , S E L 3 により選択された負極性アナログ階調電圧を増幅して出力する。正極性オペアンプ O P 2 , O P 4 は、正極性セレクト S E L 2 , S E L 4 により選択された正極性アナログ階調電圧を増幅して出力する。

【 0 0 0 8 】

出力切替部 S W には、出力切替部 S W 1 , S W 2 が水平方向に m 個配列されている。出力切替部 S W 1 は、負極性オペアンプ O P 1 から出力される負極性アナログ階調電圧及び正極性オペアンプ O P 2 から出力される正極性アナログ階調電圧の信号経路をストレート又はクロスに切り替えて液晶パネル P N L に出力する。出力切替部 S W 2 は、負極性オペアンプ O P 3 から出力される負極性アナログ階調電圧及び正極性オペアンプ O P 4 から出力される正極性アナログ階調電圧の信号経路をストレート又はクロスに切り替えて液晶パネル P N L に出力する。液晶パネル P N L は、赤色と緑色と青色の 3 色からなる各画素を各色について所定の階調電圧で液晶表示を行う。

40

【 0 0 0 9 】

【 発明が解決しようとする課題 】

半導体集積回路 4 0 は、データラッチ部 L T 、セレクト部 S E L 及びオペアンプ部 O P の縦方向に並ぶ列が水平方向に $2 \times m$ 組 (例えば 3 8 4 組) 繰り返し並ぶため、水平方向の

50

長さ 24 が長い長方形の半導体集積回路 40 が形成される。例えば、水平方向の長さ 24 が約 15 mm であり、垂直方向の長さが約 2 mm である。この半導体集積回路 40 は、面積が比較的大きいので、より小さい面積の半導体集積回路 40 の開発が望まれている。特に、半導体集積回路 40 の水平方向の長さを短くすることが望まれている。

【0010】

また、負極性セクタ SEL1, SEL3 の直上では、負極性階調電圧線 LN は配線コンタクト部 1 において負極性セクタ SEL1, SEL3 と接続されているが、正極性階調電圧線 LN は負極性セクタ SEL1, SEL3 と接続されておらず、その領域（図上の斜線領域）が未使用領域 2 として無駄になってしまう。同様に、正極性セクタ SEL2, SEL4 にも、無駄な未使用領域 2 が生じてしまう。

10

【0011】

また、Nチャネル MOS トランジスタで構成される負極性セクタ SEL1, SEL3 と Pチャネル MOS トランジスタで構成される正極性セクタ SEL2, SEL4 とが交互に配置されるため、異なるチャネルタイプのセクタ間の距離 23 をある程度以上は広げなければならず、半導体集積回路 40 の水平方向の長さ 24 を必要以上に長くせざるを得ない。

【0012】

本発明の目的は、液晶パネル駆動用半導体集積回路を小さい面積で構成できるようにすることである。

【0013】

20

【課題を解決するための手段】

本発明の液晶パネル駆動用半導体集積回路は、外部から入力される n ビットのデジタル画像データを保持するデータラッチと、各階調の正極性のアナログ階調電圧を正極性階調電圧線に発生させる正極性階調電圧発生部と、各階調の負極性のアナログ階調電圧を負極性階調電圧線に発生させる負極性階調電圧発生部と、直上に前記負極性階調電圧線が配置されずに前記正極性階調電圧線が配置され、前記データラッチが保持した n ビットのデジタル画像データに応じて、前記正極性階調電圧発生部により発生させられる各階調の正極性のアナログ階調電圧を選択する正極性セクタと、直上に前記正極性階調電圧線が配置されずに前記負極性階調電圧線が配置され、前記データラッチが保持した n ビットのデジタル画像データに応じて、前記負極性階調電圧発生部により発生させられる各階調の負極性のアナログ階調電圧を選択する負極性セクタと、前記正極性セクタ及び前記負極性セクタにより選択された正極性アナログ階調電圧及び負極性アナログ階調電圧を増幅して出力するオペアンプと、前記オペアンプにより出力される正極性アナログ階調電圧及び負極性アナログ階調電圧の信号経路をストレート又はクロスに切り替えて液晶パネルに出力する出力切替部とを備え、前記データラッチは、正極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する正極性データラッチと、負極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する負極性データラッチとを含み、前記正極性セクタは、前記正極性データラッチが保持したデジタル画像データに応じて前記正極性のアナログ階調電圧を選択し、前記負極性セクタは、前記負極性データラッチが保持したデジタル画像データに応じて前記負極性のアナログ階調電圧を選択し、前記オペアンプは、前記正極性セクタにより選択された正極性アナログ階調電圧を増幅して出力する正極性オペアンプと、前記負極性セクタにより選択された負極性アナログ階調電圧を増幅して出力する負極性オペアンプとを含み、前記正極性データラッチ及び前記正極性セクタを一組として前記正極性階調電圧線に対して水平方向に複数並べ、前記負極性データラッチ及び前記負極性セクタを一組として前記負極性階調電圧線に対して水平方向に複数並べて配置したことを特徴とする。

30

40

【0014】

本発明は上記技術手段より成るので、セクタの直上に配置されている階調電圧線が同一極性のものだけで済み、セクタの未使用領域をなくすることが可能となる。また、異なるタイプのセクタを交互に配置しなくても済むので、同タイプのトランジスタをまとめて

50

配置することが可能となり、素子間隔を短くすることが可能となる。

【0015】

【発明の実施の形態】

以下、本発明の一実施形態を図面に基づいて説明する。

（第1の実施形態）

図1は、第1の実施形態による液晶表示装置の構成例を示す図である。液晶表示装置は、TFT液晶パネルPNL及び液晶パネル駆動用半導体集積回路30を有する。半導体集積回路30は、負極性セクタ部（Nチャネルセクタ部）NSEL、データラッチ部LT、正極性セクタ部（Pチャネルセクタ部）PSEL、オペアンプ部OP、出力切替部SWを有する。本実施形態では、図12のセクタ部SELが、負極性セクタ部NSELと正極性セクタ部PSELとに分割されている。また、TFT液晶パネルPNLは、図12に示したものと同様のものである。

10

【0016】

データラッチ部LTには、直上に配置されるデータラッチ線が配線コンタクト部1（●印で示す）で接続される。データラッチ部LTは、上段に負極性データラッチLT1、LT3が水平方向にm個配列され、その下段に隣接して正極性データラッチLT2、LT4が水平方向にm個配列されている。負極性データラッチLT1、LT3は、所定階調の負極性のアナログ階調電圧を発生させるためのnビット（64階調の場合は6ビット）のデジタル画像データを外部から入力して保持する。正極性データラッチLT2、LT4は、所定階調の正極性のアナログ階調電圧を発生させるためのnビットのデジタル画像データを外部から入力して保持する。

20

【0017】

負極性セクタ部NSELは、NチャネルMOSトランジスタ（転送ゲート）により構成され、負極性セクタSEL1、SEL3が水平方向にm個配列されている。負極性セクタSEL1、SEL3の直上には、m/3本（例えば64本）の負極性階調電圧線NLNが水平方向に延びるように垂直方向に並んで配置されており、負極性セクタSEL1、SEL3にはm/3本の負極性階調電圧線NLNが配線コンタクト部1で接続されている。

【0018】

負極性セクタSEL1、SEL3は、負極性階調電圧線NLN上に発生させられる例えば6Vから0Vまでの負極性のアナログ階調電圧を基に、負極性データラッチLT1、LT3から信号線3を介して与えられるデジタル画像データに応じて所定の階調を示す負極性アナログ階調電圧を選択し、信号線4を介してオペアンプ部OPに供給する。

30

【0019】

図2は、負極性セクタ（Nチャネルセクタ）SEL1及びそれに接続される階調電圧発生部5の回路図である。階調電圧発生部5の端子V₊には例えば6Vが印加され、端子V₋には例えば0Vが印加される。端子V₊と端子V₋の間には、ラダー抵抗6が接続される。ラダー抵抗6を抵抗分割するように、ラダー抵抗6にはm/3本（例えば64本）の負極性階調電圧線NLNが接続され、例えば6Vから0Vまでの間で64階調分の負極性のアナログ階調電圧が発生させられる。

40

【0020】

64階調（6ビット）の場合には、各負極性階調電圧線NLNには6個のNチャネルMOSトランジスタ（転送ゲート）Trが直列に接続される。NチャネルMOSトランジスタTrは、6行64列の2次元行列として配置され、各トランジスタTrのゲートには、負極性データラッチLT1（図1）からの信号線3が接続される。信号線3に供給されるデジタル画像データに応じて、64本の負極性階調電圧線NLNのうちのいずれか一本が選択されて、信号線4を介して所定階調のアナログ階調電圧が負極性オペアンプOP1（図1）に出力される。負極性セクタSEL3の構成は、上記の負極性セクタSEL1の構成と同様である。

【0021】

50

図 1 に戻り、正極性セクタ部 P S E L は、P チャンネル M O S トランジスタ（転送ゲート）により構成され、正極性セクタ S E L 2 , S E L 4 が水平方向に m 個配列されている。正極性セクタ S E L 2 , S E L 4 の直上には、 $m / 3$ 本（例えば 64 本）の正極性階調電圧線 P L N が水平方向に延びるように垂直方向に並んで配置されており、正極性セクタ S E L 2 , S E L 4 には $m / 3$ 本の正極性階調電圧線 P L N が配線コンタクト部 1 で接続されている。

【 0 0 2 2 】

正極性セクタ S E L 2 , S E L 4 は、正極性階調電圧線 P L N 上に発生させられる例えば 6 V から 12 V までの正極性のアナログ階調電圧を基に、正極性データラッチ L T 2 , L T 4 が保持するデジタル画像データに応じて所定の階調を示す正極性アナログ階調電圧を選択する。正極性セクタ S E L 2 , S E L 4 及びそれに接続される階調電圧発生部は、図 2 に示したものと同様であるが、トランジスタ T r が N チャンネルではなく P チャンネルにより構成され、端子 V_{-} には 6 V が印加され、端子 V_{+} には 12 V が印加される点が異なる。この場合、階調電圧生成部 5 は、6 V から 12 V までの正極性階調電圧を発生させる。

10

【 0 0 2 3 】

オペアンプ部 O P には、上段に正極性（ハイレベル側）のオペアンプ O P 2 , O P 4 が水平方向に m 個配列され、その下に隣接して負極性（ローレベル側）のオペアンプ O P 1 , O P 3 が水平方向に m 個配列されている。負極性オペアンプ O P 1 , O P 3 は、負極性セクタ S E L 1 , S E L 3 により選択された負極性アナログ階調電圧を増幅して出力する。正極性オペアンプ O P 2 , O P 4 は、正極性セクタ S E L 2 , S E L 4 により選択された正極性アナログ階調電圧を増幅して出力する。

20

【 0 0 2 4 】

出力切替部 S W には、出力切替部 S W 1 , S W 2 が水平方向に m 個配列されている。出力切替部 S W 1 は、負極性オペアンプ O P 1 から出力される負極性アナログ階調電圧及び正極性オペアンプ O P 2 から出力される正極性アナログ階調電圧の信号経路をストレート又はクロスに切り替えて液晶パネル P N L に出力する。出力切替部 S W 2 は、負極性オペアンプ O P 3 から出力される負極性アナログ階調電圧及び正極性オペアンプ O P 4 から出力される正極性アナログ階調電圧の信号経路をストレート又はクロスに切り替えて液晶パネル P N L に出力する。液晶パネル P N L は、赤色と緑色と青色の 3 色からなる各画素を各色について所定の階調電圧で液晶表示を行う。

30

【 0 0 2 5 】

本実施形態では、正極性セクタ S E L 2 , S E L 4 及び正極性データラッチ L T 2 , L T 4 を正極性の組とし、負極性セクタ S E L 1 , S E L 3 及び負極性データラッチ L T 1 , L T 3 を負極性の組として、正極性データラッチ L T 2 , L T 4 と負極性データラッチ L T 1 , L T 3 とが正極性階調電圧線 P L N 及び負極性階調電圧線 N L N に対して垂直方向に隣接するように、正極性の組及び負極性の組を同一直線上に配置する。そして、この垂直方向に一直線上に配置した構成を一組として、正極性階調電圧線 P L N 及び負極性階調電圧線 N L N に対して水平方向に複数組並べて配置する。

【 0 0 2 6 】

これにより、半導体集積回路 30 は、負極性セクタ部 N S E L、データラッチ部 L T、正極性セクタ部 P S E L 及びオペアンプ部 O P の縦方向に並ぶ列が水平方向に m 組（例えば 192 組）繰り返し並ぶ。図 12 に示す半導体集積回路 40 は水平方向に $2 \times m$ 組（例えば 384 組）が並ぶが、本実施形態の半導体集積回路 30 は水平方向に m 組（例えば 192 組）が並ぶので、図 12 に示すものよりも水平方向の長さ 22 が約 $1 / 2$ になる。すなわち、本実施形態の水平方向の長さ 22 は、図 12 の水平方向の長さ 24 の約 $1 / 2$ になり、半導体集積回路 30 の面積を小さくすることができる。なお、半導体集積回路 30 の垂直方向の長さは、図 12 のものに比べてほとんど変わらない。

40

【 0 0 2 7 】

また、図 12 の半導体集積回路 40 では、セクタ部 S E L の直上に配置された階調電圧

50

線 L N がセレクト部 S E L に接続されていない未使用領域（図上の斜線領域）2 が生じていたが、本実施形態の半導体集積回路 30 ではそのような未使用領域がなくなり、負極性セレクト部 N S E L 及び正極性セレクト部 P S E L の配線を効率的にレイアウトすることができ、全体として、半導体集積回路 30 の面積を小さくすることができる。

【0028】

また、図 12 の半導体集積回路 40 では、異なるチャネルタイプのセレクト S E L 間の距離 23 をある程度以上は広げなければならなかったが、本実施形態では負極性セレクト S E L 1 及び S E L 3 は同じ N チャネルタイプのトランジスタを用いているため、セレクト S E L 1 及び S E L 3 の間の距離 21 を短くすることができる。同様に、正極性セレクト S E L 2 及び S E L 4 も同じ P チャネルタイプのトランジスタを用いているため、セレクト S E L 2 及び S E L 4 の間の距離を短くすることができるので、半導体集積回路 30 の面積をより小さくすることができる。

10

【0029】

（第 2 の実施形態）

図 3 は、第 2 の実施形態による液晶表示装置の構成例を示す図である。液晶表示装置は、T F T 液晶パネル P N L 及び液晶パネル駆動用半導体集積回路 30 を有する。本実施形態は、第 1 の実施形態（図 1）と比べて、負極性セレクト部 N S E L とデータラッチ部 L T の上段との上下位置を逆にするとともに、正極性セレクト部 P S E L とデータラッチ部 L T の下段との上下位置とを逆にしたものである。

【0030】

本実施形態の半導体集積回路 30 は、負極性データラッチ部 N L T、負極性セレクト部 N S E L、正極性セレクト部 P S E L、正極性データラッチ部 P L T、オペアンプ部 O P、出力切替部 S W がこの順に垂直方向に並んでいる。負極性データラッチ部 N L T には負極性データラッチ L T 1、L T 3 が水平方向に m 個配列され、正極性データラッチ部 P L T には正極性データラッチ L T 2、L T 4 が水平方向に m 個配列されている。

20

【0031】

本実施形態では、正極性セレクト P S E L 及び正極性データラッチ P L T を正極性の組とし、負極性セレクト N S E L 及び負極性データラッチ N L T を負極性の組として、正極性セレクト P S E L と負極性セレクト N S E L とが階調電圧線 N L N、P L N に対して垂直方向に隣接するように、正極性の組及び負極性の組を一直線上に配置する。そして、この垂直方向に一直線上に配置した構成を一組として、正極性階調電圧線 P L N 及び負極性階調電圧線 N L N に対して水平方向に複数組並べる。この構成は、第 1 の実施形態（図 1）に対して配置のみが異なり、第 1 の実施形態と等価な動作及び効果を奏する。

30

【0032】

（第 3 の実施形態）

図 4 は、第 3 の実施形態による液晶表示装置の構成例を示す図である。液晶表示装置は、T F T 液晶パネル P N L 及び液晶パネル駆動用半導体集積回路 30 を有する。本実施形態は、第 2 の実施形態（図 3）と比べて、正極性セレクト部 P S E L と正極性データラッチ部 P L T との上下位置を逆にしたものである。

【0033】

本実施形態の半導体集積回路 30 は、負極性データラッチ部 N L T、負極性セレクト部 N S E L、正極性データラッチ部 P L T、正極性セレクト部 P S E L、オペアンプ部 O P、出力切替部 S W がこの順に垂直方向に並んでいる。

40

【0034】

本実施形態では、正極性セレクト P S E L 及び正極性データラッチ P L T を正極性の組とし、負極性セレクト N S E L 及び負極性データラッチ N L T を負極性の組として、正極性及び負極性の異なる組のセレクト S E L 1、S E L 3 とデータラッチ L T 2、L T 4 とが垂直方向に隣接するように、正極性の組及び負極性の組を一直線上に配置する。そして、この垂直方向に一直線上に配置した構成を一組として、正極性階調電圧線 P L N 及び負極性階調電圧線 N L N に対して水平方向に複数組並べて配置する。この構成は、第 1 の実施

50

形態（図１）に対して配置のみが異なり、第１の実施形態と等価な動作及び効果を奏する。

【００３５】

（第４の実施形態）

図５は、第４の実施形態による液晶表示装置の構成例を示す図である。液晶表示装置は、ＴＦＴ液晶パネルＰＮＬ及び液晶パネル駆動用半導体集積回路３０を有する。本実施形態は、第２の実施形態（図３）に対して、負極性セクタ部ＮＳＥＬを第１の負極性セクタ部ＮＳＥＬａと第２の負極性セクタ部ＮＳＥＬｂに分割し、正極性セクタ部ＰＳＥＬを第１の正極性セクタ部ＰＳＥＬａと第２の正極性セクタ部ＰＳＥＬｂに分割した点が異なる。上記のセクタの分割は、例えば、階調値の順番で半分に分けて分割する。

10

【００３６】

本実施形態の半導体集積回路３０は、第１の負極性セクタ部ＮＳＥＬａ、負極性データラッチ部ＮＬＴ、第２の負極性セクタ部ＮＳＥＬｂ、第１の正極性セクタ部ＰＳＥＬａ、正極性データラッチ部ＰＬＴ、第２の正極性セクタ部ＰＳＥＬｂ、オペアンプ部ＯＰ、出力切替部ＳＷがこの順に垂直方向に並んでいる。第１の負極性セクタ部ＮＳＥＬａと第２の負極性セクタ部ＮＳＥＬｂとは、間に負極性データラッチ部ＮＬＴを挟むように垂直方向に配列される。第１の正極性セクタ部ＰＳＥＬａと第２の正極性セクタ部ＰＳＥＬｂとは、間に正極性データラッチ部ＰＬＴを挟むように垂直方向に配列される。

【００３７】

本実施形態では、正極性データラッチＰＬＴを第１及び第２の正極性セクタ部ＰＳＥＬａ、ＰＳＥＬｂの間に挟んだものを正極性の組とし、負極性データラッチＮＬＴを第１及び第２の負極性セクタ部ＮＳＥＬａ、ＮＳＥＬｂの間に挟んだものを負極性の組とし、正極性の組と負極性の組とを垂直方向の同一線上に配列する。そして、この垂直方向に同一線上に配置したものを一組として、正極性階調電圧線ＰＬＮ及び負極性階調電圧線ＮＬＮに対して水平方向に複数組並べて配置する。この際、第２の負極性セクタ部ＮＳＥＬｂと第１の正極性セクタ部ＰＳＥＬａとが垂直方向に隣接するように正極性の組と負極性の組とが配列される。この構成は、第１の実施形態（図１）に対して配置のみが異なり、第１の実施形態と等価な動作及び効果を奏する。

20

【００３８】

（第５の実施形態）

図６は、第５の実施形態による液晶表示装置の構成例を示す図である。液晶表示装置は、ＴＦＴ液晶パネルＰＮＬ及び液晶パネル駆動用半導体集積回路３０を有する。本実施形態は、第１の実施形態（図１）に対して、データラッチ部ＬＴの上段部を第１の負極性データラッチ部ＮＬＴａと第２の負極性データラッチ部ＮＬＴｂに分割するとともに、データラッチ部ＬＴの下段部を第１の正極性データラッチ部ＰＬＴａと第２の正極性データラッチ部ＰＬＴｂに分割した点が異なる。上記のデータラッチの分割は、例えば、デジタル画像データ（ｎビット信号）の順番で半分に分けて分割する。なお、データラッチ部ＮＬＴａ、ＮＬＴｂ、ＰＬＴａ、ＰＬＴｂは、上記の分割によりそれぞれ面積が半分になる。

30

【００３９】

本実施形態の半導体集積回路３０は、第１の負極性データラッチ部ＮＬＴａ、負極性セクタ部ＮＳＥＬ、第２の負極性データラッチ部ＮＬＴｂ、第１の正極性データラッチ部ＰＬＴａ、正極性セクタ部ＰＳＥＬ、第２の正極性データラッチ部ＰＬＴｂ、オペアンプ部ＯＰ、出力切替部ＳＷがこの順に垂直方向に並んでいる。第１の負極性データラッチ部ＮＬＴａと第２の負極性データラッチ部ＮＬＴｂとは、間に負極性セクタ部ＮＳＥＬを挟むように垂直方向に配列される。第１の正極性データラッチ部ＰＬＴａと第２の正極性データラッチ部ＰＬＴｂとは、間に正極性セクタ部ＰＳＥＬを挟むように垂直方向に配列される。

40

【００４０】

本実施の形態では、正極性セクタ部ＰＳＥＬを第１及び第２の正極性データラッチ部ＰＬ

50

T a , P L T b の間に挟んだものを正極性の組とし、負極性セクタ N S E L を第 1 及び第 2 の負極性データラッチ部 N L T a , N L T b の間に挟んだものを負極性の組とし、正極性の組と負極性の組とを垂直方向の同一直線上に配列する。そして、この垂直方向に同一直線上に配置したものを一組として、正極性階調電圧線 P L N 及び負極性階調電圧線 N L N に対して水平方向に複数組並べて配置する。その際、第 2 の負極性データラッチ部 N L T b と第 1 の正極性データラッチ部 P L T a とが垂直方向に隣接するように正極性の組と負極性の組とを配列したものを一組とする。この構成は、第 1 の実施形態（図 1）に対して配置のみが異なり、第 1 の実施形態と等価な動作及び効果を奏する。

【 0 0 4 1 】

（第 6 の実施形態）

図 7 は、第 6 の実施形態による液晶表示装置の構成例を示す図である。液晶表示装置は、T F T 液晶パネル P N L 及び液晶パネル駆動用半導体集積回路 3 0 を有する。第 1 の実施形態（図 1）では負極性データラッチ L T 1 , L T 3 と正極性データラッチ L T 2 , L T 4 とをそれぞれ垂直方向に隣接させたが、本実施形態では、負極性データラッチ L T 1 , L T 3 と正極性データラッチ L T 2 , L T 4 とをそれぞれ水平方向に隣接させる。

【 0 0 4 2 】

本実施形態の半導体集積回路 3 0 は、負極性セクタ部 N S E L、データラッチ部 L T、正極性セクタ部 P S E L、オペアンプ部 O P、出力切替部 S W がこの順に垂直方向に並んでいる。このうち、データラッチ部 L T では、負極性データラッチ L T 1 , L T 3 と正極性データラッチ L T 2 , L T 4 とがそれぞれ交互に水平方向に配列されている。

【 0 0 4 3 】

本実施形態では、負極性データラッチ L T 1 , L T 3 と正極性データラッチ L T 2 , L T 4 とを、正極性階調電圧線 P L N 及び負極性階調電圧線 N L N に対して水平方向に隣接させて配置する。この構成は、第 1 の実施形態（図 1）に対して配置のみが異なり、第 1 の実施形態と等価な動作及び効果を奏する。

【 0 0 4 4 】

（第 7 の実施形態）

図 8 は、第 7 の実施形態による液晶表示装置の構成例を示す図である。液晶表示装置は、T F T 液晶パネル P N L 及び液晶パネル駆動用半導体集積回路 3 0 を有する。第 5 の実施形態（図 6）では第 2 の負極性データラッチ L T 1 b , L T 3 b と第 1 の正極性データラッチ L T 2 a , L T 4 a とをそれぞれ垂直方向に隣接させたが、本実施形態では、第 2 の負極性データラッチ L T 1 b , L T 3 b と第 1 の正極性データラッチ L T 2 a , L T 4 a とをそれぞれ水平方向に隣接させる。

【 0 0 4 5 】

本実施形態の半導体集積回路 3 0 は、第 1 の負極性データラッチ部 N L T、負極性セクタ部 N S E L、第 2 の負極性及び第 1 の正極性データラッチ部 N P L T、正極性セクタ部 P S E L、第 2 の正極性データラッチ部 P L T、オペアンプ部 O P、出力切替部 S W がこの順に垂直方向に並んでいる。このうち、第 2 の負極性及び第 1 の正極性データラッチ部 N P L T では、第 2 の負極性データラッチ L T 1 b , L T 3 b と第 1 の正極性データラッチ L T 2 a , L T 4 a とがそれぞれ交互に水平方向に配列される。

【 0 0 4 6 】

本実施形態では、第 2 の負極性データラッチ N L T 1 b , N L T 3 b と第 1 の正極性データラッチ P L T 1 a , P L T 3 a とを、正極性階調電圧線 P L N 及び負極性階調電圧線 N L N に対して水平方向に隣接させて配置する。この構成は、第 1 の実施形態（図 1）に対して配置のみが異なり、第 1 の実施形態と等価な動作及び効果を奏する。

【 0 0 4 7 】

（第 8 の実施形態）

図 9 は、第 8 の実施形態による液晶表示装置の構成例を示す図である。液晶表示装置は、T F T 液晶パネル P N L 及び液晶パネル駆動用半導体集積回路 3 0 を有する。半導体集積回路 3 0 は、データラッチ部及びセクタ部 1 1、オペアンプ部 O P 及び出力切替部 S W

10

20

30

40

50

を有する。データラッチ部及びセクタ部 11 は、第 1 ～ 第 7 の実施形態で示したデータラッチ部及びセクタ部のいずれかの組み合わせであってもよい。

【0048】

オペアンプ部 OP は、負極性オペアンプ OP1, OP3 と正極性オペアンプ OP2, OP4 とを有する。負極性オペアンプ OP1, OP3 を上段に配置し、その下に隣接して正極性オペアンプ OP2, OP4 を配置している。

【0049】

第 1 ～ 第 8 の実施形態では、負極性オペアンプ OP1, OP3 と正極性オペアンプ OP2, OP4 とを、正極性階調電圧線 PLN 及び負極性階調電圧線 NLN に対して垂直方向に隣接させて配置する。この構成は、第 1 の実施形態と等価な動作及び効果を奏する。

10

【0050】

(第 9 の実施形態)

図 10 は、第 9 の実施形態による液晶表示装置の構成例を示す図である。液晶表示装置は、TFT 液晶パネル PNL 及び液晶パネル駆動用半導体集積回路 30 を有する。第 8 の実施形態(図 9)では負極性オペアンプ OP1, OP3 と正極性オペアンプ OP2, OP4 とを垂直方向に隣接させて配置したが、本実施形態では、負極性オペアンプ OP1, OP3 と正極性オペアンプ OP2, OP4 とをそれぞれ水平方向に交互に隣接させて配置する。

【0051】

本実施形態では、正極性オペアンプ OP2, OP4 と負極性オペアンプ OP1, OP3 とを、正極性階調電圧線 PLN 及び負極性階調電圧線 NLN に対して水平方向に隣接させて配置する。この構成は、第 1 の実施形態と等価な動作及び効果を奏する。

20

【0052】

(第 10 の実施形態)

図 11 (A) は、上記の第 1 ～ 第 9 の実施形態の液晶パネル駆動用半導体集積回路(液晶ドライバ) 30 の配置例を示す平面図である。半導体集積回路 30 は、データラッチ部及びセクタ部を有する領域 30a と、オペアンプ部及び出力切替部を有する領域 30b とを有する。

【0053】

本実施形態では、正極性及び負極性データラッチ並びに正極性及び負極性セクタの領域 30a を、正極性及び負極性オペアンプ並びに出力切替部の領域 30b の片側のみに隣接するように配置する。

30

【0054】

図 11 (B) は、第 10 の実施形態による液晶パネル駆動用半導体集積回路(液晶ドライバ) 30 の配置例を示す平面図である。本実施形態は、第 10 の実施形態(図 11)のデータラッチ部及びセクタ部の領域 30a を、第 1 のデータラッチ部及びセクタ部の領域 31a と第 2 のデータラッチ部及びセクタ部の領域 31b とに分割する。オペアンプ部及び出力切替部の領域 30b を間に挟んで、第 1 のデータラッチ部及びセクタ部の領域 31a と第 2 のデータラッチ部及びセクタ部の領域 31b とを領域 30b の両側に隣接して配置する。

40

【0055】

本実施形態では、正極性及び負極性データラッチ並びに正極性及び負極性セクタの領域 31a, 31b を、正極性及び負極性オペアンプ並びに出力切替部の領域 30b の両側に隣接するように配置する。この構成は、第 1 の実施形態と等価な動作及び効果を奏する。

【0056】

また、本実施形態では、オペアンプ部及び出力切替部の領域 30b が半導体集積回路 30 の中央部に配置され、出力切替部 SW の出力端子を有する領域 30b にボンディングパッドを設けることができるので、フリップチップを形成しやすい。すなわち、通常のデュアルライン型 IC 等を形成する場合にはボンディングパッドを半導体集積回路 30 の端に設けることが好ましいが、フリップチップを形成する場合には半導体集積回路 30 の中央部

50

にボンディングパッドを設け、リードフレームを使わずに、TAB等により直接配線することにより、パッケージサイズを小さくすることができる。

【0057】

以上詳しく説明したように、第1～第10の実施形態では、正極性の組と負極性の組とを水平方向に並列に配列するので、半導体集積回路30の水平方向の長さは、図12の半導体集積回路40の水平方向の長さの1/2になり、半導体集積回路30の面積を小さくすることができる。

【0058】

また、図12の半導体集積回路40では、未使用領域（図上の斜線領域）2が生じていたが、本実施形態の半導体集積回路30ではそのような未使用領域がなくなり、負極性セレクト部NSEL及び正極性セレクト部PSELの配線を効率的にレイアウトすることができる、全体として、半導体集積回路30の面積を小さくすることができる。

10

【0059】

また、図12の半導体集積回路40では、異なるチャネルタイプのセレクトSEL間の距離をある程度以上は広げなければならなかったが、本実施形態の半導体集積回路30では水平方向に隣接するセレクトは同じチャネルタイプのトランジスタを用いているため、水平方向に隣接するセレクト間の距離を短くすることができ、半導体集積回路30の面積をより小さくすることができる。

【0060】

なお、上記実施例は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

20

【0061】

本発明の様々な形態をまとめると、以下のようになる。

（付記1）外部から入力されるnビットのデジタル画像データを保持するデータラッチと、各階調のアナログ階調電圧が生じる階調電圧線が直上に配置され、前記データラッチが保持したnビットのデジタル画像データに応じていずれかのアナログ階調電圧を選択するセレクトとに関して、

同一極性の階調電圧線のみが直上に配置されたセレクトを組とし、正極性の組と負極性の組とを前記階調電圧線に対して垂直方向に並べて配置したことを特徴とする液晶パネル駆動用半導体集積回路。

30

（付記2）外部から入力されるnビットのデジタル画像データを保持するデータラッチと、

各階調の正極性のアナログ階調電圧を正極性階調電圧線上に発生させる正極性階調電圧発生部と、

各階調の負極性のアナログ階調電圧を負極性階調電圧線上に発生させる負極性階調電圧発生部と、

直上に前記負極性階調電圧線が配置されずに前記正極性階調電圧線が配置され、前記データラッチが保持したnビットのデジタル画像データに応じて、前記正極性階調電圧発生部により発生させられる各階調の正極性のアナログ階調電圧を選択する正極性セレクトと、直上に前記正極性階調電圧線が配置されずに前記負極性階調電圧線が配置され、前記データラッチが保持したnビットのデジタル画像データに応じて、前記負極性階調電圧発生部により発生させられる各階調の負極性のアナログ階調電圧を選択する負極性セレクトと、前記正極性セレクト及び前記負極性セレクトにより選択された正極性アナログ階調電圧及び負極性アナログ階調電圧を増幅して出力するオペアンプと、

40

前記オペアンプにより出力される正極性アナログ階調電圧及び負極性アナログ階調電圧の信号経路をストレート又はクロスに切り替えて液晶パネルに出力する出力切替部とを備えたことを特徴とする液晶パネル駆動用半導体集積回路。

【0062】

50

(付記3) 前記データラッチは、正極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する正極性データラッチと、負極性のアナログ階調電圧を発生させるためのデジタル画像データを保持する負極性データラッチとを含み、

前記正極性セレクトは、前記正極性データラッチが保持したデジタル画像データに応じて前記正極性のアナログ階調電圧を選択し、

前記負極性セレクトは、前記負極性データラッチが保持したデジタル画像データに応じて前記負極性のアナログ階調電圧を選択し、

前記オペアンプは、前記正極性セレクトにより選択された正極性アナログ階調電圧を増幅して出力する正極性オペアンプと、前記負極性セレクトにより選択された負極性アナログ階調電圧を増幅して出力する負極性オペアンプとを含むことを特徴とする付記2記載の液晶パネル駆動用半導体集積回路。

10

(付記4) 前記正極性セレクトはPチャネルの転送ゲートにより構成され、前記負極性セレクトはNチャネルの転送ゲートにより構成されていることを特徴とする付記2記載の液晶パネル駆動用半導体集積回路。

【0063】

(付記5) 前記正極性データラッチ及び前記正極性セレクトを一組として前記正極性階調電圧線に対して水平方向に複数並べ、前記負極性データラッチ及び前記負極性セレクトを一組として前記負極性階調電圧線に対して水平方向に複数並べて配置したことを特徴とする付記3記載の液晶パネル駆動用半導体集積回路。

(付記6) 前記正極性セレクト及び前記正極性データラッチを正極性の組とし、前記負極性セレクト及び前記負極性データラッチを負極性の組として、前記正極性データラッチと前記負極性データラッチとが隣接するように前記正極性の組及び前記負極性の組を配置してこれを一組とし、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする付記3記載の液晶パネル駆動用半導体集積回路。

20

【0064】

(付記7) 前記正極性データラッチと前記負極性データラッチとを、前記正極性階調電圧線及び前記負極性階調電圧線に対して垂直方向に隣接させて配置したことを特徴とする付記6記載の液晶パネル駆動用半導体集積回路。

(付記8) 前記正極性データラッチと前記負極性データラッチとを、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に隣接させて配置したことを特徴とする付記6記載の液晶パネル駆動用半導体集積回路。

30

【0065】

(付記9) 前記正極性セレクト及び前記正極性データラッチを正極性の組とし、前記負極性セレクト及び前記負極性データラッチを負極性の組として、前記正極性セレクトと前記負極性セレクトとが隣接するように前記正極性の組及び前記負極性の組を配置してこれを一組とし、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする付記3記載の液晶パネル駆動用半導体集積回路。

(付記10) 前記正極性セレクト及び前記正極性データラッチを正極性の組とし、前記負極性セレクト及び前記負極性データラッチを負極性の組として、前記正極性及び負極性の異なる組のセレクトとデータラッチとが隣接するように前記正極性の組及び前記負極性の組を配置してこれを一組とし、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする付記3記載の液晶パネル駆動用半導体集積回路。

40

【0066】

(付記11) 前記正極性セレクトは第1の正極性セレクト部と第2の正極性セレクト部とを有し、前記負極性セレクトは第1の負極性セレクト部と第2の負極性セレクト部とを有し、

前記正極性データラッチを前記第1及び第2の正極性セレクト部の間に挟んだものを正極性の組とし、前記負極性データラッチを前記第1及び第2の負極性セレクト部の間に挟んだものを負極性の組とし、前記正極性の組と前記負極性の組とを配置してこれを一組とし

50

、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする付記 3 記載の液晶パネル駆動用半導体集積回路。

(付記 1 2) 前記第 2 の正極性セレクト部と前記第 1 の負極性セレクト部とが隣接するように前記正極性の組と前記負極性の組とを配置してこれを 1 組とし、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする付記 1 1 記載の液晶パネル駆動用半導体集積回路。

【0067】

(付記 1 3) 前記正極性データラッチは第 1 の正極性データラッチ部と第 2 の正極性データラッチ部とを有し、前記負極性データラッチは第 1 の負極性データラッチ部と第 2 の負極性データラッチ部とを有し、

前記正極性セレクト部を前記第 1 及び第 2 の正極性データラッチ部の間に挟んだものを正極性の組とし、前記負極性セレクト部を前記第 1 及び第 2 の負極性データラッチ部の間に挟んだものを負極性の組とし、前記正極性の組と前記負極性の組とを配置してこれを 1 組とし、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする付記 3 記載の液晶パネル駆動用半導体集積回路。

(付記 1 4) 前記第 2 の正極性データラッチ部と前記第 1 の負極性データラッチ部とが隣接するように前記正極性の組と前記負極性の組とを配置してこれを 1 組とし、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に複数組並べて配置したことを特徴とする付記 1 3 記載の液晶パネル駆動用半導体集積回路。

【0068】

(付記 1 5) 前記第 2 の正極性データラッチ部と前記第 1 の負極性データラッチ部とを、前記正極性階調電圧線及び前記負極性階調電圧線に対して垂直方向に隣接させて配置したことを特徴とする付記 1 3 記載の液晶パネル駆動用半導体集積回路。

(付記 1 6) 前記第 2 の正極性データラッチ部と前記第 1 の負極性データラッチ部とを、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に隣接させて配置したことを特徴とする付記 1 3 記載の液晶パネル駆動用半導体集積回路。

【0069】

(付記 1 7) 前記正極性オペアンプと前記負極性オペアンプとを、前記正極性階調電圧線及び前記負極性階調電圧線に対して垂直方向に隣接させて配置したことを特徴とする付記 3 記載の液晶パネル駆動用半導体集積回路。

(付記 1 8) 前記正極性オペアンプと前記負極性オペアンプとを、前記正極性階調電圧線及び前記負極性階調電圧線に対して水平方向に隣接させて配置したことを特徴とする付記 3 記載の液晶パネル駆動用半導体集積回路。

【0070】

(付記 1 9) 前記正極性及び負極性データラッチ並びに前記正極性及び負極性セレクト部の領域を、前記正極性及び負極性オペアンプ並びに出力切替部の領域の片側のみに隣接するように配置したことを特徴とする付記 3 記載の液晶パネル駆動用半導体集積回路。

(付記 2 0) 前記正極性及び負極性データラッチ並びに前記正極性及び負極性セレクト部の領域を、前記正極性及び負極性オペアンプ並びに出力切替部の領域の両側に隣接するように配置したことを特徴とする付記 3 記載の液晶パネル駆動用半導体集積回路。

【0071】

【発明の効果】

以上説明したように本発明によれば、階調電圧線に対して水平方向の長さを大幅に短くすることができ、全体として液晶パネル駆動用半導体集積回路の面積を小さくすることができる。

【図面の簡単な説明】

【図 1】第 1 の実施形態による液晶表示装置の構成例を示す図である。

【図 2】階調電圧発生部及びセレクト部の構成例を示す回路図である。

【図 3】第 2 の実施形態による液晶表示装置の構成例を示す図である。

【図 4】第 3 の実施形態による液晶表示装置の構成例を示す図である。

10

20

30

40

50

【図 5】第 4 の実施形態による液晶表示装置の構成例を示す図である。
 【図 6】第 5 の実施形態による液晶表示装置の構成例を示す図である。
 【図 7】第 6 の実施形態による液晶表示装置の構成例を示す図である。
 【図 8】第 7 の実施形態による液晶表示装置の構成例を示す図である。
 【図 9】第 8 の実施形態による液晶表示装置の構成例を示す図である。
 【図 10】第 9 の実施形態による液晶表示装置の構成例を示す図である。
 【図 11】第 10 の実施形態による液晶パネル駆動用半導体集積回路の構成例を示す平面図である。
 【図 12】従来技術による液晶表示装置の構成例を示す図である。

【符号の説明】

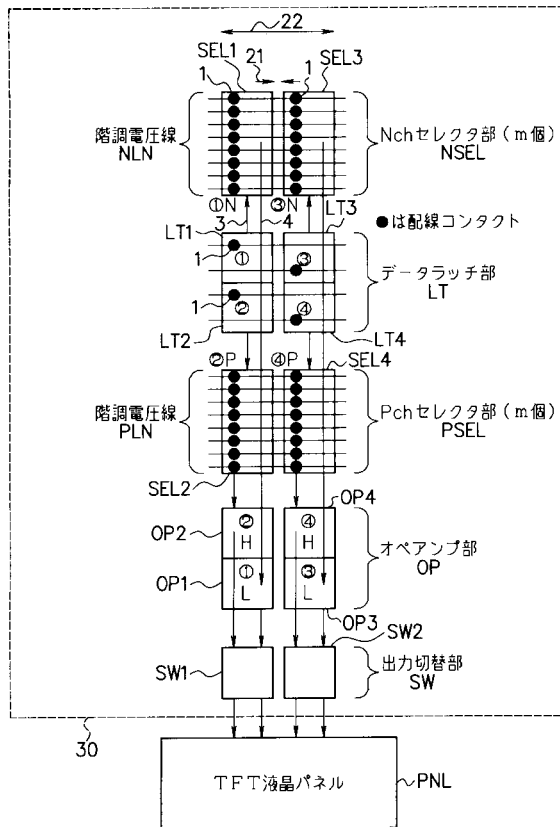
1 配線コンタクト部
 2 未使用領域
 5 階調電圧発生部
 6 ラダー抵抗
 11 データラッチ部及びセクタ部
 30, 40 液晶パネル駆動用半導体集積回路
 Tr トランジスタ
 SEL セクタ部
 NSEL 負極性セクタ部
 PSEL 正極性セクタ部
 LN 階調電圧線
 NLN 負極性階調電圧線
 PLN 正極性階調電圧線
 LT データラッチ部
 NLT 負極性データラッチ部
 PLT 正極性データラッチ部
 OP オペアンプ部
 SW 出力切替部
 PNL TFT 液晶パネル

10

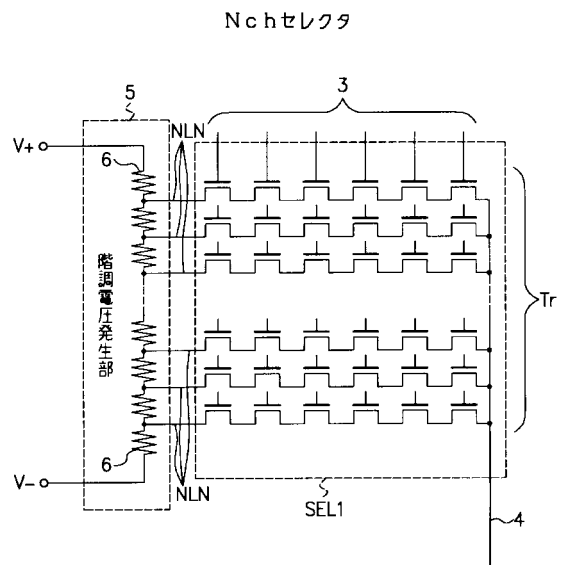
20

【 図 1 】

第1の実施形態の液晶表示装置

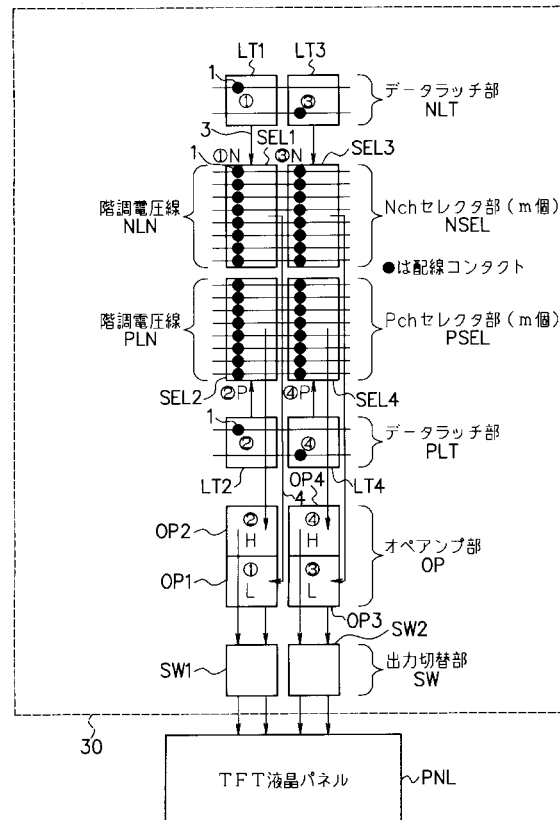


【 図 2 】



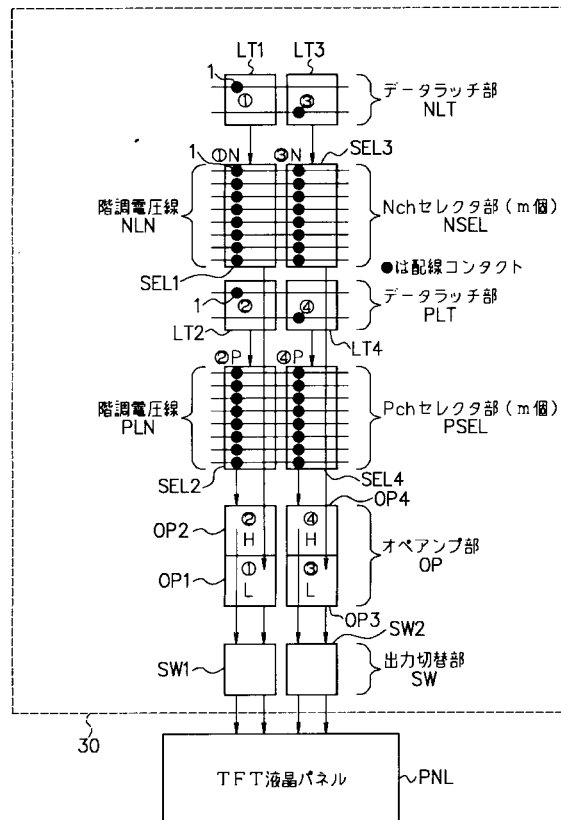
【 図 3 】

第2の実施形態の液晶表示装置

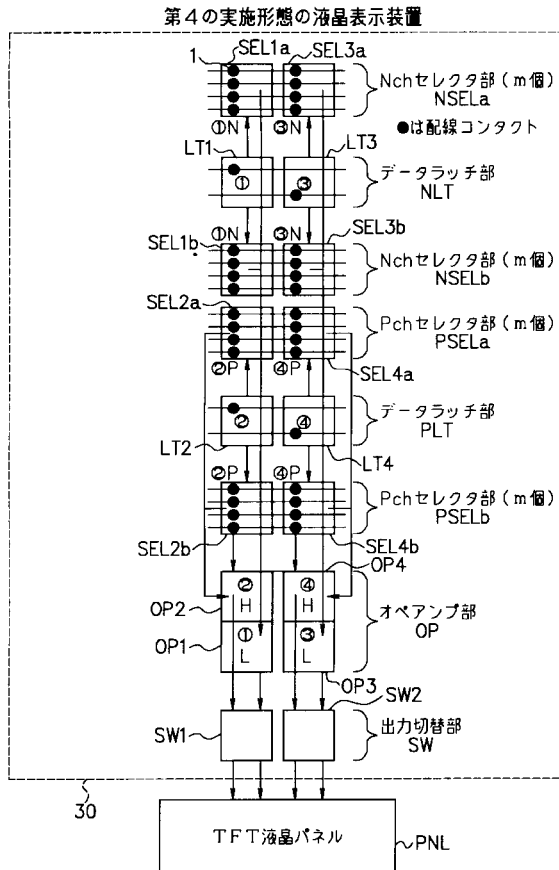


【 図 4 】

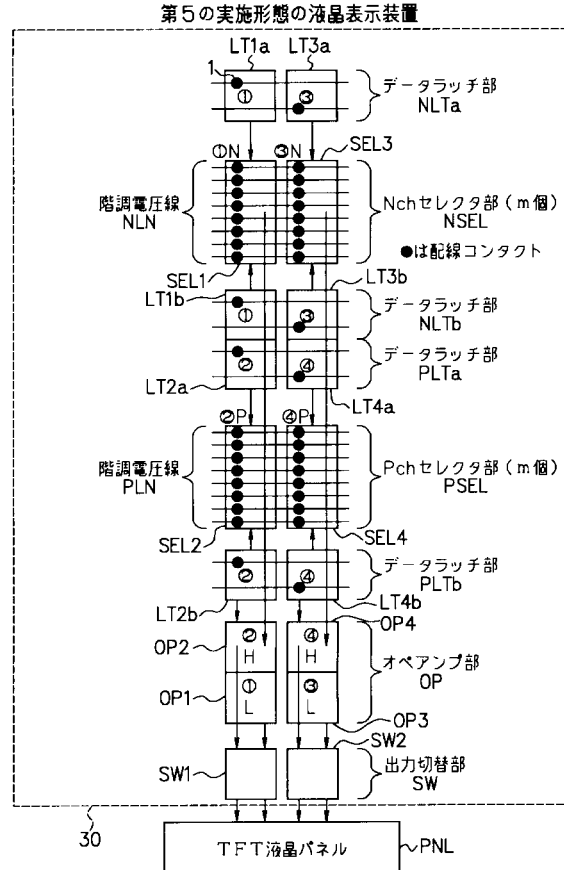
第3の実施形態の液晶表示装置



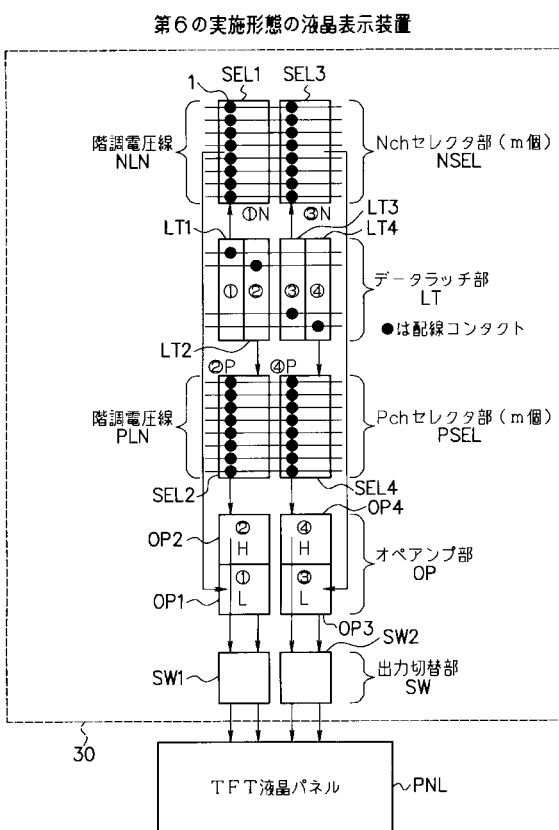
【図 5】



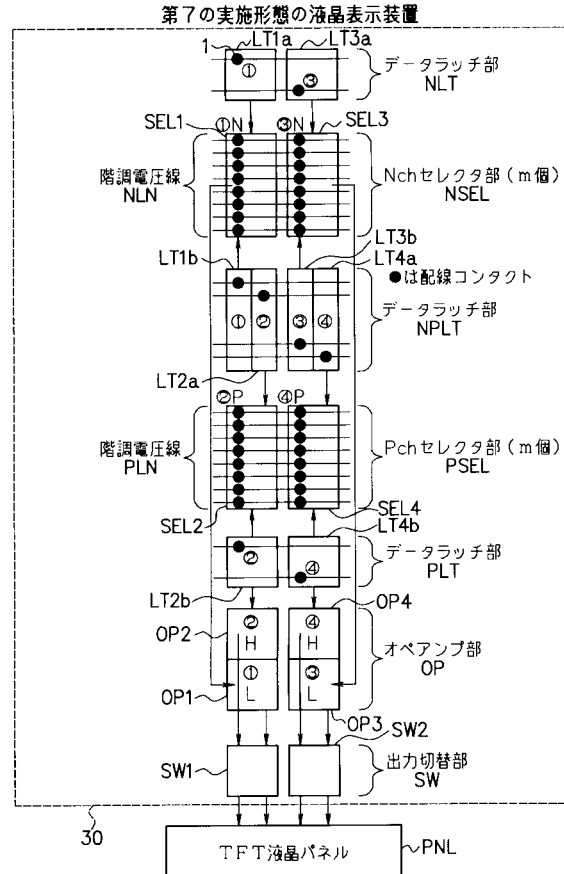
【図 6】



【図 7】

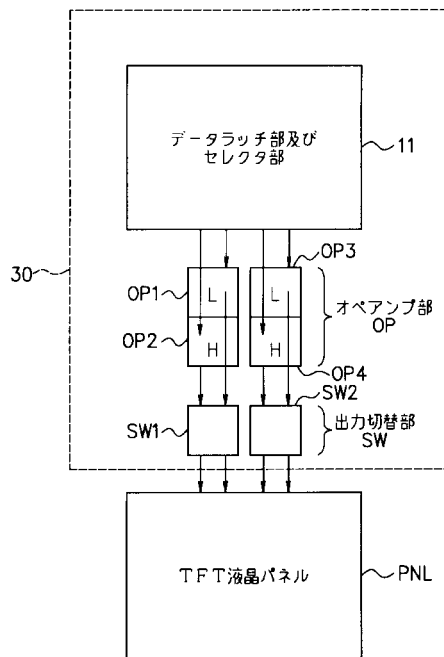


【図 8】



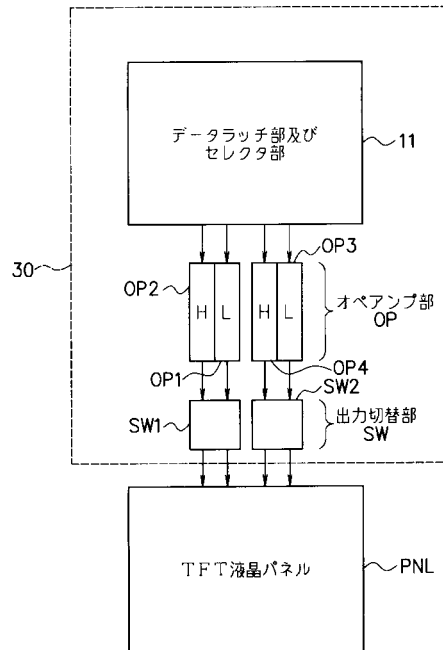
【図 9】

第8の実施形態の液晶表示装置



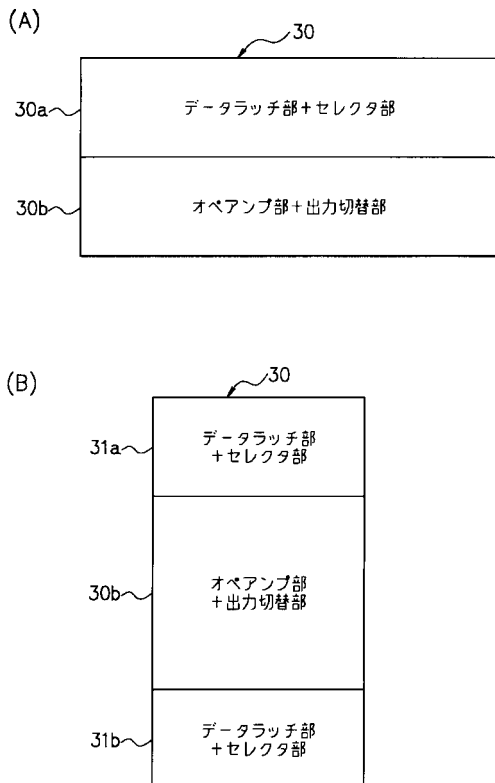
【図 10】

第9の実施形態の液晶表示装置



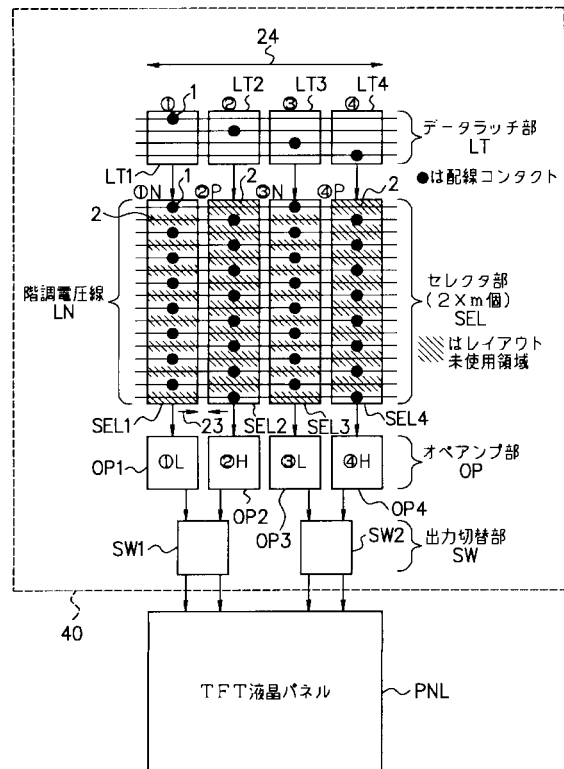
【図 11】

第10の実施形態の液晶ドライバ



【図 12】

従来技術



フロントページの続き

審査官 藤田 都志行

- (56)参考文献 特開平05-303353(JP,A)
特開平09-026765(JP,A)
特開平10-319924(JP,A)
特開平07-294870(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/133 575
G09G 3/20 621M
G09G 3/20 623E
G09G 3/20 680G
G09G 3/36

专利名称(译)	用于驱动液晶面板的半导体集成电路		
公开(公告)号	JP3864031B2	公开(公告)日	2006-12-27
申请号	JP2000105317	申请日	2000-04-06
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
当前申请(专利权)人(译)	富士通株式会社		
[标]发明人	山縣誠司 國分政利 鵜戸真也		
发明人	山縣 誠司 國分 政利 鵜戸 真也		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G02F1/133.575 G09G3/20.621.M G09G3/20.623.E G09G3/20.680.G G09G3/36 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA53 2H093/NC34 2H093/ND42 2H193/ZA04 2H193/ZD23 2H193/ZF05 2H193/ZF34 5C006/AA01 5C006/AA02 5C006/AA16 5C006/AA22 5C006/AC02 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC06 5C006/BC12 5C006/BC13 5C006/BF04 5C006/BF24 5C006/BF25 5C006/BF49 5C006/EB05 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD30 5C080/FF09 5C080/JJ02 5C080/KK02 5C080/KK43		
其他公开文献	JP2001290123A		
外部链接	Espacenet		

摘要(译)

要解决的问题：构成用于在小区域中驱动液晶面板的半导体集成电路。
 解决方案：通过在保持数字图像数据的数据锁存器LT的下级和右上级布置正多级电压线，使该半导体集成电路的水平方向的长度相对于多级电压线的水平方向的长度短。通过在数据锁存器LT的下级和右上级布置负多级电压线并通过使一组负选择器NSEL选择负模拟，通过制作一组正选择器PSEL来选择各级的正模拟多级电压各级的多级电压，并且通过在垂直方向上将这两组布置在一条直线上，并且还通过布置多组结构来构成集成电路，其中一组PSEL和一组NSEL被布置在其上。水平方向的直线。

【 図 1 】

