

(19)日本国特許庁（J P）(12)特 許 公 報（B 2）(11)特許番号
特許第3525926号
(P3525926)
(45)発行日 平成16年 5 月10日 (2004. 5. 10)(24)登録日 平成16年 2 月27日 (2004. 2. 27)

(51)Int.Cl.⁷識別記号F I
G 0 9 G 3/36G 0 9 G 3/36
G 0 2 F 1/1335 4 5G 0 2 F 1/1335 4 5
G 0 9 G 3/206 2 2G 0 9 G 3/206 2 2 Q
6 3 16 3 1 U
6 4 16 4 1 E
請求項の数 4 (全 20 頁) 最終頁に続く

(21)出願番号	特願2002-25698(P2002-25698)	(73)特許権者	000002369 セイコーエプソン株式会社 東京都新宿区西新宿 2 丁目 4 番 1 号
(22)出願日	平成14年 2 月 1 日 (2002. 2. 1)	(72)発明者	米山 剛 長野県諏訪市大和 3 丁目 3 番 5 号 セイ コーエプソン株式会社内
(65)公開番号	特開2002-328665(P2002-328665A)	(74)代理人	100090479 弁理士 井上 一 (外 2 名)
(43)公開日	平成14年11月15日 (2002. 11. 15)		
審査請求日	平成14年 2 月20日 (2002. 2. 20)		
(31)優先権主張番号	特願2001-30893(P2001-30893)		
(32)優先日	平成13年 2 月 7 日 (2001. 2. 7)		
(33)優先権主張国	日本 (J P)	審査官	西島 篤宏
		最終頁に続く	

(54)【発明の名称】 表示駆動回路、半導体集積回路、表示パネル及び表示駆動方法

1
(57)【特許請求の範囲】
【請求項 1】複数のコモン電極及び複数のセグメント電極を有する表示パネルを駆動する表示駆動回路であって、
画像表示用のデータを記憶するRAMと、
互いに異なるフレーム周期の複数の階調パターンを記憶する複数のFRC（フレームレートコントロール）ROMと、
前記RAMに記憶されているデータに基づいて、前記複数のFRCROMの中から1つのFRCROMを選択する階調パターン選択回路と、
フレーム番号を示すアドレス信号を出力するフレーム選択回路と、
マルチライン駆動法により同時選択される4ラインのコモン電極の走査パターンにより規定される直交関数を用いた演算結果に対応した駆動電圧を、前記複数のセグメント電極の1つに出力するセグメント電極駆動回路と、
を含み、
前記複数の階調パターンの各階調パターンが、
各フレームの1ドット分の表示オン又は表示オフをフレーム周期分だけ指定するパターンであり、
前記階調パターン選択回路によって選択されたFRCROMが、
前記アドレス信号により特定されるフレームの表示オン又は表示オフを示す信号を、前記セグメント電極駆動回路に出力し、
前記セグメント電極駆動回路が、
前記直交関数を用いた演算に、前記表示オン又は表示オフを示す信号を用い、
前記表示オン又は表示オフを示す信号が、

2

同時選択されるコモン電極の奇数ライン用及び偶数ライン用にそれぞれ共用されて前記FRCROMから前記セグメント電極駆動回路に出力されることを特徴とする表示駆動回路。

【請求項2】請求項1において、
第1～第3の書込み制御信号に基づいて、各色複数ビットのデータをラッチする第1～第3のラッチ回路と、
前記第3の書込み制御信号を遅延させた書込み遅延制御信号に基づいて、前記第1～第3のラッチ回路の出力をラッチする第4～第6のラッチ回路と、
を含み、
前記第1～第3の書込み制御信号は、
所与の書込み信号がアクティブになるごとに順次アクティブになり、
前記4～第6のラッチ回路の出力が、
前記RAMに供給されることを特徴とする表示駆動回路。

【請求項3】請求項1又は2において、
前記フレーム選択回路が、
2つの部分に分割され、各部分が各FRCROMを挟んで前記表示駆動回路の長辺方向に並んで配置されていることを特徴とする表示駆動回路。

【請求項4】複数のコモン電極と、
複数のセグメント電極と、
複数の画素と、
前記複数のセグメント電極を駆動する請求項1乃至3のいずれか記載の表示駆動回路と、
を含むことを特徴とする表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示駆動回路、半導体集積回路、表示パネル及び表示駆動方法に関する。

【0002】

【従来の技術】従来のカラーLCD用ドライバIC（半導体集積回路。広義には、表示駆動回路。）においては、MPUから出力される赤色（R）3ビット、緑色（G）3ビット、青色（B）2ビットの計8ビットの画像データに基いて、カラーLCDを駆動していた。この様子を図17に示す。

【0003】図17において、MPUから入力される1画素分の画像データD7～D0の内、D7～D5の3ビットが赤色の8階調を表しており、D4～D2の3ビットが緑色の8階調を表しており、D1～D0の2ビットが青色の4階調を表している。このような画像データを、ドライバICに内蔵されているROMに順次入力してFRC（フレームレートコントロール）変調を行うことにより、 $8 \times 8 \times 4 = 256$ 色のカラー表示を行っていた。

【0004】このような従来のカラー表示方法においては、表示可能な色調は、MPUからドライバICに入力

される画像データのビット数で決まってしまう。現在の一般的なカラーLCD用ドライバICにおいては、入力される画像データのビット数は8ビットであるから、表示可能な色調も256色に限定されていた。

【0005】しかしながら、256色の色調では、同系色の微妙な変化を表現することができない。一方、近年においては、カラー表示における色調の多様化が求められている。

【0006】ところで、特開昭63-318863号公報には、カラー画像情報を複数の色分解像に分解して複数の色信号に変換する手段と、これら複数の色信号から歪補正されたデジタル色信号を得る手段と、このデジタル色信号をさらに複数ビットで構成された複数の色信号に分離する色分離手段とを有し、この色分離手段として、出力すべき色信号が相違する複数の色分離手段が用意され、これらの色分離手段が交換可能に構成されているカラー画像処理装置が掲載されている。例えば、黒、赤、緑、青の4色を用いて色表示を行う機種において、3つの色信号に分離してカラー画像を記録できるようにしておけば、3色を用いて色表示を行う機種への展開が容易となる。しかしながら、このカラー画像処理装置は、表示可能な色調の数を増加させることを目的としたものではない。

【0007】また、特開平10-327330号公報には、複数の記録ドット位置に対応する単位階調処理領域の各々のドット位置に対応付けた互いに異なる複数のしきい値を有するしきい値テーブルを利用して入力色信号を記録色信号に変換する階調処理手段を備え、記録色信号に従って各々のドット位置に記録処理を行うカラー記録装置が掲載されている。このカラー記録装置は、互いにしきい値の配列パターンが異なる複数種類のしきい値テーブルと、その中から実際に使用するしきい値テーブルを選択する手段と、互いに内容の異なる複数種類の信号補正処理機能と、しきい値テーブルの種類に対応する信号補正処理の内容を記憶する記憶手段とを有し、選択されたしきい値テーブルに対応する信号補正処理内容に基づいて信号補正処理を行う信号補正手段を備えている。これは、各色の重なり具合やその他の要因によって記録信号のレベルと実際の記録内容との間に差が生じるため、処理内容を固定した補正処理では十分な補正を行うことが困難だからである。このカラー記録装置は、オペレータがしきい値テーブルを切り換えても、再現される色が変わらないようにするものであり、表示可能な色調の数を増加させることを目的としたものではない。

【0008】一方、日本国特許出願公開（特開）昭60-243735号公報には、色信号を色変換テーブルによって印刷用データに変換し、この印刷用データに基づいてカラー印刷を行うカラープリンタにおいて、複数の書換え可能なテーブルを設け、これらのテーブルの記憶内容を任意に設定すると共に、これらのテーブルの内の

1つを選択して使用するようにしたカラープリンタが掲載されている。しかしながら、このカラープリンタによれば、利用者が複数のテーブルの内の1つを選択して印刷の色調を設定する必要があり、利用者がテーブルを変更しない限り、表示可能な色調の数を増加させることはできない。

【0009】

【発明が解決しようとする課題】本発明は、以上のよう
な技術的課題に鑑みてなされたものであり、その目的と
するところは、LCD等を駆動して複数の階調でカラー
表示を行う際に、表示可能な色調の種類を拡大し、表示
される色の選択の自由度を増すことのできる表示駆動回
路、半導体集積回路、これを用いた表示パネル及び表示
駆動方法を提供することにある。

【0010】

【課題を解決するための手段】上記課題を解決するた
めに本発明は、連続的に入力される画像表示用のデー
タを順次記憶するRAMと、各々が、前記RAMに記憶さ
れているデータに基づいて複数の階調パターンの中から
1つの階調パターンを選択する複数の階調パターン選択回
路と、前記複数の階調パターン選択回路に対応して設け
られ、一連の画像フレームについて、前記複数の階調パ
ターン選択回路において選択された階調パターンを順次
出力させる複数のフレーム選択回路とを含む表示駆動回
路に関する。

【0011】また本発明に係る表示駆動回路は、各色の
階調をN（Nは2以上の整数）ビットで表すデータを入
力し、設定されたコマンドに基いて、各色の階調をM
（Mは整数で、 $M > N$ ）ビットで表すデータに変換して
前記RAMに供給する画像データ変換回路をさらに含む
ことができる。

【0012】また本発明に係る表示駆動回路は、前記複
数の階調パターン選択回路の各々が、前記RAMに記憶
されているデータに基いて階調パターン選択信号を出力
する選択ROMと、前記階調パターン選択信号に従って
複数の階調パターンの中から1つの階調パターンを選択
すると共に、対応するフレーム選択回路から出力される
制御信号に従って前記階調パターンを用いてFRC（フ
レームレートコントロール）変調を行うFRCROMと
を含むことができる。

【0013】また本発明に係る表示駆動回路は、前記複
数のフレーム選択回路の各々が、複数の部分に分割され
てそれぞれの階調パターン選択回路の両側に配置（レイ
アウト）されていてもよい。

【0014】すなわち、複数の部分に分割された複数の
フレーム選択回路の各々の回路及び配線を含む回路パ
ターンが、階調パターン選択回路の両側に配置されてい
てもよい。

【0015】以上の様に構成した本発明によれば、複数
のフレーム選択回路に記憶されている階調パターンを画

像データに応じて切り換えて出力することにより、表示
可能な色調の種類を拡大し、表示される色の選択の自由
度を増すことができる。

【0016】また本発明は、連続的に入力される画像表
示用のデータを順次記憶するRAMと、互いに異なるフ
レーム周期の複数の階調パターンを記憶し、前記RAM
に記憶されたデータを用いて複数の階調パターンの中か
ら1つの階調パターンを選択する複数のFRCROM
と、前記複数のFRCROMにより選択された階調パ
ターンそれぞれを、フレームごとに順次出力させる複数の
フレーム選択回路とを含み、表示部を駆動するための駆
動信号が、前記複数のFRCROMから出力された階調
パターンに基づいて出力される表示駆動回路に係する。

【0017】ここで、複数のFRCROMが第1～第k
（kは2以上の整数）のFRCROMからなるものとし
ると、第1のFRCROMは、第1のフレーム周期の複
数の階調パターンを記憶する。また、第2のFRCRO
Mは、第1、第3～第kのフレーム周期と異なる第2の
フレーム周期の複数の階調パターンを記憶する。同様に
して、第kのFRCROMは、第1～第（k-1）のフ
レーム周期と異なる第kのフレーム周期の複数の階調パ
ターンを記憶する。

【0018】本発明によれば、複数種類のフレーム周期
の複数の階調パターンの中から、1つの階調パターンを
選択して表示部を駆動するようにしたので、少ないビッ
ト数の画像データであってもより木目細かい階調表示を
行うことができる。

【0019】また本発明に係る表示駆動回路は、各色の
階調をN（Nは2以上の整数）ビットで表すデータを入
力し、任意に設定可能な各色M（Mは整数で、 $M > N$ ）
ビットで表すデータに変換して前記RAMに供給する画
像データ変換回路を含み、前記複数のフレーム選択回路
の各々は、前記Mビットの階調に基づいて選択された階
調パターンを、フレームごとに順次出力させることがで
きる。

【0020】本発明によれば、画像データのビット数が
少ない場合であっても、表示可能な色調の種類を拡大
し、更に階調特性に応じた階調表現を実現することがで
きる。

【0021】また本発明に係る半導体集積回路は、上記
いずれか記載の表示駆動回路と、選択された階調パター
ンに基いて生成された駆動信号を出力する端子とを含む
ことができる。

【0022】本発明によれば、少ないビット数の画像デ
ータであってもより木目細かい階調表示を行うことがで
きるICを提供することができる。

【0023】また本発明に係る表示パネルは、互いに交
差する複数のコモン電極と複数のセグメント電極とによ
り特定される画素と、前記セグメント電極を駆動する上

10

20

30

40

50

記いずれか記載の表示駆動回路とを含むことができる。

【0024】本発明によれば、少ないビット数の画像データであってもより木目細かい階調表示を行うことができる表示パネルを提供することができる。この場合、コモン電極を駆動する走査ドライバを、表示パネルの外部に設けてもよいし、該表示パネルが形成される基板上に設けてもよい。

【0025】また本発明に係る表示駆動方法は、少なくとも2種類のフレーム周期の複数の階調パターンの中から、画像表示用のデータに基いて1つの階調パターンを選択してフレームごとに出力し、該階調パターンに基いて、表示部を駆動するための駆動信号を出力する表示駆動方法に関係する。

【0026】本発明によれば、複数種類のフレーム周期の複数の階調パターンの中から、1つの階調パターンを選択して表示部を駆動するようにしたので、少ないビット数の画像データであってもより木目細かい階調表示を行うことができる。

【0027】また本発明に係る表示駆動方法は、N（Nは2以上の整数）ビットの階調に対応して、任意に設定可能なM（Mは整数で、 $M > N$ ）ビットの階調に変換し、少なくとも2種類のフレーム周期の複数の階調パターンの中から、前記Mビットの階調に基づいて1つの階調パターンを選択してフレームごとに出力することができる。

【0028】本発明によれば、画像データのビット数が少ない場合であっても、表示可能な色調の種類を拡大し、更に階調特性に応じた階調表現を実現することができる。

【0029】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0030】図1に、本発明の一実施形態に係る半導体集積回路の構成を示す。ここでは、本実施形態に係る表示駆動回路を、半導体集積回路としてのカラーLCD用ドライバICに適用した場合について説明する。

【0031】図1に示すように、ドライバIC（半導体集積回路）20には、MPU10から、各画素の画像情報を表す8ビットの画像データD7～D0が順次入力される。また、ドライバIC20には、書込み制御信号や読出し制御信号を含む各種の制御信号が入力される。ドライバIC20は、これらの画像データや制御信号に基づいて、R駆動信号とG駆動信号とB駆動信号の複数の組を生成し、LCDパネル（広義には、表示パネル）30の複数のセグメント電極にそれぞれ出力する。

【0032】図2に、LCDパネルの概略構成を示す。

LCDパネル30は、セグメント方向において複数の領域11、12、・・・を有し、コモン方向においても複数の領域、21、22、・・・を有している。ここで、セグメント方向の1つの領域とコモン方向の1つの領域を特定することにより、1つの画素が特定される。一例としては、LCDパネル30が、セグメント方向において160個の領域を有し、コモン方向において120個の領域を有する。この場合には、LCDパネル30は、 160×120 の画素を有することになる。

【0033】さらに、セグメント方向の各領域は、RGBの各色を表示するための3つの領域（ドット）11R、11G、11Bに細分されており、これらの領域に電圧を印加するための3系統の素子には、それぞれ端子31R、31G、31Bが接続されている。

【0034】再び図1を参照すると、ドライバIC20は、MPU10と接続を行うためのMPUインターフェース1と、LCDパネル30と接続を行うためのLCDインターフェース8とを含んでいる。LCDインターフェース8から出力された駆動信号は、端子を介してLCDパネル30のセグメント電極に出力される。これにより、LCDパネル30の各セグメント電極におけるRGBの各領域が駆動される。

【0035】ドライバIC20は、少なくとも2種類のフレーム周期の複数の階調パターンを記憶する。そして、これら複数の階調パターンの中からMPUインターフェース1を介して入力された画像データに基いて選択された1つの階調パターンを、フレームごとに順次出力させる。これにより、ドライバIC20は、FRC（フレームレートコントロール）変調による階調表示を行うことができる。

【0036】ドライバIC20において、MPUインターフェース1から出力される画像データは画像データ変換回路2に供給され、MPUインターフェース1から出力される制御信号は表示制御回路9に供給される。画像データ変換回路2は、MPU10から供給されるコマンドに従って、入力された画像データを、それよりもビット数の多いデータに変換する。例えば、画像データ変換回路2は、入力される赤色（R）3ビット、緑色（G）3ビット、青色（B）2ビットの計8ビットの画像データを、各色について4又は5ビットの赤色階調データ、緑色階調データ、青色階調データに変換する。

【0037】画像データを各色について4ビットの階調データに変換する場合には、 $(2^4)^3 = 4096$ 種類の色調の設定が可能であり、その中から画像データに従って256種類又は4096種類の色調を表示することができる。さらに、画像データを各色について5ビットのデータに変換する場合には、 $(2^5)^3 = \text{約}3万2千$ 種類の色調の設定が可能であり、その中から画像データに従って256種類又は4096種類又は約3万2千種類の色調を表示することができる。なお、画像データ変換回

路2には、8ビット以外のビット数を有する画像データを入力するようにしてもかまわないし、画像データ変換回路2を用いずに、各色について4ビット又は5ビット以上を含む画像データを、直接ドライバIC20に入力するようにしても良い。

【0038】以下では、各色4ビットで階調表現される画像データを取り込んで、各色5ビットの階調データに変換する場合について説明する。

【0039】まず、MPUインターフェース1について説明する。MPUインターフェース1は、MPU10により8ビット単位で書き込まれた各色4ビットの画像データを、24ビット（2画素）単位でRAM3に書き込むことができる。

【0040】図3に、MPUインターフェース1の構成の一例を示す。

【0041】MPUインターフェース1は、ラッチ回路LAT-A~LAT-Cと、ラッチ回路LAT-A'~LAT-C'を含む。ラッチ回路LAT-A~LAT-Cは、MPU10から入力された8ビットの画像データD7~D0をラッチする。ラッチ回路LAT-A'~LAT-C'は、ラッチ回路LAT-A~LAT-Cでラッチされたデータをさらにラッチする。

【0042】ラッチ回路LAT-Aは、書込み制御信号WR1に基いて、8ビットの画像データD7~D0をラッチする。ラッチ回路LAT-Bは、書込み制御信号WR2に基いて、8ビットの画像データD7~D0をラッチする。ラッチ回路LAT-Cは、書込み制御信号WR3に基いて、8ビットの画像データD7~D0をラッチする。ラッチ回路LAT-A~LAT-Cでラッチされたデータは、内部バスIBUS1~3に出力される。

【0043】ラッチ回路LAT-A'~LAT-C'は、書込み制御信号WR3を遅延させた書込み遅延制御信号に基いて、内部バスIBUS1~3のデータをラッチし、それぞれ出力バスOUTBUS1~3に出力する。

【0044】一般に、各色4ビットで階調表現を行う画像データについて、8ビット単位で書き込みが行われると、2回の書き込み動作で1画素分の階調データが書き込まれることになる。したがって、後続する2画素目の階調データの書き込みを行う場合には、さらに2回の書き込みが必要となってしまう。

【0045】そこで、ドライバIC20は、図3に示すようにラッチ回路LAT-A~LAT-Cを設け、図4(A)に示すように3回の書込み動作で2画素分の階調データをラッチする。そして、3回目の書込み動作に同期して2画素分の階調データをラッチ回路LAT-A'~LAT-C'でラッチし、後段の画像データ変換回路2に供給する。

【0046】このため、図4(B)に示すように、MPU10からの書込み制御信号MPUWRがアクティブに

なるごとに、書込み制御信号WR1~WR3を順にアクティブにして、画像データD7~D0を各ラッチ回路に取り込む。ラッチ回路LAT-A'~LAT-C'は、セットアップ時間及びホールド時間を確保するために書込み制御信号WR3を遅延させた書込み遅延制御信号により、（書込み制御信号WR3に同期させて）内部バスIBUS1~3のデータをラッチする。そして、出力バスOUTBUS1~3にデータが出力されている期間に、画像データ変換回路2でビット数を変換し、RAM3へ書き込むようにしている。

【0047】これにより、MPU10による画像データの書込み動作の回数を低減させることができ、連続して入力される画像データを効率的に取り込むことができる。

【0048】このようなMPUインターフェース1により効率的に取り込まれた各色4ビットの画像データは、画像データ変換回路2に入力される。画像データ変換回路2は、各色4（N=4）ビットの画像データを、任意に設定可能な例えば5（M=5）ビットの階調データに変換する。

【0049】図5に、画像データ変換回路2において生成される変換テーブルの一例を示す。

【0050】ここでは、各色4ビットの画像データを各色5ビットの階調データを変換する場合について説明するが、変換後の階調データのビット数に限定されるものではない。

【0051】このような変換テーブルは、複数のラッチ回路を含む。これらラッチ回路に対しては、例えばMPU10からのコマンドPx（x=1~48）により、4ビットの画像データに対して変換すべき5ビットの階調データを設定することができるようになっている。例えば、4ビットの画像データR（0, 0, 0, 0）について、変換すべき5ビットの階調データを設定する場合、MPU10からコマンドP1を発行する。コマンドP1を受けた画像データ変換回路2は、データD4~D0上の変換後の5ビットの階調データP14~P10を記憶する。その後、4ビットの画像データとしてR（0, 0, 0, 0）が入力されたとき、画像データ変換回路2は、5ビットの階調データP14~P10を出力することになる。

【0052】図6に、画像データ変換回路2の構成の一例を示す。

【0053】ここでは、赤色（R）の画像データを変換する部分についてのみ示す。

【0054】画像データ変換回路2は、5ビットのラッチ回路LAT1~LAT48と、セクタ回路SEL0~SEL4を含む。

【0055】ラッチ回路LAT1~LAT48は、変換テーブル設定用データD4~D0が入力される。ラッチ回路LAT1は、MPU10からコマンドP1が入力さ

れたときにアクティブになるイネーブル信号EN-P1に基いて、変換テーブル設定用データD4~D0をラッチする。ラッチ回路LAT2は、MPU10からコマンドP2が入力されたときにアクティブになるイネーブル信号EN-P2に基いて、変換テーブル設定用データD4~D0をラッチする。ラッチ回路LAT3~48についても、同様にMPU10からコマンドP3~P48が

入力されたときにアクティブになるイネーブル信号EN-P3~EN-P48に基いて、変換テーブル設定用データD4~D0をラッチする。

【0056】ラッチ回路LAT1~LAT48は、ラッチした5ビットの変換テーブルデータR4₁~R0₁、R4₂~R0₂、・・・、R4₄₈~R0₄₈を出力する。

【0057】セクタ回路SEL0は、ラッチ回路LAT1~LAT48それぞれから出力された変換テーブルデータR0₁~R0₄₈の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3~D0に基いて、選択ビットRO0を選択出力する。

【0058】セクタ回路SEL1は、ラッチ回路LAT1~LAT48それぞれから出力された変換テーブルデータR1₁~R1₄₈の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3~D0に基いて、選択ビットRO1を選択出力する。

【0059】セクタ回路SEL2は、ラッチ回路LAT1~LAT48それぞれから出力された変換テーブルデータR2₁~R2₄₈の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3~D0に基いて、選択ビットRO2を選択出力する。

【0060】セクタ回路SEL3は、ラッチ回路LAT1~LAT48それぞれから出力された変換テーブルデータR3₁~R3₄₈の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3~D0に基いて、選択ビットRO3を選択出力する。

【0061】セクタ回路SEL4は、ラッチ回路LAT1~LAT48それぞれから出力された変換テーブルデータR4₁~R4₄₈の中から、MPUインターフェース1から出力された変換前の4ビットの画像データD3~D0に基いて、選択ビットRO4を選択出力する。

【0062】例えばセクタ回路SEL0~SEL4は、4ビットの画像データD3~D0が(0, 0, 0, 0)のとき、コマンドP1に基いてラッチ回路LAT1に設定されて出力されたR4₁~R0₁を、それぞれ選択ビットRO0~RO4として選択出力する。

【0063】以上のような構成により、画像データ変換回路2は、変換前の4ビットの画像データD4~D0から、選択ビットRO4~RO0を5ビットの階調データとして出力することができる。

【0064】このような画像データ変換回路2から連続的に出力される階調データは、RAM3に順次記憶される。RAM3には、階調パターン選択ROM4A~4D

が接続されている。階調パターン選択ROM4A~4Dの各々は、RAM3から供給される各色の階調データ(以下においては5ビットとする)に基いて、FRCROM5A~5Dに記憶されている複数の階調パターンの中から1つの階調パターンを選択するための階調パターン選択信号を出力する。

【0065】ここで、階調パターンは、階調に応じた階調表現を行うために、所与のフレーム周期でオン又はオフを指定するパターンをいう。FRCROM5A~5Dは、互いに異なるフレーム周期の各階調に応じた複数の階調パターンを記憶する。

【0066】図7に、図1に示すFRCROM5A~5Dに記憶されている階調パターンの例を示す。FRCROM5Aには、階調パターンA-1からA-8までの8つの階調パターンが記憶されており、この内の1つが階調データに基いて選択される。同様に、FRCROM5Bには、階調パターンB-1からB-9までの9つの階調パターンが記憶され、FRCROM5Cには階調パターンC-1からC-7までの7つの階調パターンが記憶され、FRCROM5Dには、階調パターンD-1からD-8までの8つの階調パターンが記憶されている。これらの階調パターンは、1回の出力ごとにパターンをずらすことが望ましい。例えば、1セグメント出力ごとに、図7の横に1段ずつずらしたROMデータを作成する。なお、階調パターンの開始アドレスは、1フレーム期間中は全て同じアドレスとする。

【0067】FRCROM5A~5Dに記憶されている合計32種類の階調パターンを用いることにより、図8に示すような32階調でRGBの各色を表現することができる。図9に、これらの階調の連続性を示す。図9に示すように、本実施形態によれば、従来の8階調表示よりも木目細かい階調表示が可能となる。

【0068】これは、例えば、画像データ変換回路2において、MPU10から入力される各色4ビットの画像データを、図8及び図9に示すような各階調に対応した各色5ビットの画像データに変換させるような変換テーブルを設定することで、容易に実現することができる。

【0069】さらに、図1に示すように、FRCROM5A~5Dには、フレーム選択回路6A~6D及び7A~7Dがそれぞれ接続されている。フレーム選択回路6A~6D及び7A~7Dは、表示制御回路9の制御の下、一連の画像フレームについて、FRCROM5A~5Dにおいて選択された階調パターンを順次出力させることにより、FRC(フレームレートコントロール)変調を行う。

【0070】図10に、ドライバIC20において、RAM3、階調パターン選択ROM4A~4D、FRCROM5A~5D、フレーム選択回路6A~6D、7A~7D及び表示制御回路9の接続関係を模式的に示す。

【0071】表示制御回路9は、アドレス信号AD3₁₂

10

20

30

40

50

～AD0₁₂を、フレーム選択回路6A、7Aに出力する。アドレス信号AD3₁₂～AD0₁₂は、図11に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、12フレーム周期で繰り返すようになっている。

【0072】また表示制御回路9は、アドレス信号AD3₁₁～AD0₁₁を、フレーム選択回路6B、7Bに出力する。アドレス信号AD3₁₁～AD0₁₁は、図11に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、11フレーム周期で繰り返すようになっている。

【0073】また表示制御回路9は、アドレス信号AD3₁₀～AD0₁₀を、フレーム選択回路6C、7Cに出力する。アドレス信号AD3₁₀～AD0₁₀は、図11に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、10フレーム周期で繰り返すようになっている。

【0074】さらに表示制御回路9は、アドレス信号AD3₇～AD0₇を、フレーム選択回路6D、7Dに出力する。アドレス信号AD3₇～AD0₇は、図11に示すように、フレーム期間を経過するたびに更新されるフレーム番号を示し、7フレーム周期で繰り返すようになっている。

【0075】RAM3は、画像データ変換回路2により変換された5ビットの階調データR4～R0を、階調パターン選択ROM4A～4Dに出力する。

【0076】階調パターン選択ROM4A～4Dは、図8に示すように、5ビットの階調データに基く階調に応じて、FRCROM5A～5Dに記憶されている複数の階調パターンの中から1つの階調パターンを選択するための階調パターン選択信号を出力する。

【0077】図12に、FRCROM、フレーム選択回路及び表示制御回路の接続関係を模式的に示す。

【0078】FRCROM5Aは、階調パターン選択ROM4Aから出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路6A又は7Aにより指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力する。

【0079】FRCROM5Bは、階調パターン選択ROM4Bから出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路6B又は7Bにより指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力する。

【0080】FRCROM5Cは、階調パターン選択ROM4Cから出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路6C又は7Cにより指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力す

る。

【0081】FRCROM5Dは、階調パターン選択ROM4Dから出力された階調パターン選択信号により選択された階調パターンの中から、フレーム選択回路6D又は7Dにより指定されたフレーム番号に応じて、表示オン又は表示オフを示す階調パターンをデコード出力する。

【0082】FRCROM5A～5Dに入力され、各フレームをそれぞれ特定するための制御信号G11～G0（制御信号G15～G12は未使用）のうち、制御信号G11～G8、G3～G0はフレーム選択回路6A～6Dにおいて生成される。また制御信号G15～G12、G7～G4はフレーム選択回路7A～7Dにおいて生成される。

【0083】このように、各々のFRCROMに対応するフレーム選択回路を2つの部分に分けたのは、フレーム選択回路にはトランスファークロークやNAND回路等を構成する高速で面積の大きいトランジスタが複数含まれているので、これらのトランジスタを一か所に集めるとその部分の面積が増大してしまい、レイアウトが困難になるからである。

【0084】特にFRCROMに制御信号を出力するフレーム選択回路に比べて該FRCROMの素子数が少ない場合、フレーム選択回路のレイアウト（配置）形状が、ドライバIC20の短辺方向に大きくなってレイアウト効率が低下してしまう。したがって、フレーム選択回路を分割することにより、ドライバIC20の長辺方向に長くなっても、その短辺方向の長さを小さくすることができるので、レイアウト効率を向上させることができる。

【0085】次に、フレーム選択回路、階調パターン選択回路及びFRCROMについて説明する。

【0086】フレーム選択回路6Aは、図13に示すように、表示制御回路9からのアドレス信号AD3₁₂～AD0₁₂から、制御信号G11～G8、G3～G0を生成する。制御信号G11～G8、G3～G0は、FRCROM5Aに対して出力される。フレーム選択回路6Aは、例えばアドレス信号AD3₁₂～AD0₁₂がフレーム1を表しているとき（AD3₁₂～AD0₁₂＝「0000」）は、制御信号G0がアクティブ（論理レベル「L」）で、制御信号G11～G8、G3～G1がインアクティブ（論理レベル「H」）となるようにデコードを行う。またフレーム選択回路6Aは、例えばアドレス信号AD3₁₂～AD0₁₂がフレーム12を表しているとき（AD3₁₂～AD0₁₂＝「1011」）は、制御信号G11がアクティブ（論理レベル「L」）で、制御信号G10～G8、G3～G0がインアクティブ（論理レベル「H」）となるようにデコードを行う。

【0087】ここでは、フレーム選択回路6Aについて説明するが、フレーム選択回路6B～6D、7A～7D

についても同様に構成することができるため、説明を省略する。

【0088】階調パターン選択ROM4A～4Dの各々と、それに対応するFRCROM5A～5Dの各々とを、1つのROMとして構成しても良い。

【0089】図14に、階調パターン選択ROM4A～4Dの各々と、それに対応するFRCROM5A～5Dの各々とを、1つのROMとして構成した構成例を示す。

【0090】このような構成のROMは、複数のコモン電極を同時選択するマルチライン駆動法(Multi Line Selection: MLS)により複数ライン分の階調パターンを出力する場合、当該複数のコモン電極に対応する複数のセグメント電極のうち奇数ライン用及び偶数ライン用として共用化するため、2つ1組で設けられる。例えば階調パターン選択ROM4Aと、これに対応するFRCROM5Aとが1つのROMとして構成された場合、図14に示した構成のROMを2つ含むように構成される。

【0091】図14に示す複数のトランジスタの内の所定のものは、ソースとドレインとの間がアルミ配線でショートされており、これによってデータを変換するために用いるアルゴリズムを記憶している。

【0092】下側のトランジスタ群は、RAM3から供給される5ビットの階調データに基いて階調パターンを選択するための階調パターン選択ROM(デコーダ)を構成し、5ビットの階調データに応じて上側のトランジスタ群に対して(広義の)階調パターン選択信号を供給する。上側のトランジスタ群は、図7に示す階調パターンD-1、D-2、D-3、・・・を表している。例えば、階調データ(M4～M0=「00011」)が入力された場合には、最も左側のトランジスタ列によって表される階調パターンD-1が選択される。このとき、最も左側のトランジスタ列のうち、制御信号G0がゲートに接続されるトランジスタのソースに印加される(広義の)階調パターン選択信号が、接地電位(ブリチャージ電位)となる。

【0093】上側のトランジスタ群のゲートには、制御信号G0～G11が印加される。階調パターンD-1を表す最も左側のトランジスタ列において、1番目の制御信号G0に対応するトランジスタと7番目の制御信号G6に対応するトランジスタにおいて、ソースとドレインとの間がショートされている。制御信号G0～G11の内の1つを順次論理レベル「L」にして他を論理レベル「H」にすることにより、図7に示す階調パターンD-1の最上列に示されているドットが順次出力される。同様にして、他の階調パターンA～Cに対応するトランジスタ群を含むROMを設けることにより、図8及び図9に示す32階調を表現することができる。

【0094】図1において、図14のような構成のROM

Mから出力された奇数ライン及び偶数ラインの出力は、LCDインターフェース8に入力される。

【0095】図15に、LCDインターフェース8の構成の一例を示す。

【0096】ここでは、4ライン同時選択のMLSにより駆動される1セグメント出力当たりの構成を示している。

【0097】LCDインターフェース(広義には、駆動信号出力回路)8は、ラッチ回路100A～100D、MLSデコーダ110、ラッチ回路120A～120E、ドライバロジック130、レベルシフタ(LS)140A～140E、セグメント電極駆動回路150を含む。

【0098】ラッチ回路100Aは、FRCROM5A～5Dからの奇数ラインのうち、MLSにより同時選択される4ラインのコモン電極に対応した第1ライン(1ライン目)の出力がラッチされる。ラッチ回路100Cは、FRCROM5A～5Dからの奇数ラインのうち、MLSにより同時選択される4ラインのコモン電極に対応した第3ライン(3ライン目)の出力がラッチされる。ラッチ回路100Bは、FRCROM5A～5Dからの偶数ラインのうち、MLSにより同時選択される4ラインのコモン電極に対応した第2ライン(2ライン目)の出力がラッチされる。ラッチ回路100Dは、FRCROM5A～5Dからの奇数ラインのうち、MLSにより同時選択される4ラインのコモン電極に対応した第4ライン(4ライン目)の出力がラッチされる。

【0099】MLSデコーダ110は、同時選択されるコモン電極4ライン分の走査パターンにより規定される直交関数を用いて、セグメント電極4ライン分(上述の第1～第4ライン)の表示パターンに対し、予めMLS演算を行い、その演算結果を、フィールド単位でデコード出力する。このデコード出力は、セグメント電極に供給する電圧を選択する選択信号として出力される。この選択信号は、4ライン同時選択の場合、5値の電圧(V3、V2、VC、MV2、MV3)のいずれか1つを選択する。

【0100】MLSデコーダ110から出力されたデコード出力は、ラッチ回路120A～120Eでラッチされた後、ドライバロジック130に入力される。

【0101】ドライバロジック130では、極性反転タイミング等にしたがって、選択信号の論理演算が行われる。ドライバロジック130の出力は、レベルシフト回路140A～140Eにより電圧レベルが変換された後、セグメント電極駆動回路150に入力される。セグメント電極駆動回路150は、レベルシフト回路140A～140Eに基づいて、電圧V3、V2、VC、MV2、MV3のいずれかの電圧を、セグメント出力端子を介し、LCDパネル30のセグメント電極に出力する。

【0102】以上のような構成により、ドライバIC2

0は、MPU10からの各色4ビットの画像データを変換した各色5ビットの階調データに基いて、互いに異なるフレーム周期の複数の階調パターンの中から1つの階調パターンを選択し、例えばMLSにより、セグメント電極にLCDパネル（広義には、表示パネル）30を駆動するための駆動信号を出力することができる。

【0103】このようなドライバIC20は、互いに交差する複数のコモン電極と複数のセグメント電極とにより特定される画素を含むLCDパネル30が実装される基板上に設けることができる。またLCDパネル30の

コモン電極を駆動する走査ドライバICも、当該基板上に設けるようにしてもよい。

【0104】また図16に示すように、互いに交差する複数のコモン電極と複数のセグメント電極とにより特定される画素を含む表示パネル200がガラス基板上に形成されている場合に、該ガラス基板上に、ドライバIC20と同様の機能を有する本実施形態における表示駆動回路210をIC化することなく直接形成するようにしてもよい。この際、表示パネル200のコモン電極を、表示パネル200の外部から走査ドライバICで駆動する

ように構成してもよいし、表示パネル200のコモン電極を駆動する走査ドライバ220を、直接該ガラス基板上に形成するようにしてもよい。

【0105】なお本発明は、上記実施形態で説明したものに限らず、種々の変形実施が可能である。

【0106】

【発明の効果】以上述べた様に、本実施形態によれば、LCD等を駆動して複数の階調でカラー表示を行う際に、表示可能な色調の種類を拡大し、表示される色の選択の自由度を増すことができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体集積回路の構成を示すブロック図である。

【図2】図1に示すLCDパネルの概略構成を示す図である。

【図3】MPUインターフェースの構成の一例を示すブロック図である。

【図4】図4（A）は、MPUインターフェースの動作を説明するための説明図である。図4（B）は、MPUインターフェースの動作タイミングの一例を示すタイミングチャートである。

【図5】画像データ変換回路における変換テーブルの一

例を示す説明図である。

【図6】画像データ変換回路の構成の一例を示すブロック図である。

【図7】FRCROMに記憶されている階調パターンの例を示す図である。

【図8】FRCROMに記憶されている32種類の階調パターンを用いることにより表現できる32階調を示す図である。

【図9】図8に示す32階調の連続性を示す図である。

【図10】本実施形態におけるドライバICの構成要素の接続関係を模式的に示すブロック図である。

【図11】表示制御回路から出力されるアドレス信号を説明するための説明図である。

【図12】FRCROM、フレーム選択回路及び表示制御回路の接続関係を模式的に示すブロック図である。

【図13】フレーム選択回路の構成の一例を示す回路図である。

【図14】階調パターン選択ROMとFRCROMとを1つのROMとした構成を示す回路図である。

【図15】LCDインターフェースの構成の一例を示すブロック図である。

【図16】表示パネルの構成の一例を示す構成図である。

【図17】従来のカラー表示方法におけるデータ処理を示す図である。

【符号の説明】

1 MPUインターフェース

2 データ変換回路

3 RAM

4 A～4 D 階調パターン選択ROM

5 A～5 D FRCROM

6 A～6 D、7 A～7 D フレーム選択回路

8 LCDインターフェース

10 MPU

11、12、・・・ セグメント方向に分割された領域
11R、11G、11B RGBの各色を表示するための領域

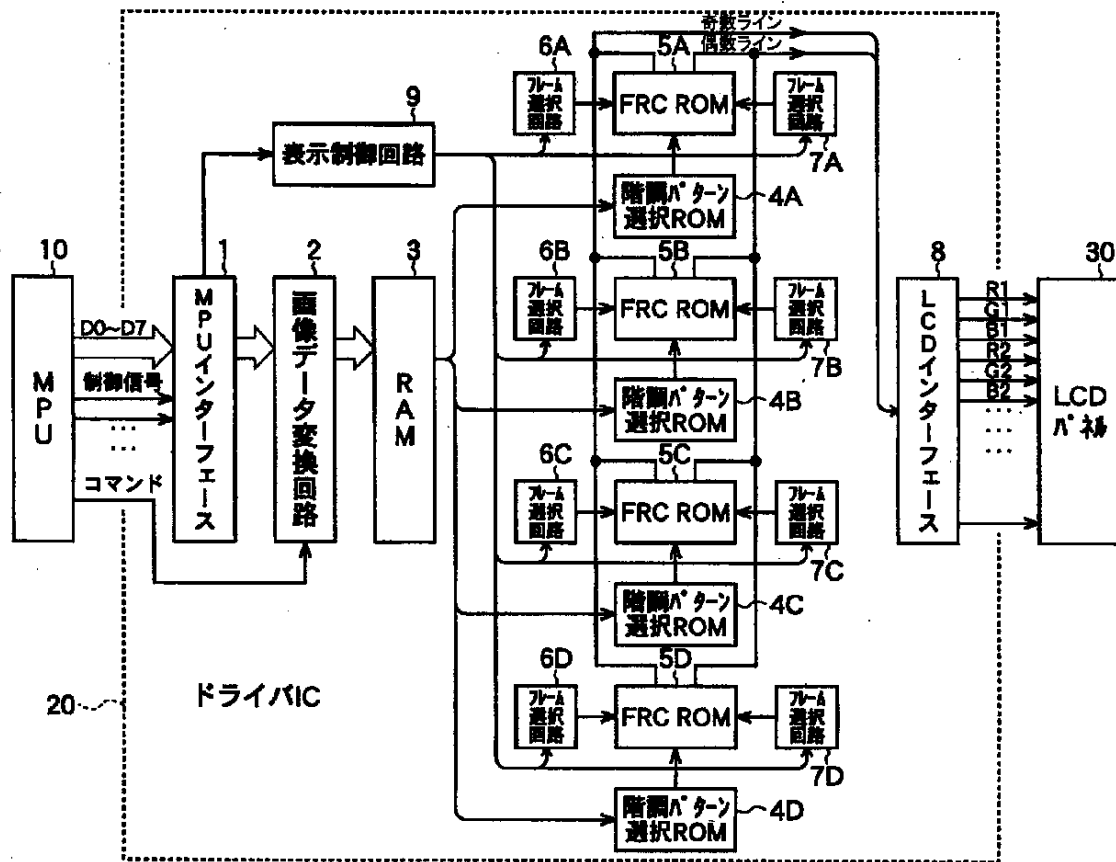
21、22、・・・ コモン方向に分割された領域

20 ドライバIC

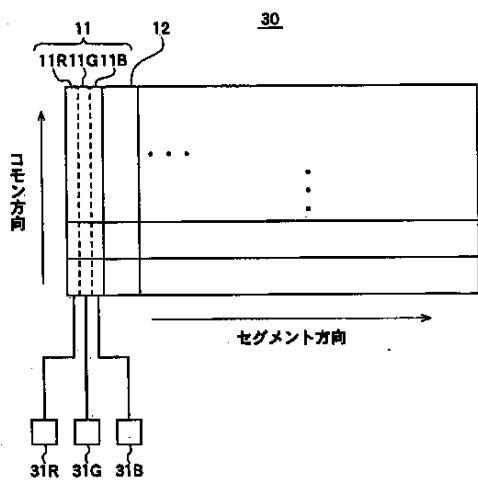
30 LCDパネル

31R、31G、31B 端子

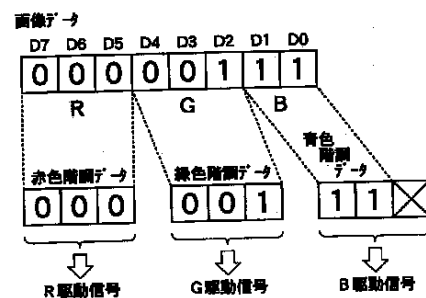
【図 1】



【図2】

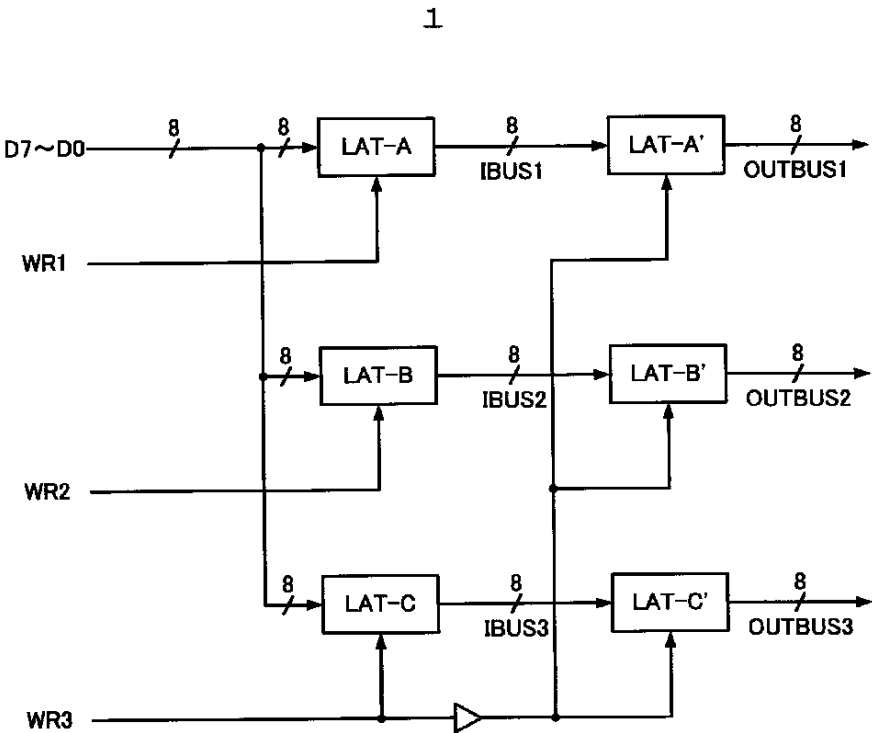


【图 17】



【図 3】

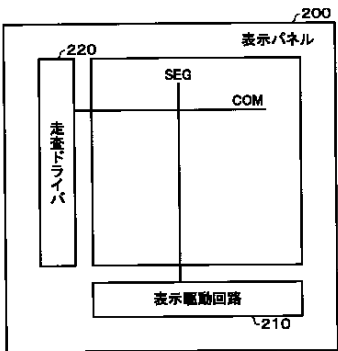
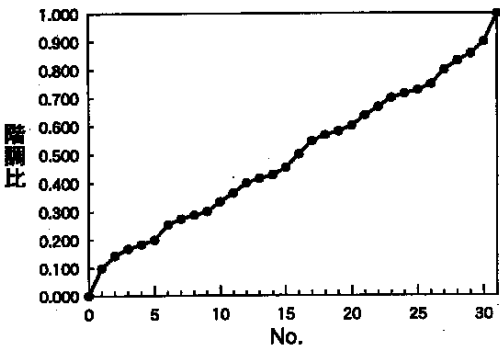
【図 8】



No.	階調	比	差
0	0/7	0.000	—
1	1/10	0.100	0.100
2	1/7	0.143	0.043
3	2/12	0.167	0.024
4	2/11	0.182	0.015
5	2/10	0.200	0.018
6	3/12	0.250	0.050
7	3/11	0.273	0.023
8	2/7	0.286	0.013
9	3/10	0.300	0.014
10	4/12	0.333	0.033
11	4/11	0.364	0.030
12	4/10	0.400	0.036
13	5/12	0.417	0.017
14	3/7	0.429	0.012
15	5/11	0.455	0.026
16	5/10	0.500	0.045
17	6/11	0.545	0.045
18	4/7	0.571	0.026
19	7/12	0.583	0.012
20	6/10	0.600	0.017
21	7/11	0.636	0.036
22	8/12	0.667	0.030
23	7/10	0.700	0.033
24	5/7	0.714	0.014
25	8/11	0.727	0.013
26	9/12	0.750	0.023
27	8/10	0.800	0.050
28	10/12	0.833	0.033
29	6/7	0.857	0.024
30	9/10	0.900	0.043
31	7/7	1.000	0.100

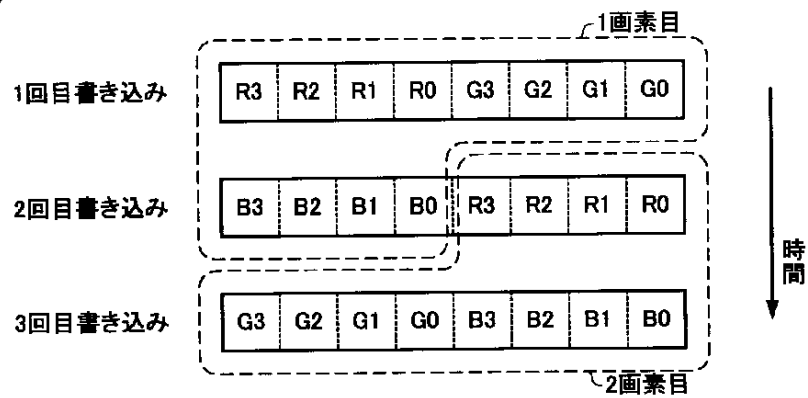
【図 9】

【図 16】

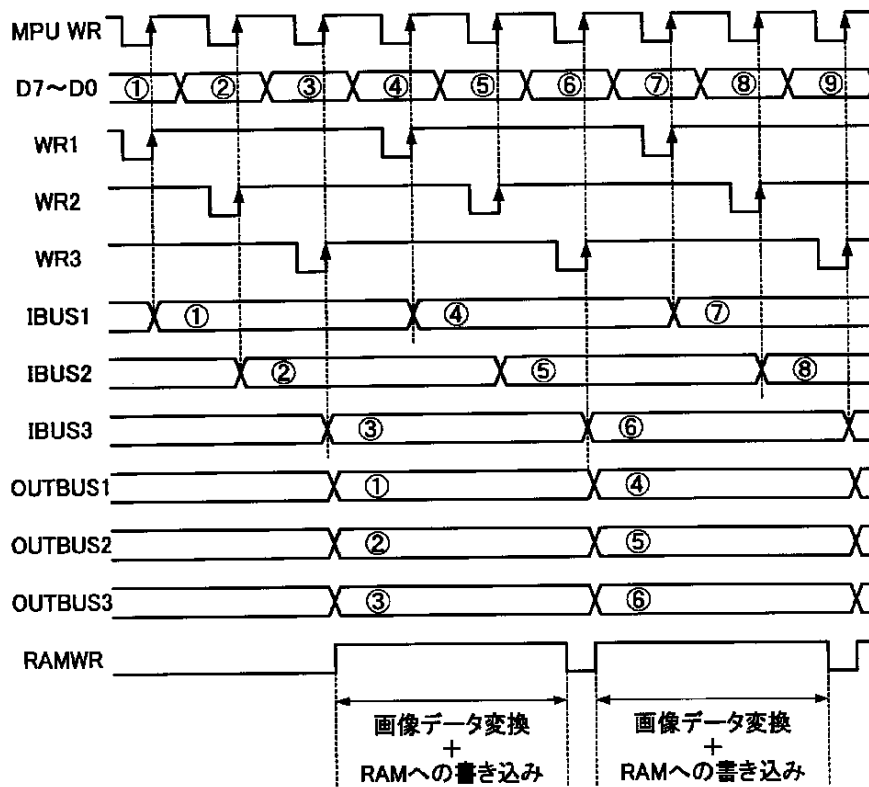


【図4】

(A)



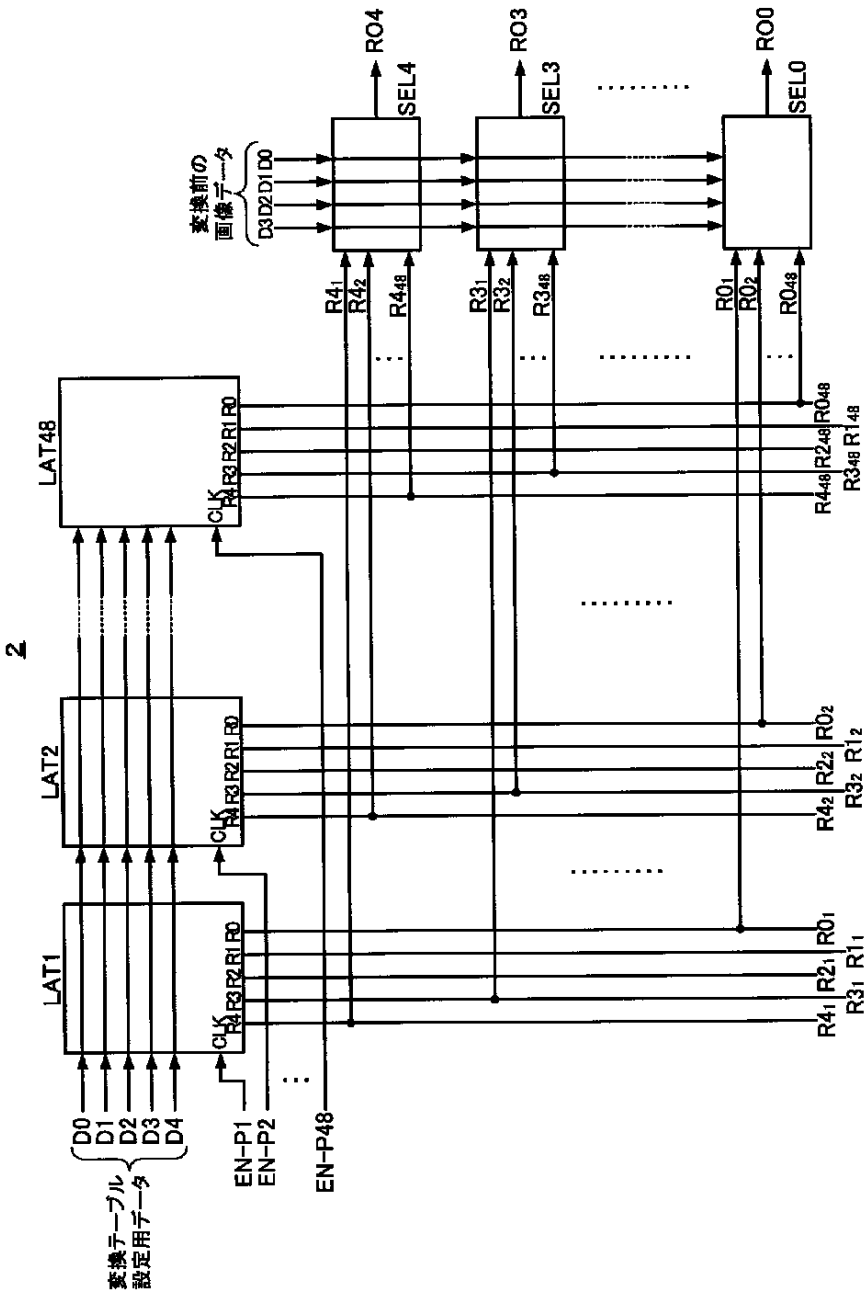
(B)



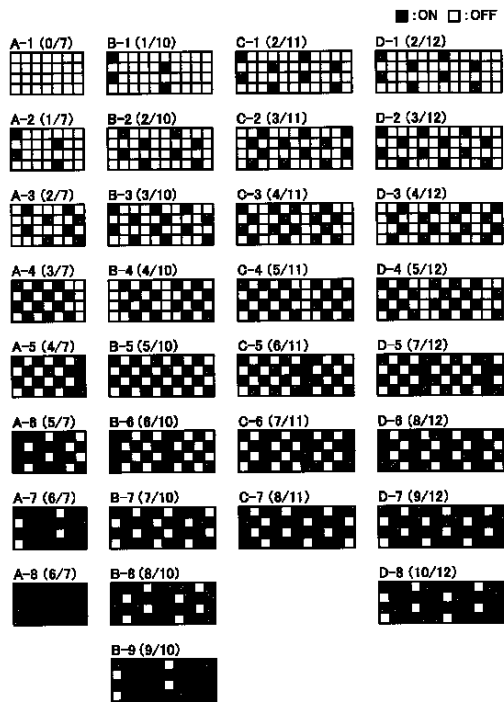
【図 5】

コマンド	D7	D6	D5	D4	D3	D2	D1	D0	変換前4ビット画像データ
P1	*	*	*	P14	P13	P12	P11	P10	R(0,0,0)
P2	*	*	*	P24	P23	P22	P21	P20	R(0,0,1)
P3	*	*	*	P34	P33	P32	P31	P30	R(0,0,1,0)
P4	*	*	*	P44	P43	P42	P41	P40	R(0,0,1,1)
P5	*	*	*	P54	P53	P52	P51	P50	R(0,1,0,0)
P6	*	*	*	P64	P63	P62	P61	P60	R(0,1,0,1)
P7	*	*	*	P74	P73	P72	P71	P70	R(0,1,1,0)
P8	*	*	*	P84	P83	P82	P81	P80	R(0,1,1,1)
P9	*	*	*	P94	P93	P92	P91	P90	R(1,0,0,0)
P10	*	*	*	P104	P103	P102	P101	P100	R(1,0,0,1)
P11	*	*	*	P114	P113	P112	P111	P110	R(1,0,1,0)
P12	*	*	*	P124	P123	P122	P121	P120	R(1,0,1,1)
P13	*	*	*	P134	P133	P132	P131	P130	R(1,1,0,0)
P14	*	*	*	P144	P143	P142	P141	P140	R(1,1,0,1)
P15	*	*	*	P154	P153	P152	P151	P150	R(1,1,1,0)
P16	*	*	*	P164	P163	P162	P161	P160	R(1,1,1,1)
P17	*	*	*	P174	P173	P172	P171	P170	G(0,0,0,0)
P18	*	*	*	P184	P183	P182	P181	P180	G(0,0,0,1)
P19	*	*	*	P194	P193	P192	P191	P190	G(0,0,1,0)
P20	*	*	*	P204	P203	P202	P201	P200	G(0,0,1,1)
P21	*	*	*	P214	P213	P212	P211	P210	G(0,1,0,0)
P22	*	*	*	P224	P223	P222	P221	P220	G(0,1,0,1)
P23	*	*	*	P234	P233	P232	P231	P230	G(0,1,1,0)
P24	*	*	*	P244	P243	P242	P241	P240	G(0,1,1,1)
P25	*	*	*	P254	P253	P252	P251	P250	G(1,0,0,0)
P26	*	*	*	P264	P263	P262	P261	P260	G(1,0,0,1)
P27	*	*	*	P274	P273	P272	P271	P270	G(1,0,1,0)
P28	*	*	*	P284	P283	P282	P281	P280	G(1,0,1,1)
P29	*	*	*	P294	P293	P292	P291	P290	G(1,1,0,0)
P30	*	*	*	P304	P303	P302	P301	P300	G(1,1,0,1)
P31	*	*	*	P314	P313	P312	P311	P310	G(1,1,1,0)
P32	*	*	*	P324	P323	P322	P321	P320	G(1,1,1,1)
P33	*	*	*	P334	P333	P332	P331	P330	B(0,0,0,0)
P34	*	*	*	P344	P343	P342	P341	P340	B(0,0,0,1)
P35	*	*	*	P354	P353	P352	P351	P350	B(0,0,1,0)
P36	*	*	*	P364	P363	P362	P361	P360	B(0,0,1,1)
P37	*	*	*	P374	P373	P372	P371	P370	B(0,1,0,0)
P38	*	*	*	P384	P383	P382	P381	P380	B(0,1,0,1)
P39	*	*	*	P394	P393	P392	P391	P390	B(0,1,1,0)
P40	*	*	*	P404	P403	P402	P401	P400	B(0,1,1,1)
P41	*	*	*	P414	P413	P412	P411	P410	B(1,0,0,0)
P42	*	*	*	P424	P423	P422	P421	P420	B(1,0,0,1)
P43	*	*	*	P434	P433	P432	P431	P430	B(1,0,1,0)
P44	*	*	*	P444	P443	P442	P441	P440	B(1,0,1,1)
P45	*	*	*	P454	P453	P452	P451	P450	B(1,1,0,0)
P46	*	*	*	P464	P463	P462	P461	P460	B(1,1,0,1)
P47	*	*	*	P474	P473	P472	P471	P470	B(1,1,1,0)
P48	*	*	*	P484	P483	P482	P481	P480	B(1,1,1,1)

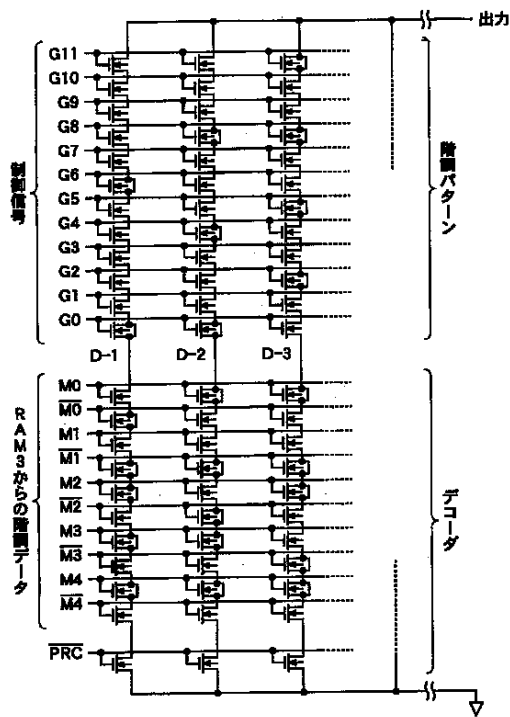
【図 6】



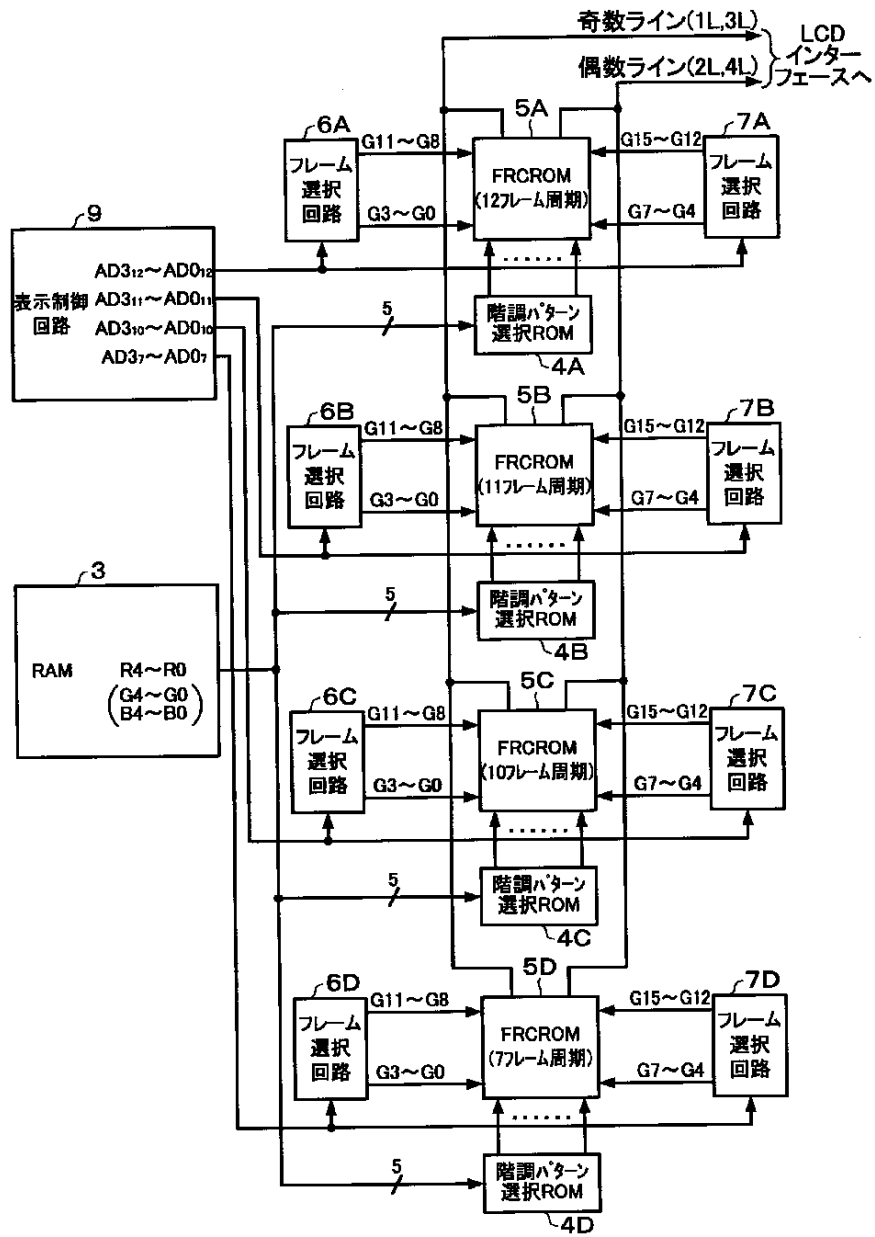
【図 7】



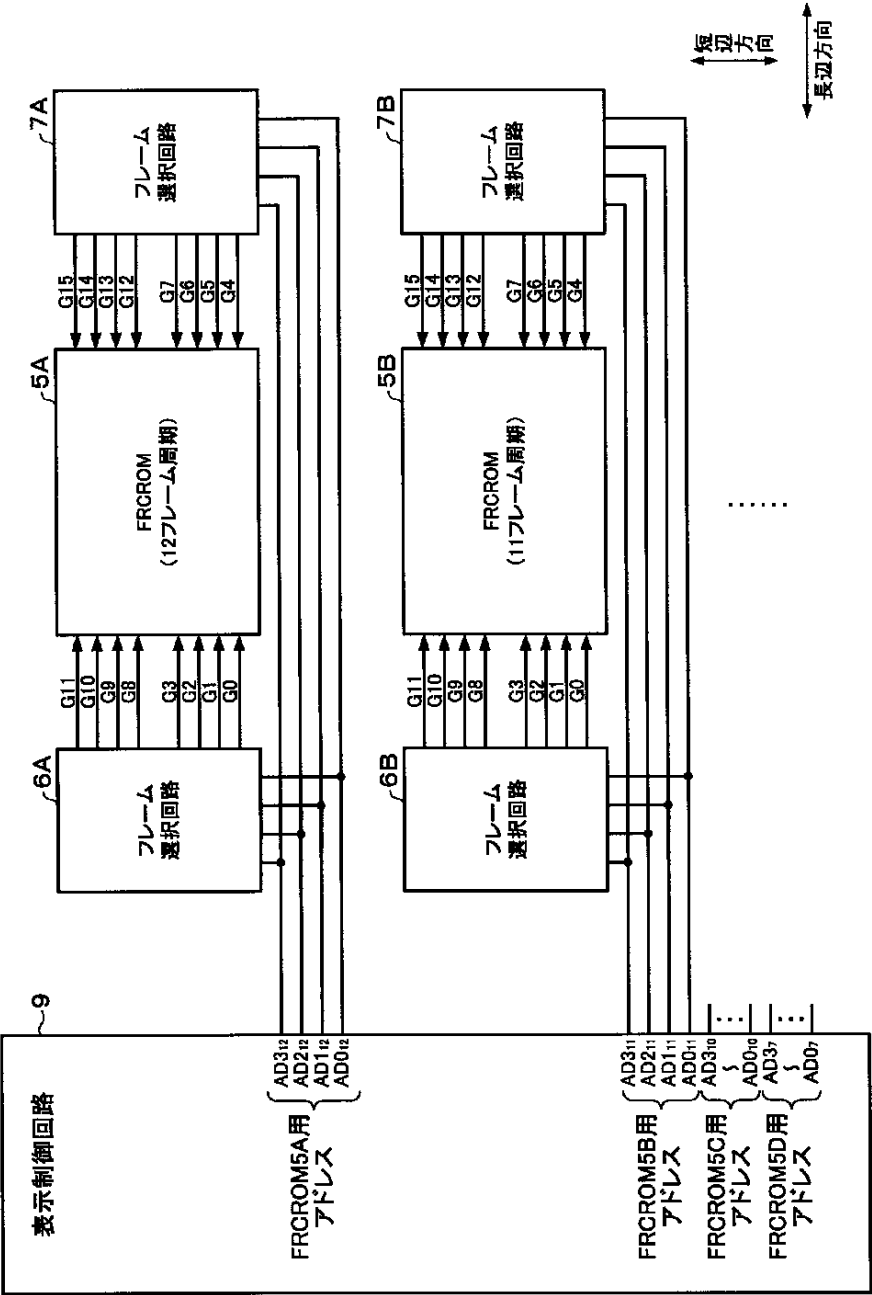
【図 14】



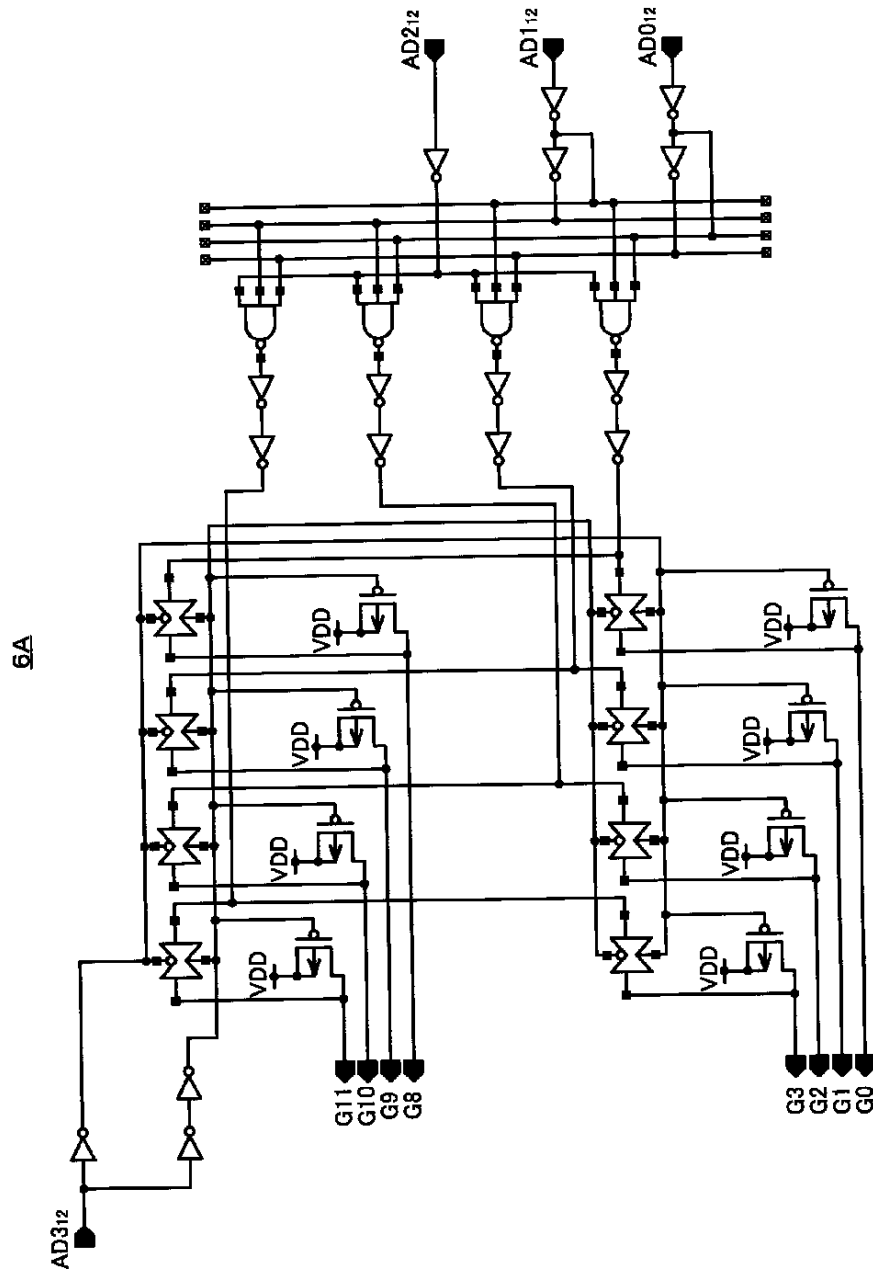
【図 10】



【図 1 2】



【圖 13】



フロントページの続き

(51)Int.Cl. ⁷		識別記号		F I	
G 0 9 G	3/20			G 0 9 G	3/20 6 4 1 K
H 0 4 N	5/66	1 0 2		H 0 4 N	5/66 1 0 2 B

(56)参考文献 特開 平9-218385 (J P, A)
特開 平6-195043 (J P, A)
特開 平3-125188 (J P, A)
特開 平8-54860 (J P, A)
特開 平7-333582 (J P, A)
特開 平2-993 (J P, A)
特開 平2-67593 (J P, A)
特開 平7-334117 (J P, A)
特開 平3-134695 (J P, A)

(58)調査した分野(Int.Cl.⁷, D B名)
G09G 3/00 - 3/38
G02F 1/133 505 - 580
H04N 5/66 - 5/74

专利名称(译)	显示驱动电路，半导体集成电路，显示面板和显示驱动方法		
公开(公告)号	JP3525926B2	公开(公告)日	2004-05-10
申请号	JP2002025698	申请日	2002-02-01
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	米山剛		
发明人	米山 剛		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66 H04N9/64		
CPC分类号	G09G3/3607 G09G3/2025		
FI分类号	G09G3/36 G02F1/133.545 G09G3/20.622.Q G09G3/20.631.U G09G3/20.641.E G09G3/20.641.K H04N5/66.102.B G09G3/20.642.J G09G3/20.650.M H04N9/64.A		
F-TERM分类号	2H093/NA07 2H093/NA18 2H093/NA47 2H093/NA54 2H093/NA55 2H093/NA58 2H093/NA64 2H093/NC04 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC21 2H093/NC26 2H093/NC28 2H093/NC29 2H093/NC49 2H093/NC50 2H093/NC65 2H093/ND06 2H093/ND17 2H093/ND24 2H093/ND58 2H193/ZB43 2H193/ZB46 2H193/ZD24 2H193/ZD25 2H193/ZD29 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZH40 5C006/AA01 5C006/AA14 5C006/AA22 5C006/AF03 5C006/AF04 5C006/AF13 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF85 5C006/BB11 5C006/BC16 5C006/BF02 5C006/BF04 5C006/BF08 5C006/BF24 5C006/FA56 5C058/AA06 5C058/BA01 5C058/BA07 5C058/BB11 5C058/BB14 5C066/AA11 5C066/CA05 5C066/EA05 5C066/EB02 5C066/GA01 5C066/HA03 5C066/KE09 5C066/KE17 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD04 5C080/DD22 5C080/EE30 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	2001030893 2001-02-07 JP		
其他公开文献	JP2002328665A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供显示驱动电路，半导体集成电路，显示面板和显示驱动方法，使得可以扩展可显示的色调种类并增加选择颜色的自由度当LCD等被驱动并且以多个灰度执行彩色显示时，显示。解决方案：显示驱动电路包括：RAM 3，其依次存储用于图像显示的数据;多个灰度图案选择电路4和5，用于基于存储在RAM中的数据从多个灰度图案中选择一个灰度图案，以及多个帧选择电路6和7用于顺序输出在多个灰度图案选择电路中选择的灰度图案，用于一系列图像帧。

【图 2】

