

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2010-79075
(P2010-79075A)

(43) 公開日 平成22年4月8日(2010.4.8)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H090
GO2F 1/1345 (2006.01)	GO2F 1/1345	2H092
GO2F 1/1333 (2006.01)	GO2F 1/1333 505	

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2008-248955 (P2008-248955)
(22) 出願日 平成20年9月26日 (2008.9.26)

(71) 出願人 502356528
株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地
(74) 代理人 110000154
特許業務法人はるか国際特許事務所
(72) 発明者 阿須間 宏明
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内
(72) 発明者 北島 賢二
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内
(72) 発明者 鎌田 高光
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内

最終頁に続く

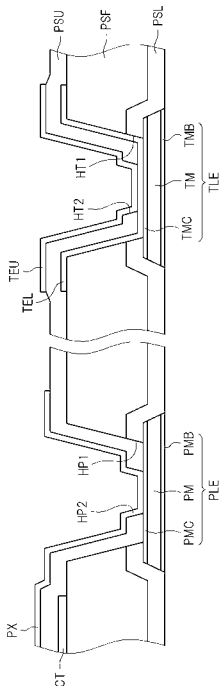
(54) 【発明の名称】 透過型液晶表示装置

(57) 【要約】

【課題】コンタクトホールを覆う電極膜のピンホール欠陥を抑制した透過型液晶表示装置を提供すること

【解決手段】第1の基板と、第1の基板に対向する第2の基板と、を含み、液晶は絶縁膜の上下に位置する上側電極と下側電極とにより発生する電界により制御され、第1の基板は、第1の電極膜が形成される第1の導電層と、第1の導電層上の第1の保護層と、第1の保護層を貫通して第1の電極膜に達する第1の孔と、第1の保護層上に設けられ、第1の孔の底部で第1の電極膜の部分に接する第2の電極膜と下側電極とを含む第2の導電層と、第2の導電層上に設けられ絶縁膜を含む第2の保護層と、第2の保護層上に設けられ、第2の保護層を貫通し第2の電極膜に達する第2の孔と第2の孔の底部で第2の電極膜の部分に接する第3の電極膜と上側電極とを含む第3の導電層と、を含む、ことを特徴とする透過型液晶表示装置。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

第 1 の基板と、前記第 1 の基板に対向する第 2 の基板と、を含み、
前記第 1 の基板の封止領域と前記第 2 の基板との間に液晶が保持され、
前記第 1 の基板に設けられる画素回路は、絶縁膜の上方に位置する上側電極と前記絶縁膜の下方に位置する下側電極とを用いて発生させた電界により液晶の配向を制御し、
前記第 1 の基板は、
第 1 の電極膜が形成される第 1 の導電層と、
前記第 1 の導電層上に設けられる第 1 の絶縁保護層と、
前記第 1 の絶縁保護層を貫通して前記第 1 の電極膜に達する第 1 の孔と、
前記第 1 の絶縁保護層上に設けられ、前記第 1 の孔の底部で前記第 1 の電極膜の部分に接する第 2 の電極膜と、前記第 2 の電極膜と離間して設けられる前記下側電極と、を含む第 2 の導電層と、
前記第 2 の導電層の上に設けられ、前記絶縁膜を含む第 2 の絶縁保護層と、
平面的に前記第 1 の孔に重なる領域に形成され前記第 2 の絶縁保護層を貫通し前記第 2 の電極膜に達する第 2 の孔と、
前記第 2 の絶縁保護層上に設けられ、前記第 2 の孔の底部で前記第 2 の電極膜の部分に接する第 3 の電極膜と、前記第 3 の電極膜と離間して設けられる前記上側電極と、を含む第 3 の導電層と、を含む、
ことを特徴とする透過型液晶表示装置。

10

20

【請求項 2】

前記第 1 の孔および前記第 2 の孔は前記封止領域の外に位置する、
ことを特徴とする請求項 1 に記載の透過型液晶表示装置。

【請求項 3】

前記第 1 の基板は、
前記第 1 の導電層に含まれ、前記第 1 の電極膜と離間して前記封止領域の内に設けられる第 4 の電極膜と、
前記第 1 の絶縁保護層を貫通し前記第 4 の電極膜に達する第 3 の孔と、をさらに含み、
前記第 2 の絶縁保護層は前記第 3 の孔の上を覆い、
前記上側電極は、前記第 2 の絶縁保護層を貫通し前記第 4 の電極膜に達した第 4 の孔の内部で前記第 4 の電極膜に接する、
ことを特徴とする請求項 2 に記載の透過型液晶表示装置。

30

【請求項 4】

前記第 3 の電極膜は前記第 2 の電極膜より薄い、
ことを特徴とする請求項 1 に記載の透過型液晶表示装置。

【請求項 5】

前記第 1 の絶縁保護層は、材料の異なる複数の膜から形成される、
ことを特徴とする請求項 1 に記載の透過型液晶表示装置。

【請求項 6】

前記第 1 の絶縁保護層は、有機保護膜を含む、
ことを特徴とする請求項 5 に記載の透過型液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は透過型液晶表示装置に関する。

【背景技術】

【0002】

例えば IPS 方式の透過型液晶表示パネルは、薄膜トランジスタなどが形成されるアレイ基板とそれに対向しカラーフィルタなどが形成されるフィルタ基板（対向基板）との間に液晶を保持するような構造をしている。液晶表示パネルの表示領域に対応するアレイ基

50

板の領域（以下アレイ基板の表示領域という）は液晶が保持される封止領域内に存在する。駆動用の基板やドライバＩＣを接続するアレイ基板の端子部は、フィルタ基板が対向しない封止領域の外に存在する。表示領域および端子部には、それぞれコンタクトホール（以下、それぞれ画素コンタクトホールおよび端子部コンタクトホールと記述する）が形成されている。

【０００３】

図１５は、従来の画素コンタクトホールおよび端子部コンタクトホールの断面図である。本図左側は画素コンタクトホールの断面図であり、本図右側は端子部コンタクトホールの断面図である。画素コンタクトホールの下層にある配線電極ＰＬＥは、上から順にキャップ層ＰＭＣ、配線金属層ＰＭ、バリア層ＰＭＢの３層からなり、端子部コンタクトホールの下層にある配線電極ＴＬＥは、上から順にキャップ層ＴＭＣ、配線金属層ＴＭ、バリア層ＴＭＢの３層からなる。配線電極ＰＬＥ、ＴＬＥの上には下部無機保護層ＰＳＬが設けられる。下部無機保護層ＰＳＬの上には平面的にみて画素コンタクトホールおよび端子部コンタクトホール以外の部分に有機保護層ＰＳＦが形成される。有機保護層ＰＳＦの上には、画素コンタクトホールおよび端子部コンタクトホールの内周部を含んで上部無機保護層ＰＳＵが設けられる。画素コンタクトホールは上部無機保護層ＰＳＵおよび下部無機保護層ＰＳＬを貫通しており、透明電極の層をパターニングして形成された画素電極ＰＸが画素コンタクトホールの底部で電極膜のキャップ層ＰＭＣに接している。端子部コンタクトホールも上部無機保護層ＰＳＵおよび下部無機保護層ＰＳＬを貫通しており、同じ透明電極の層をパターニングして形成された端子保護電極ＴＥが端子部コンタクトホールの底部で電極膜のキャップ層ＴＭＣに接している。なお、図示していないが本図の電極膜の下方には層間絶縁膜やゲート電極膜等が存在する。有機保護層ＰＳＦと上部無機保護層ＰＳＵとの間で、かつ画素コンタクトホールの周辺の一部の領域には、コモン電極ＣＴが存在する。

10

20

【０００４】

なお、本願に関連する文献として特許文献１があり、半透過型液晶表示装置の画素回路に形成されるコンタクトホールについて開示されている。

【特許文献１】特開２００８－１５３４５号公報

【発明の開示】

【発明が解決しようとする課題】

30

【０００５】

ＩＰＳ方式の透過型液晶表示装置を構成するアレイ基板の表示領域においては、電極材料の層をパターニングして形成された画素電極の端部にある段差により、その上層に形成される配向膜にも段差が生じる。配向膜の段差部分ではラビングにより生じる配向規制力が弱まるため、表示に残像が生じることがあった。その残像対策としては、画素電極を５０ｎｍ程度に薄くすることが考えられる。そうすれば段差が小さくなり、配向規制力の低下を抑えることができるからである。しかしながら画素電極を薄くすると、同じ電極材料の層をパターニングして形成されるコンタクトホールを覆う電極膜も薄くなる。このことにより、コンタクトホールを覆う電極膜に生じるピンホール欠陥が増えるという問題があった。

40

【０００６】

本発明は上記課題に鑑みてなされたものであって、その目的は、コンタクトホールを覆う電極膜に生じるピンホール欠陥を抑制した透過型液晶表示装置を提供することにある。

【課題を解決するための手段】

【０００７】

本出願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

【０００８】

（１）第１の基板と、前記第１の基板に対向する第２の基板と、を含み、前記第１の基板の封止領域と前記第２の基板との間に液晶が保持され、前記第１の基板に設けられる画素

50

回路は、絶縁膜の上方に位置する上側電極と前記絶縁膜の下方に位置する下側電極とを用いて発生させた電界により液晶の配向を制御し、前記第 1 の基板は、第 1 の電極膜が形成される第 1 の導電層と、前記第 1 の導電層上に設けられる第 1 の絶縁保護層と、前記第 1 の絶縁保護層を貫通して前記第 1 の電極膜に達する第 1 の孔と、前記第 1 の絶縁保護層上に設けられ、前記第 1 の孔の底部で前記第 1 の電極膜の部分に接する第 2 の電極膜と、前記第 2 の電極膜と離間して設けられる前記下側電極と、を含む第 2 の導電層と、前記第 2 の導電層の上に設けられ、前記絶縁膜を含む第 2 の絶縁保護層と、平面的に前記第 1 の孔に重なる領域に形成され前記第 2 の絶縁保護層を貫通し前記第 2 の電極膜に達する第 2 の孔と、前記第 2 の絶縁保護層上に設けられ、前記第 2 の孔の底部で前記第 2 の電極膜の部分に接する第 3 の電極膜と、前記第 3 の電極膜と離間して設けられる前記上側電極と、を含む第 3 の導電層と、を含む、ことを特徴とする透過型液晶表示装置。

10

【 0 0 0 9 】

(2) (1) において、前記第 1 の孔および前記第 2 の孔は前記封止領域の外に位置する、ことを特徴とする透過型液晶表示装置。

【 0 0 1 0 】

(3) (2) において、前記第 1 の基板は、前記第 1 の導電層に含まれ、前記第 1 の電極膜と離間して前記封止領域の内に設けられる第 4 の電極膜と、前記第 1 の絶縁保護層を貫通し前記第 4 の電極膜に達する第 3 の孔と、をさらに含み、前記第 2 の絶縁保護層は前記第 3 の孔の上を覆い、前記上側電極は、前記第 2 の絶縁保護層を貫通し前記第 4 の電極膜に達した第 4 の孔の内部で前記第 4 の電極膜に接する、ことを特徴とする透過型液晶表示装置。

20

【 0 0 1 1 】

(4) (1) において、前記第 3 の電極膜は前記第 2 の電極膜より薄い、ことを特徴とする透過型液晶表示装置。

【 0 0 1 2 】

(5) (1) において、前記第 1 の絶縁保護層は、材料の異なる複数の膜から形成される、ことを特徴とする透過型液晶表示装置。

【 0 0 1 3 】

(6) (5) において、前記第 1 の絶縁保護層は、有機保護膜を含む、ことを特徴とする透過型液晶表示装置。

30

【 発明の効果 】

【 0 0 1 4 】

本発明によれば、コンタクトホールを互いに接する 2 層の透明電極の膜で覆うことになる。これにより、コンタクトホールを覆う透明電極の膜に生じるピンホール欠陥を抑制することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 5 】

以下、本発明の実施形態の例について図面に基づき詳細に説明する。

【 0 0 1 6 】

本実施形態にかかる透過型液晶表示装置は IPS 方式の透過型液晶表示装置であって、アレイ基板 TS と、当該アレイ基板 TS と対向し、カラーフィルタが設けられたフィルタ基板 (対向基板) FS と、両基板に挟まれた領域に封入された液晶材料と、アレイ基板 TS に取付けられたドライバ IC と、を含んで構成される。アレイ基板 TS 及びフィルタ基板 FS は、いずれもガラス基板などである。

40

【 0 0 1 7 】

図 1 は、本発明の実施形態に係るアレイ基板 TS のレイアウトを示す平面図である。アレイ基板 TS には、画像を表示するための多数の画素回路が配置されている表示領域 DA と、表示領域 DA の左側に隣接して設けられたゲート線引き回し領域 GLA と、表示領域 DA の下側に隣接して設けられたドレイン線引き回し領域 DLA と、アレイ基板 TS の下端にあり外部との接続端子により構成される領域である端子部 TA と、端子部 TA とゲ-

50

ト線引き回し領域 G L A およびドレイン線引き回し領域 D L A の間に設けられた端子部周辺配線領域 T L A と、が配置されている。

【 0 0 1 8 】

図 2 は本発明の実施形態にかかるアレイ基板 T S とフィルタ基板 F S の構成を示す図である。フィルタ基板 F S は表示領域 D A とその周りを覆うようにアレイ基板 T S に対向して設けられる。ただし、フィルタ基板 F S は端子部周辺配線領域 T L A および端子部 T A の上方までは達していない。フィルタ基板 F S の四辺とアレイ基板 T S との間は封止材によって封止されており、そのアレイ基板 T S とフィルタ基板 F S との間には液晶材料が封入されている。この液晶が封入されている領域が封止領域であり、アレイ基板 T S の表示領域 D A は封止領域内にある。封止領域外となる端子部周辺配線領域 T L A および端子部 T A には外部との接続やドライバ I C の配置を行うための配線や端子が存在する。

10

【 0 0 1 9 】

図 3 は、表示領域 D A の一部に相当する等価回路を示す図である。表示領域 D A では、多数のゲート信号線 G L が互いに並んで横方向に延びており、また、多数の映像信号線 D L が互いに並んで縦方向に延びている。そして、これらのゲート信号線 G L 及び映像信号線 D L により表示領域がマトリクス状に区画されており、その一つ一つの区画が一つの画素領域となる。また、各ゲート信号線 G L に対応してコモン信号線 C L が横方向に延びている。

【 0 0 2 0 】

ゲート信号線 G L 及び映像信号線 D L により区画される画素領域の隅には、マルチゲート構造の薄膜トランジスタを用いたスイッチ素子 S W が形成されており、そのゲート電極はゲート信号線 G L に接続され、ドレイン電極は映像信号線 D L につながっている。また、各画素領域には画素電極 P X 及びコモン電極 C T が対になって形成されており、画素電極 P X はスイッチ素子 S W のソース電極に接続され、コモン電極 C T はコモン信号線 C L に接続されている。尚、コモン信号線 C L を独立して設けずに、コモン電極 C T 自体を面状あるいは線状に形成することでコモン信号線 C L の機能を兼ねる構成としてもよい。

20

【 0 0 2 1 】

図 4 は、表示領域 D A の 1 つの画素回路を拡大した平面図である。本図では、説明の容易のため、導電性を有する層を中心に示しており、それらの層の間にある絶縁性を有する層は示していない。ゲート信号線 G L は図中横方向に延び、映像信号線 D L は図中縦方向に延びている。ゲート信号線 G L と映像信号線 D L とが平面的に交差する点の右側のゲート信号線 G L 上には、マルチゲート構造のトランジスタを構成するゲート電極 G T の領域が複数存在する。そのトランジスタのチャネル部分等を含む半導体配線 S L は、その一端がドレイン電極 D T により映像信号線 D L と接続され、他端は画素回路内でソース電極 S T に電氣的に接続されている。画素電極 P X は、一つの画素回路内で櫛歯状の形状をしており、その根本部分にある画素コンタクトホール P C H によってソース電極 S T (以下では配線電極 P L E という)と接続されている。すなわち、画素電極 P X は、画素コンタクトホール P C H の底部 P C H B でソース電極 S T と電氣的に接続されている。画素電極 P X より下層にあるコモン電極 C T は、複数の隣り合うゲート信号線 G L に平面的に挟まれる領域に存在し、画素コンタクトホール P C H とは平面的に離間するように設けられている。図示しないコモン信号線 C L は横方向に延びており、コモン電極 C T に接続されている。なお、配向膜については図示されていない。

30

40

【 0 0 2 2 】

図 5 は、図 1 に示すアレイ基板 T S のレイアウトの部分平面図である。本図は図 1 の左下の領域の拡大図である。図 1 の端子部 T A の領域には、接続端子 T C と、点灯試験用信号パッド T P が配置されており、外部からの信号はこれらを通じて入力される。

【 0 0 2 3 】

図 6 は、図 5 の接続端子 T C の一つを拡大した図である。接続端子 T C はコンタクトホール的一种であり、以下では端子部コンタクトホール T C H と記載する。端子部コンタクトホール T C H の下層にはドレイン電極と同層の矩形の電極膜である配線電極 T L E が形

50

成されている。平面的にみて配線電極 T L E を覆うように上端子保護電極 T E U が設けられており、上端子保護電極 T E U の下層にはほぼ同じ大きさの図示しない下端子保護電極 T E L が設けられている。上端子保護電極 T E U が設けられていない領域には、上部無機保護層 P S U が表れている。端子部コンタクトホール T C H の底部 T C H B では、上端子保護電極 T E U および下端子保護電極 T E L は配線電極 T L E と電氣的に接続されている。

【 0 0 2 4 】

図 7 は、図 4 の A - A 切断線および図 6 の B - B 切断線における断面図である。図中左は図 4 の A - A 切断線に対応し、画素コンタクトホール P C H およびその周辺を示す。図中右側は図 6 の B - B 切断線に対応し、端子部コンタクトホール T C H およびその周辺を示す。これらは、ともにアレイ基板 T S の図示しないガラス基板上に形成されている。ガラス基板と配線電極 P L E , T L E および下部無機保護層 P S L との間には、図示しないゲート電極層や層間絶縁膜等が存在している。はじめにこれらの図示しない構造について説明する。ガラス基板上には、ゲート信号線 G L などが形成されるゲート電極層と、その上に設けられる第 1 の層間絶縁膜の層が存在する。第 1 の層間絶縁膜の層の上には、トランジスタのチャネル等が形成される図示しない半導体層があり、その上に図示しない第 2 の層間絶縁膜の層がある。ゲート電極層の電極の材料は例えばアルミ合金などの金属材料であり、半導体層の材料は例えばアモルファスシリコンや多結晶シリコンなどである。第 1 および第 2 の層間絶縁膜の材料は例えば窒化シリコンや酸化シリコンなどである。

10

【 0 0 2 5 】

ここから図 7 に図示されている構造について説明する。図示しない第 2 の層間絶縁膜の上には、下から順に、バリア層 P M B、配線金属層 P M、キャップ層 P M C の 3 層により構成される配線電極 P L E と、配線電極 P L E と平面的に離間して設けられ、下から順にバリア層 T M B、配線金属層 T M、キャップ層 T M C の 3 層により構成される配線電極 T L E とが形成されている。なお、配線金属層 P M , T M は例えば A l S i で形成されており、バリア層 P M B , T M B およびキャップ層 P M C , T M C は例えば M o W で形成されている。配線電極 P L E , T L E の電極膜が形成されている層を、以下では第 1 の導電層と呼ぶ。配線電極 P L E , T L E と、その配線電極が形成されていない第 2 の層間絶縁膜の領域の上、つまり第 1 の導電層の上には、下部無機保護層 P S L と有機保護層 P S F が順に設けられている。下部無機保護層 P S L は例えば窒化シリコンなどの絶縁材料で形成されており、有機保護層 P S F は例えば感光性有機樹脂膜などの絶縁材料によって形成されている。そして、画素コンタクトホール P C H の下には下部無機保護層 P S L と有機保護層 P S F を貫通し配線電極 P L E に達する大孔 H P 1 が形成されており、端子部コンタクトホール T C H の下には下部無機保護層 P S L と有機保護層 P S F を貫通し配線電極 T L E に達する大孔 H T 1 が形成されている。端子部コンタクトホール T C H 側の配線電極 T L E の底部、内周面およびその周りを覆うように、下端子保護電極 T E L が形成され、大孔 H T 1 の底部で配線電極 T L E に接している。また、図中左側の画素コンタクトホール P C H の周辺では、大孔 H P 1 と離間して有機保護層 P S F 上にコモン電極 C T が形成されている。下端子保護電極 T E L とコモン電極 C T が形成されている層を、以下では第 2 の導電層と呼ぶ。

20

30

【 0 0 2 6 】

第 2 の導電層の上には、上部無機保護層 P S U が設けられている。上部無機保護層 P S U は、第 2 の導電層を覆うだけでなく、第 2 の導電層が形成されない領域では有機保護層 P S F や、大孔 H P 1 , H T 1 の内部も覆っている。なお、上部無機保護層 P S U は例えば窒化シリコンなどの絶縁材料で形成されている。そして、画素コンタクトホール P C H 側の配線電極 P L E 上の一部の上部無機保護層 P S U を貫通し、配線電極 P L E に達する小孔 H P 2 と、端子部コンタクトホール T C H 側の配線電極 T L E 上の一部の上部無機保護層 P S U を貫通し、下端子保護電極 T E L に達する小孔 H T 2 とがそれぞれ形成されている。ここで、大孔 H P 1 を覆う上部無機保護層 P S U と小孔 H P 2 とは、画素コンタクトホール P C H を構成している。大孔 H T 1 を覆う上部無機保護層 P S U と小孔 H T 2 とは、端子部コンタクトホール T C H を構成している。画素コンタクトホール P C H 側では小孔 H P

40

50

2の底部および内周面とその周りを覆うように画素電極P Xが形成され、小孔H P 2の底部で配線電極P L Eに接している。端子部コンタクトホールT C H側では小孔H T 2の内部とその周りを覆うように、上端子保護電極T E Uが形成され、小孔H T 2の底部で下端子保護電極T E Lに接している。画素電極P Xはコモン電極C Tの上部に達して形成されており、上部無機保護層P S Uの上層に画素電極P Xが、上部無機保護層P S Uの下層にコモン電極C Tが位置している。画素電極P Xは平面的に櫛歯状であり、コモン電極C Tは面状である。液晶表示を行う際にはこれらの2つの電極に電圧が印加される。これによって、画素電極P Xとコモン電極C Tとの間の電位差によって電界が発生し、画素電極P Xよりも上方に位置する液晶に横電界をかけることができる。なお、コモン電極C Tより画素電極P Xの方が膜厚を薄くすることができる。画素電極P Xは残像の対策のために膜厚を50nm以下に薄くして段差を小さくしている。これに対して、コモン電極C Tの場合は、コモン電極C Tの上に上部無機保護層P S Uがあり、画素電極P Xに比べて段差による問題が起きる恐れが低いためである。

【0027】

端子部コンタクトホールT C Hを上述の構造とすることにより、端子部コンタクトホールの底部であって、配線電極T L Eと接する部分は下端子保護電極T E Lと上端子保護電極T E Uとの2層が重なった領域で覆われる。これにより、これらの電極を構成する例えばITOなどの透明導電膜などの電極膜のピンホール欠陥を抑制することができる。そうすれば、端子部コンタクトホールの下にある配線電極T L Eに液体等が入り込むことも抑制できる。具体的な例としては液晶表示パネルの製造においては、図7に示すアレイ基板に配向膜を形成し、ラビング処理を施した後に端子部コンタクトホール内に配向膜材料の削りかすが残る場合がある。その削りかすを除去するためにアルカリ洗浄を行うが、その場合にピンホール欠陥により洗浄液が浸入し電池反応等によって配線電極T L Eが溶ける現象を抑制し、製造時の歩留まりを向上させることができる。尚、上記した端子部コンタクトホールのアルカリ洗浄は、アレイ基板T Sとフィルタ基板F Sとを貼り合わせた後に行うため、画素コンタクトホールではアルカリ洗浄が行われない。したがって、画素コンタクトホールでは薄い画素電極P Xの1層のみで配線電極P L Eと電氣的接続をする構造となっていて問題はない。

【0028】

以下ではこれまでに説明した構造を有するアレイ基板を製造する方法について説明する。図8から図14は、本実施形態に係るアレイ基板T Sの製造工程を示す図である。本図の左側が表示領域D A上の画素コンタクトホールP C Hが形成される領域の、右側が端子部コンタクトホールT C Hが形成される領域のそれぞれ断面図である。はじめにアレイ基板T Sとなるガラス基板上に金属材料を成膜し、フォトリソグラフィによりゲート信号線G L等の層を形成する。次に、例えば窒化シリコンを成膜し第1の層間絶縁膜の層を形成する。続いてアモルファスシリコンまたはポリシリコンなどの材料を含んだ層である半導体層を成膜後、フォトリソグラフィによりこの層をパターニングする。次に、例えば窒化シリコンにより第2の層間絶縁膜の層を形成する。そして、第2の層間絶縁膜の層が形成されたアレイ基板T S上にMoW、AlSi、MoWの順番で金属を成膜し、フォトリソグラフィによりバリア層P M B、配線金属層P M、キャップ層P M Cからなる配線電極P L Eや、バリア層T M B、配線金属層T M、キャップ層T M Cからなる配線電極T L Eを含む第1の導電層を形成する。図8は、この段階におけるアレイ基板を示す図である。なお図8から図14には、第2の層間絶縁膜の層から下の層は図示していない。

【0029】

次に、図8が示す状態のアレイ基板T S上に窒化シリコンを成膜し、下部無機保護層P S Lを形成する。図9は、この状態のアレイ基板を示す図である。さらにアレイ基板T S上に感光性有機樹脂膜等を塗布し、露光、現像後、アニールを行う。これにより、有機保護層P S Fが形成される。ここで、配線電極P L E、T L Eの上方にそれぞれ有機保護層P S Fの開口部ができるように露光を行っている。図10は、この段階におけるアレイ基板T Sの様子を示す図である。

10

20

30

40

50

【 0 0 3 0 】

次に、有機保護層 P S F をマスクとして下部無機保護層 P S L を配線電極 P L E , T L E に達するまでエッチングし大孔 H P 1 , H T 1 をそれぞれ完成させる。エッチングの手法としては、フルオロカーボン系のガスを用いかつエッチングした箇所がテーパ形状となる方法を用いる。図 1 1 は、この段階におけるアレイ基板 T S の様子を示す図である。なお、有機保護層 P S F を形成する際にはフォトリソグラフィによる開口部の形成が必須であるため、有機保護層 P S F をマスクとしてエッチングを行っても行わなくてもフォトリソグラフィの回数は変化しない。

【 0 0 3 1 】

図 1 1 に示す状態のアレイ基板 T S に対し例えば I T O (Indium Tin Oxide) のような透明電極の材料により導電膜を形成し、フォトリソグラフィによりパターニングする。それにより、下端子保護電極 T E L やコモン電極 C T を形成する。図 1 2 はこの段階のアレイ基板の状態を示す図である。なお、画素コンタクトホールにはこの層の導電膜を形成しない。もし導電膜を図中左側の大孔 H P 1 の上に形成するのであれば、レジスト膜の除去を確実にを行うために導電膜がその大孔 H P 1 の周りも覆う必要があり、その場合コモン電極 C T との絶縁を確保するためにコモン電極 C T の面積を狭くする必要が生じるからである。なおコモン電極 C T の面積を狭くすると開口率の減少を招くことになる。

【 0 0 3 2 】

図 1 2 に示す状態のアレイ基板 T S に対し窒化シリコンを成膜し、上部無機保護層 P S U を形成する。図 1 3 はこの段階のアレイ基板を示す図である。次に、上部無機保護層 P S U の上に大孔 H P 1 もしくは大孔 H T 1 と重なる領域が開口したレジスト膜を形成し、エッチングを行う。図 1 4 はその段階のアレイ基板 T S を示す図である。これにより、画素コンタクトホール P C H が形成される領域に小孔 H P 2 が、端子部コンタクトホール T C H が形成される領域に小孔 H T 2 がそれぞれ形成される。さらに透明電極の材料により導電膜を形成し、フォトリソグラフィによりパターニングし、上端子保護電極 T E U や画素電極 P X を形成する。この段階で図 7 に示すようなアレイ基板 T S となる。さらにアレイ基板 T S の上層への配向膜の形成、ラビング処理、アレイ基板 T S とフィルタ基板 F S の貼り合わせなどの工程を経て液晶表示装置ができる。

【 0 0 3 3 】

これまで本発明の実施形態について説明してきたが、本発明は以上に説明した形態に限定されるものではない。例えばコモン電極 C T が上部無機保護層 P S U の上層に存在し、画素電極 P X が上部無機保護層 P S U の下層に位置していても良い。その状態であっても I P S 方式の横電界を発生することが可能であるからである。この場合は、コモン電極 C T を櫛歯状にし、画素電極 P X は面状にする。そして、上層に位置するコモン電極 C T を残像対策のために 5 0 n m 以下に薄くする。そして、下層に位置する画素電極を画素コンタクトホールで配線電極 P L E に電氣的に接続する。しかし、この場合でも、端子部コンタクトホールについてはこれまでに説明した実施形態とほぼ同様の構造となる。また、画素回路のスイッチ素子 S W としてボトムゲート構造を有するものに限定されず、トップゲート構造を有するものに適用してもかまわない。

【 図面の簡単な説明 】

【 0 0 3 4 】

【 図 1 】 本発明の実施形態に係るアレイ基板のレイアウトを示す平面図である。

【 図 2 】 本発明の実施形態にかかるアレイ基板とフィルタ基板の構成を示す図である。

【 図 3 】 表示領域の一部に相当する等価回路を示す図である。

【 図 4 】 表示領域の 1 つの画素回路を拡大した平面図である。

【 図 5 】 図 1 に示すアレイ基板のレイアウトの部分平面図である。

【 図 6 】 図 5 に示す接続端子のうち一つを拡大した図である。

【 図 7 】 図 4 の A - A 切断線および図 6 の B - B 切断線における断面図である。

【 図 8 】 本実施形態に係るアレイ基板の製造方法を示す図である。

【図 9】本実施形態に係るアレイ基板の製造方法を示す図である。

【図 10】本実施形態に係るアレイ基板の製造方法を示す図である。

【図 11】本実施形態に係るアレイ基板の製造方法を示す図である。

【図 12】本実施形態に係るアレイ基板の製造方法を示す図である。

【図 13】本実施形態に係るアレイ基板の製造方法を示す図である。

【図 14】本実施形態に係るアレイ基板の製造方法を示す図である。

【図 15】従来の画素コンタクトホールおよび端子部コンタクトホールの断面図である。

【符号の説明】

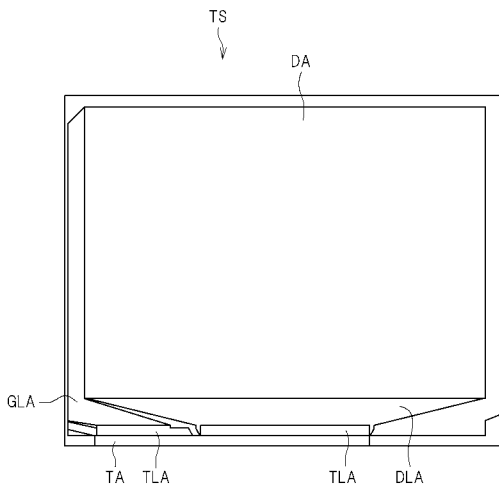
【0035】

TS アレイ基板、FS フィルタ基板、DA 表示領域、DLA ドレイン線引き回し領域、GLA ゲート線引き回し領域、TA 端子部、TLA 端子部周辺配線領域、TP 点灯試験用信号パッド、TC 接続端子、CL コモン信号線、GL ゲート信号線、DL 映像信号線、PX 画素電極、CT コモン電極、SW スイッチ素子、DT ドレイン電極、ST ソース電極、SL 半導体配線、GT ゲート電極、PCH 画素コンタクトホール、PCHB 画素コンタクトホールの底部、TCH 端子部コンタクトホール、TCHB 端子部コンタクトホールの底部、PLE, TLE 配線電極、PM, TM 配線金属層、PMB, TMB バリア層、PMC, TMC キャップ層、PSL 下部無機保護層、PSF 有機保護層、PSU 上部無機保護層、HP1, HT1 大孔、HP2, HT2 小孔、TEL 下端子保護電極、TEU 上端子保護電極、TE 端子保護電極。

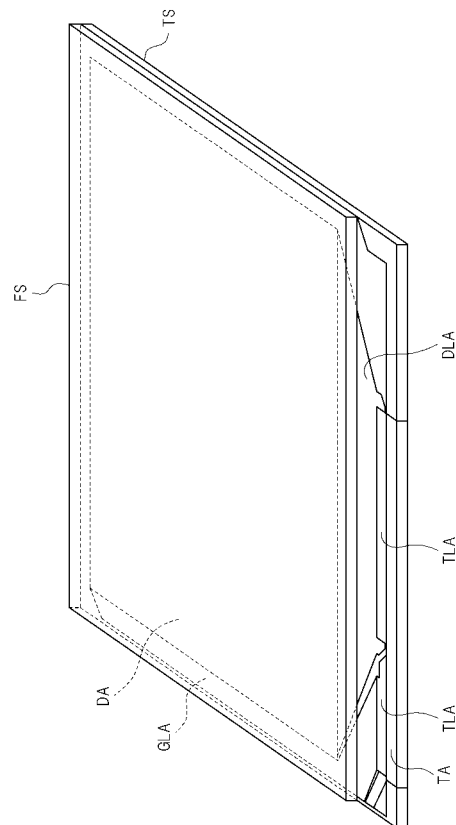
10

20

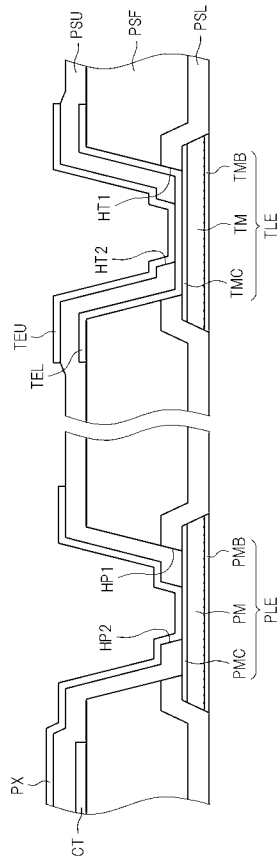
【図 1】



【図 2】



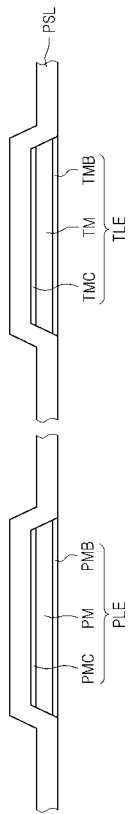
【図 7】



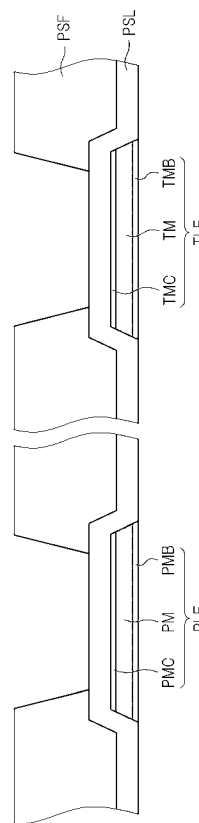
【図 8】



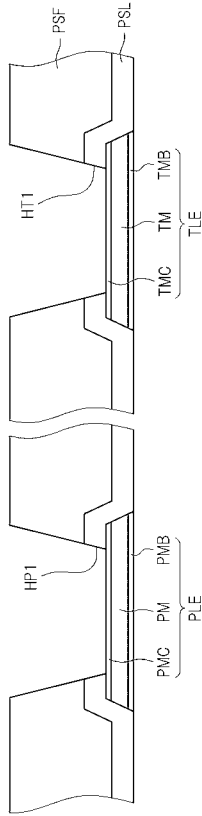
【図 9】



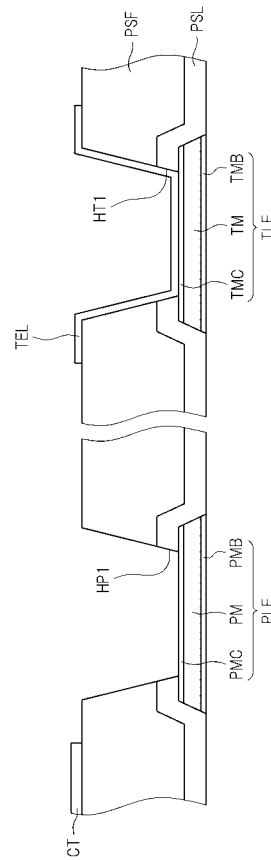
【図 10】



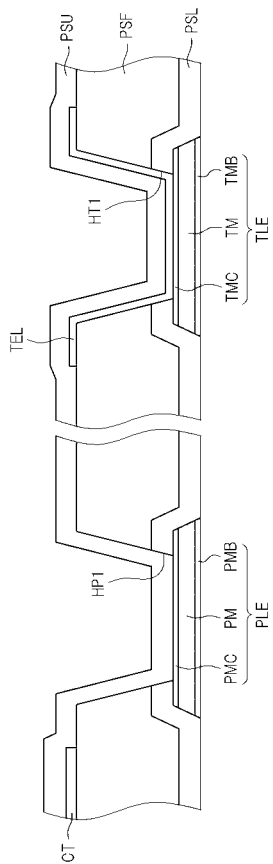
【図 1 1】



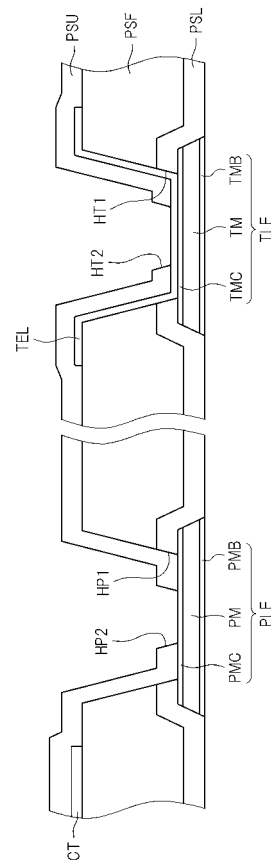
【図 1 2】



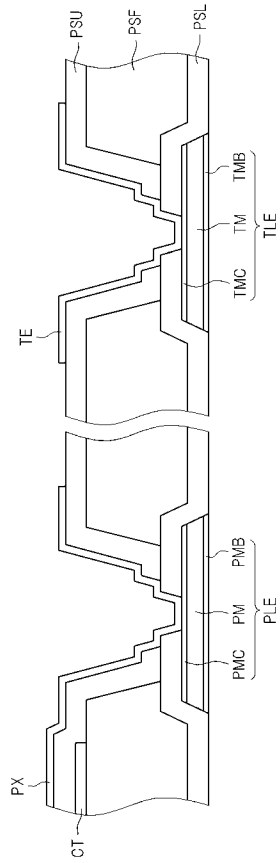
【図 1 3】



【図 1 4】



【図 15】



フロントページの続き

(72)発明者 江戸 進

茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

(72)発明者 鈴木 良平

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H090 HA04 HA06 HB04X HB13X HC12 HC15 HD05 LA01 LA04

2H092 GA14 GA35 GA43 HA04 JA24 JA46 JA48 JB56 JB57 KB24

KB25 MA13 MA18 NA15 NA29

专利名称(译)	透过型液晶表示装置		
公开(公告)号	JP2010079075A	公开(公告)日	2010-04-08
申请号	JP2008248955	申请日	2008-09-26
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	阿須間宏明 北島賢二 鎌田高光 江戸進 鈴木良平		
发明人	阿須間 宏明 北島 賢二 鎌田 高光 江戸 進 鈴木 良平		
IPC分类号	G02F1/1343 G02F1/1345 G02F1/1333		
CPC分类号	G02F1/136227 G02F1/134363 G02F2001/13629		
FI分类号	G02F1/1343 G02F1/1345 G02F1/1333.505		
F-TERM分类号	2H090/HA04 2H090/HA06 2H090/HB04X 2H090/HB13X 2H090/HC12 2H090/HC15 2H090/HD05 2H090/LA01 2H090/LA04 2H092/GA14 2H092/GA35 2H092/GA43 2H092/HA04 2H092/JA24 2H092/JA46 2H092/JA48 2H092/JB56 2H092/JB57 2H092/KB24 2H092/KB25 2H092/MA13 2H092/MA18 2H092/NA15 2H092/NA29 2H190/HA04 2H190/HA06 2H190/HB04 2H190/HB13 2H190/HC12 2H190/HC15 2H190/HD05 2H190/LA01 2H190/LA04		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种透明型液晶显示装置，其能够抑制用于覆盖接触孔的电极膜的针孔缺陷。解决方案：透明型液晶显示装置包括第一基板和面对第一基板的第二基板。液晶由上电极和下电极产生的电场控制，上电极和下电极设置在绝缘膜的上方和下方。第一基板包括：第一导电层，其具有形成的第一电极膜；第一保护层，位于第一导电层上；第一孔，形成为穿过第一保护层至第一电极膜；第二导电层，设置在第一保护层上包括在第一孔和下电极的底部与第一电极膜部分接触的第二电极膜，在第二导电层上设置的包括绝缘膜的第二保护层，以及设置在第二保护层上的第三导电层该层包括穿过第二保护层形成到第二电极膜的第二孔，与第二孔的底部处的第二电极膜部分接触的第三电极膜和上电极。

