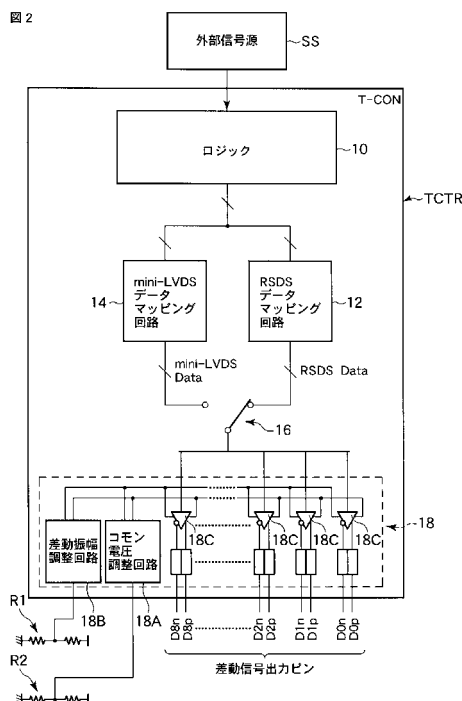




【特許請求の範囲】

【請求項 1】

互いに対向する一対の基板と、
前記一対の基板間に挟持された液晶層と、
マトリクス状に配置された複数の表示画素からなる表示部と、
前記複数の表示画素の行ごとに選択するゲートドライバと、
前記ゲートドライバに選択された表示画素に映像信号を供給するソースドライバと、
前記ゲートドライバおよび前記ソースドライバを制御するタイミングコントローラと、
を備え、

前記タイミングコントローラは、複数のマッピング回路と、前記複数のマッピング回路のいずれかの出力信号が入力される差動振幅生成部と、前記差動振幅生成部への入力信号を前記複数のマッピング回路のいずれかの出力信号に切替える切替手段と、を有する液晶表示装置。

10

【請求項 2】

前記複数のマッピング回路は、RSDSデータマッピング回路を有する請求項 1 記載の液晶表示装置。

【請求項 3】

前記複数のマッピング回路は、min-LVDSデータマッピング回路を有する請求項 1 記載の液晶表示装置。

【請求項 4】

前記差動振幅生成部は、差動振幅調整回路を有し、
前記タイミングコントローラは、前記差動振幅調整回路に接続された振幅調整用のバイアス抵抗をさらに有する請求項 1 記載の液晶表示装置。

20

【請求項 5】

前記差動振幅生成部は、コモン電圧調整回路を有し、
前記タイミングコントローラは、前記コモン電圧調整回路に接続された、コモン電圧調整用のバイアス抵抗をさらに有する請求項 1 記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示装置に関し、特に、アクティブマトリクス型の液晶表示装置に関する。

30

【背景技術】

【0002】

液晶表示装置は、互いに対向する一対の基板、すなわち、アレイ基板および対向基板と、一対の基板間に挟持された液晶層とを有する液晶表示パネルを有している。液晶表示パネルは、マトリクス状に配置された複数の表示画素からなる表示部を有している。アレイ基板は、前記複数の表示画素のそれぞれに対応して配置された画素電極を有し、対向基板は複数の画素電極に対向する対向電極を有している。

【0003】

表示部には、表示画素の配列する行に沿って配置された走査線と、表示画素の配列する列に沿って配置された信号線とが配置されている。表示部の周囲にはゲートドライバとソースドライバとが配置されている。ゲートドライバには走査線が接続され、ソースドライバには信号線が接続されている。

40

【0004】

ソースドライバには、タイミングコントローラから映像信号、クロック信号等が供給される。タイミングコントローラは、外部信号源から供給された外部信号に基づいて、映像信号、クロック信号等をソースドライバに出力する。映像信号は例えば差動信号であって、対となる二つの端子からソースドライバに出力される（例えば、特許文献 1 参照）。

【0005】

50

従来、差動信号を用いた駆動方式として、例えば、R S D S (Reduced Swing Differential Signaling) やmini-LVDS (mini - Low Voltage Differential Signaling) 等、複数の差動駆動方式が提案されている。

【0006】

このような複数の駆動方式に対応するために、複数のタイミングコントローラが開発されている。例えば、ソースドライバにR S D Sドライバを使用する機種用にR S D Sトランスミッタを内蔵したR S D S出力専用のタイミングコントローラが開発され、ソースドライバにmini-LVDSドライバを使用する機種用にmini-LVDSトランスミッタを内蔵したmini-LVDS出力専用のタイミングコントローラがそれぞれ開発されている。

【0007】

これは、R S D Sドライバを用いる場合とmini-LVDSドライバを用いる場合とでは、タイミングコントローラに要求される出力信号の仕様（データ配列・コモン電圧・差動振幅等）が異なるためである。

【特許文献1】特開2006-235452号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上記のように、駆動方式の異なるソースドライバを搭載した機種には、異なるタイミングコントローラを使用する必要があるため、新たな駆動方式を採用したソースドライバを搭載した機種には、タイミングコントローラを新規開発しなければならない、開発費用、開発期間がかかり負担になることがあった。

【0009】

本発明は、上記の問題点に鑑みて成されたものであって、搭載されるソースドライバの種類に関わらず適用可能とすることで、液晶表示装置の開発費用、開発期間の負担を軽減できるタイミングコントローラを備えた液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の第一態様による液晶表示装置は、互いに対向する一対の基板と、前記一対の基板間に挟持された液晶層と、マトリクス状に配置された複数の表示画素からなる表示部と、前記複数の表示画素の行ごとに選択するゲートドライバと、前記ゲートドライバに選択された表示画素に映像信号を供給するソースドライバと、前記ゲートドライバおよび前記ソースドライバを制御するコントローラと、を備え、前記コントローラは、複数のマッピング回路と、差動振幅生成部と、前記差動振幅生成部の入力信号を前記複数のマッピング回路のいずれかの出力信号に切替える切替手段と、を有する。

【発明の効果】

【0011】

この発明によれば、搭載されるソースドライバの種類に関わらず適用可能とすることで、液晶表示装置の開発費用、開発期間の負担を軽減できるタイミングコントローラを備えた液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0012】

以下に、本発明の一実施形態に係る液晶表示装置について、図面を参照して説明する。本実施形態に係る液晶表示装置は例えばカラー表示タイプの液晶表示装置であって、互いに対向する一対の電極基板、すなわちアレイ基板と対向基板と、この一対の電極基板間に挟持された液晶層LQとを有している。

【0013】

さらに、図1に示すように、本実施形態に係る液晶表示装置はマトリクス状に配置された複数の表示画素PXからなる表示部DYPと、表示部DYPの周囲に配置されたゲートドライバGD、および、ソースドライバSDと、ゲートドライバGDおよびソースドライバSDを制御するタイミングコントローラTCRと、を有している。

10

20

30

40

50

【0014】

アレイ基板は、表示部DYPにおいて、複数の表示画素PXが配列する行に沿って配置された走査線GL1～GLmと、複数の表示画素PXが配列する列に沿って配置された信号線SL1～SLnとを有している。アレイ基板の走査線GL1～GLmと信号線SL1～SLnとが交差する位置の近傍には、それぞれの表示画素PXに設けられた画素スイッチSWが配置されている。

【0015】

画素スイッチSWはスイッチング素子として例えば薄膜トランジスタを有している。画素スイッチSWのゲート電極は、対応する走査線GL1～GLmに電氣的に接続されている。画素スイッチSWのソース電極は対応する信号線SL1～SLnに電氣的に接続されている。画素スイッチSWのドレイン電極は、表示画素PXのそれぞれに配置された画素電極PEに電氣的に接続されている。

10

【0016】

ゲートドライバGDは、全ての走査線GL1～GLmに電氣的に接続され、タイミングコントローラTCRから供給される信号によって制御されて、順次ゲート線GL1～GLmを走査する。

【0017】

ソースドライバSDは、全ての信号線SL1～SLnに電氣的に接続され、タイミングコントローラTCRから供給される信号によって制御され、ソースドライバSDは、ソース線SL1～SLnに対応する映像信号を供給する。

20

【0018】

ゲートドライバGDによって走査線GL1～GLmが選択されると、選択された走査線GL1～GLmに接続された画素スイッチSWのソースドレインパスが導通し、同画素スイッチSWがオンとなって対応する表示画素PXの画素電極に映像信号が印加される。

【0019】

対向基板は、複数の画素電極PEと対向するように配置された対向電極CEを有している。対向電極CEにはコモン電圧が供給され、画素電極PEに印加された電圧とコモン電圧との電位差によって液晶層に含まれる液晶分子の配向状態が制御される。

【0020】

ここで、ソースドライバSDが、例えば6ビット出力のRSDSドライバである場合、ソースドライバSDは図4に示すような仕様（データ配列・コモン電圧・差動振幅等）の信号を入力することをタイミングコントローラTCRに要求する。図4に示す場合では、RSDSドライバは、コモン電圧が1.2Vであって、差動振幅が200mVの差動振幅信号をタイミングコントローラTCRに供給させる。

30

【0021】

ソースドライバSDが、例えば6ビット出力のmini-LVDSドライバである場合、ソースドライバSDは図5に示すような仕様の信号を入力することをタイミングコントローラTCRに要求する。図5に示す場合では、mini-LVDSドライバは、コモン電圧が1.2Vであって、差動振幅が400mVの差動振幅信号を供給させる。

【0022】

本実施形態に係る液晶表示装置では、タイミングコントローラTCRが、上記のようにソースドライバSDが要求する信号の仕様に対応した差動振幅信号をソースドライバSDに供給する。

40

【0023】

すなわち、図2に示すように、タイミングコントローラTCRは、ロジック回路10と、複数のマッピング回路12、14と、差動振幅生成部18とを有している。本実施形態に係る液晶表示装置は、マッピング回路として、RSDSデータマッピング回路12と、mini-LVDSデータマッピング回路14とを有している。

【0024】

ロジック回路10には、外部信号源SSから外部信号が供給される。ロジック回路10

50

は、供給された外部信号をマッピング回路12、14に供給可能な信号として出力する。すなわち、例えば6ビットのデータの場合、ロジック回路10は、図3に示すように1クロックで6ビットの表示画素PXに対応する画像データR[0]～R[5]、G[0]～G[5]、B[0]～B[5]を出力する。

【0025】

カラータイプの液晶表示装置では、図3に示すように、赤色表示画素に供給される画像データR[0]～R[5]、緑色表示画素に供給される画像データG[0]～G[5]、および、青色表示画素に供給される画像データB[0]～B[5]がロジック回路10から出力される。

【0026】

ロジック回路10の出力端子は、RSDSデータマッピング回路12の入力端子とmini-LVDSデータマッピング回路14の入力端子とに接続されている。RSDSデータマッピング回路12は、ロジック回路10から入力された画像信号をRSDSのソースドライバSDの仕様に合わせて並び変えて出力する。

【0027】

例えば、図3に示すような6ビットの画像データが入力された場合には、RSDSデータマッピング回路12は、図4に示すように画像データを入力された画像データを並び替えて出力する。すなわち、RSDSデータマッピング回路12は、1クロックで6ビットの表示画素PX分の画像データが出力されるように画像データを配列させる。

【0028】

例えば、RSDSデータマッピング回路12は、タイミングコントローラの差動振幅信号出力ピンD0(p、n)に対応する出力信号RDR0として、1クロック内の最初のタイミングで画像データR[0]が出力され、1クロック内の次のタイミングで画像データR[1]が出力されるように、画像データR[0]、R[1]を配列させる。

【0029】

このように、RSDSデータマッピング回路12は、図4に示すようなRSDSドライバが要求するデータ配列となるように、供給された画像データR[0]～R[5]、G[0]～G[5]、B[0]～B[5]を配列させる。

【0030】

mini-LVDSデータマッピング回路14は、ロジック回路10から供給された画像データをmini-LVDSドライバの仕様に合わせて配列させる。すなわち、mini-LVDSデータマッピング回路14は、図5に示すように3クロックで6ビットの表示画素分の画像データを出力する。

【0031】

例えば、mini-LVDSデータマッピング回路14は、タイミングコントローラの差動振幅信号出力ピンD3(p、n)に対応する出力信号LD0として、1クロック内の最初のタイミングで画像データR[0]が出力され、1クロック内の次のタイミングで画像データR[1]が出力されるように、画像データR[0]、R[1]を配列させる。

【0032】

このように、mini-LVDSデータマッピング回路14は、図5に示すようなmini-LVDSドライバが要求するデータ配列となるように、供給された画像データR[0]～R[5]、G[0]～G[5]、B[0]～B[5]を配列させる。

【0033】

複数のマッピング回路12、14の出力端子と、差動振幅生成部18の入力端子との接続は、切替スイッチ16によって切り替えられる。すなわち、図2に示すように、RSDSデータマッピング回路12の出力端子と差動振幅生成部18の入力端子との接続、および、mini-LVDSデータマッピング回路14の出力端子と差動振幅生成部18の入力端子との接続は、切替スイッチ16によって切替られる。

【0034】

タイミングコントローラTCRは、例えば切替スイッチ16の動作を制御するための

10

20

30

40

50

制御手段（図示せず）を有し、この制御手段によって、切替スイッチ 16 が切り替えられ、マッピング回路 12、14 と差動振幅生成部 18 との接続が切り替えられる。

【0035】

例えば、タイミングコントローラ TCTR につまみ等が設けられ、ユーザがこのつまみ等の位置を調節することによって切替スイッチ 16 の接続状態を設定可能なように構成されていても良い。また、タイミングコントローラ TCTR が液晶表示装置に搭載された際に、ソースドライバ SD から要求される仕様を検出し、自動的に切替スイッチ 16 の接続を制御するように構成されていても良い。

【0036】

ソースドライバ SD が RSDS ドライバの場合には、切替スイッチ 16 によって、RSDS データマッピング回路 12 の出力端子と差動振幅生成部 18 の入力端子とが接続される。

10

【0037】

ソースドライバ SD が mini-LVDS ドライバの場合には、切替スイッチ 16 によって、mini-LVDS データマッピング回路 14 の出力端子と差動振幅生成部 18 の入力端子とが接続される。

【0038】

差動振幅生成部 18 は、図 2 に示すように、コモン電圧調整回路 18A と、差動振幅調整回路 18B と、複数の差動振幅信号アンプ 18C と、RSDS ドライバおよび mini-LVDS ドライバに共通の差動振幅信号出力ピン D0 (p, n) ~ D8 (p, n) とを有している。

20

【0039】

複数の差動振幅信号アンプ 18C のそれぞれは、コモン電圧調整回路 18A を介して、コモン電圧調整用のバイアス抵抗 R2 と接続されている。バイアス抵抗 R2 は、タイミングコントローラ TCTR の外部に配置されている。このバイアス抵抗 R2 の抵抗値を変更することによって、差動振幅信号のコモン電圧値を調整することができる。

【0040】

ソースドライバ SD が例えば RSDS ドライバの場合には、コモン電圧が 1.2V となるようにコモン電圧調整用のバイアス抵抗 R2 の抵抗値が選択される。ソースドライバ SD が例えば mini-LVDS ドライバの場合には、コモン電圧が 1.2V となるようにコモン電圧調整用のバイアス抵抗 R2 の抵抗値が選択される。

30

【0041】

また、差動振幅信号アンプ 18C のそれぞれは、差動振幅調整回路 18B を介して、差動振幅調整用のバイアス抵抗 R1 と接続されている。バイアス抵抗 R1 はタイミングコントローラ TCTR の外部に配置されている。このバイアス抵抗 R1 の抵抗値を変更することによって、差動振幅信号の差動振幅の大きさを変更することができる。

【0042】

ソースドライバ SD が例えば RSDS ドライバの場合には、差動振幅が 200mV となるように差動振幅調整用のバイアス抵抗 R1 の抵抗値が選択される。ソースドライバ SD が mini-LVDS ドライバの場合には、差動振幅が 400mV となるように差動振幅調整用のバイアス抵抗 R1 の抵抗値が選択される。

40

【0043】

さらに、差動振幅信号アンプ 18C のそれぞれには、マッピング回路 12、14 から出力された画像データが供給される。各差動振幅信号アンプ 18C は、2つの出力端子を有し、この2つの出力端子から一对の差動信号を出力する。

【0044】

例えば、ソースドライバ SD が RSDS ドライバの場合には、差動振幅信号出力ピン D0p、D0n に接続された差動振幅信号アンプ 18C は、一对の差動信号 RDR0p、RDR0n を出力する。

【0045】

50

ソースドライバSDがmini-LVDSドライバの場合には、差動振幅信号出力ピンD3 (p、n)～D5 (p、n)から映像信号が出力され、例えば差動振幅信号出力ピンD3 p、D3 nから、mini-LVDSデータマッピング回路14の出力信号LD0に対応する一対の差動振幅信号LD0 a、LD0 bが出力される。

【0046】

このように、差動振幅信号アンプ18Cのそれぞれは、マッピング回路12、14から供給された画像データR[0]～R[5]、G[0]～G[5]、B[0]～B[5]をソースドライバSDが要求する仕様に適合する信号として、図6に示すように、差動振幅信号出力ピンD0 (p、n)～D8 (p、n)から出力する。

【0047】

上記のようにタイミングコントローラTCRが複数のマッピング回路を有し、切替スイッチ16を切り替えることによって、異なるソースドライバSDの要求する仕様に対応可能となる。したがって本実施形態に係る液晶表示装置によれば、搭載されるソースドライバの種類に関わらず適用可能とすることで、液晶表示装置の開発費用、開発期間の負担を軽減できるタイミングコントローラを備えた液晶表示装置を提供することができる。

【0048】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。例えば、上記の実施形態に係る液晶表示装置では、マッピング回路としてRSDSデータマッピング回路12と、mini-LVDSデータマッピング回路14とを有していたが、これに限らず、複数種類のデータマッピング回路を備えていれば良い。複数種類のデータマッピング回路の出力端子と、差動振幅生成部の入力端子との接続を切り替える切替手段を備えることにより、上記の実施形態に係る液晶表示装置と同様の効果を与えることができる。

【0049】

また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0050】

【図1】本発明の第1実施形態に係る液晶表示装置の構成の一例を概略的に示す図。

【図2】図1に示す液晶表示装置の外部信号源からソースドライバまでの間の構成の一例を説明するための図。

【図3】図2に示す液晶表示装置のロジック回路からデータマッピング回路に出力される映像信号の並び順の一例を説明するための図。

【図4】図2に示す液晶表示装置のRSDSデータマッピング回路からRSDSソースドライバに出力される映像信号の並び順の一例を説明するための図。

【図5】図2に示す液晶表示装置のmini-LVDSデータマッピング回路からmini-LVDSソースドライバに出力される映像信号の並び順の一例を説明するための図。

【図6】図1に示す液晶表示装置のタイミングコントローラの差動振幅信号出力ピンに対応する出力信号の一例を説明するための図。

【符号の説明】

【0051】

PX…表示画素、DYP…表示部、SD…ソースドライバ、TCR…タイミングコントローラ、SS…外部信号源、GL1～GLm…走査線、SL1～SLn…信号線、10…ロジック回路、12…RSDSデータマッピング回路、14…mini-LVDSデータマッピング回路、16…切替スイッチ、18…差動振幅生成部

10

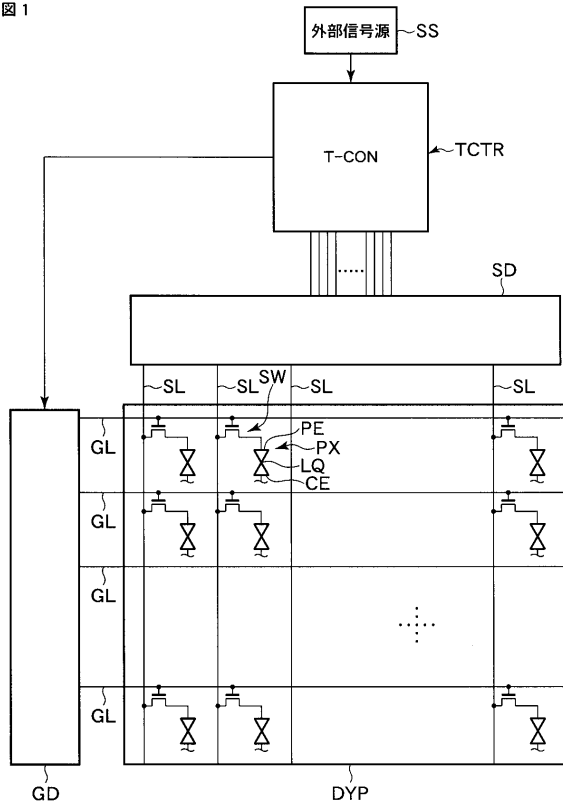
20

30

40

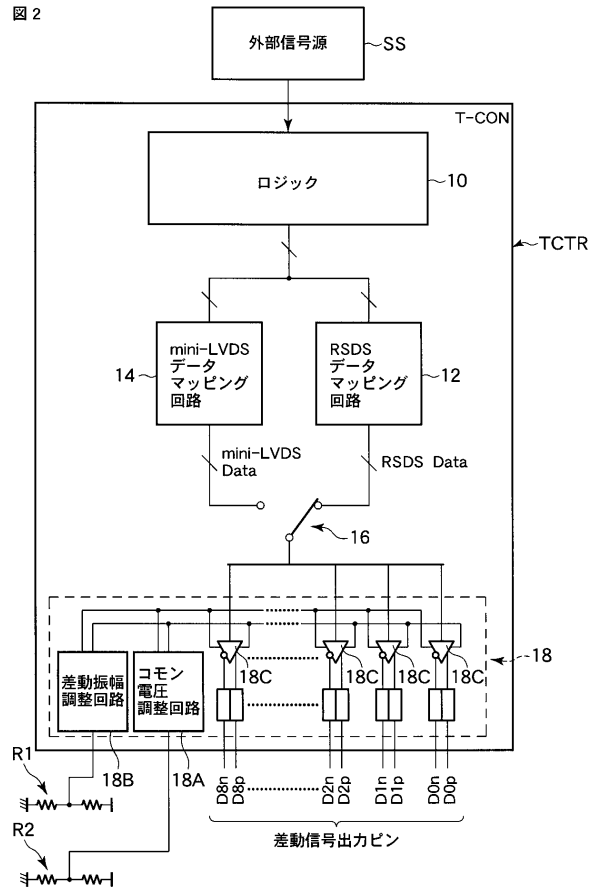
【図 1】

図 1



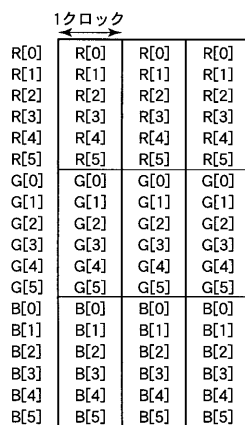
【図 2】

図 2



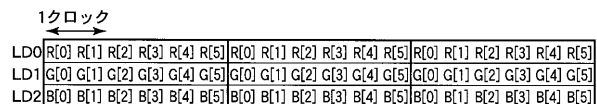
【図 3】

図 3



【図 5】

図 5



【図 6】

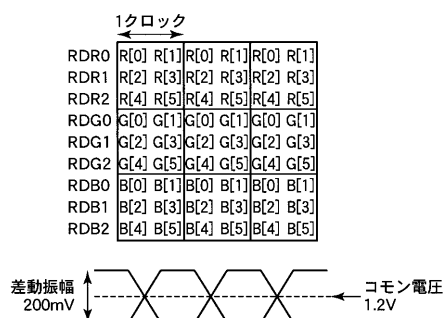
図 6

PIN配置	出力信号	
	RSDS	mini-LVDS
D0p	RDR0p	空
D0n	RDR0n	空
D1p	RDR1p	空
D1n	RDR1n	空
D2p	RDR2p	空
D2n	RDR2n	空
D3p	RDG0p	LD0a
D3n	RDG0n	LD0b
D4p	RDG1p	LD1a
D4n	RDG1n	LD1b
D5p	RDG2p	LD2a
D5n	RDG2n	LD2b
D6p	RDB0p	空
D6n	RDB0n	空
D7p	RDB1p	空
D7n	RDB1n	空
D8p	RDB2p	空
D8n	RDB2n	空

* RSDSはn-pで1ペア
* mini-LVDSはa-bで1ペア

【図 4】

図 4



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 2 F
	G 0 9 G 3/20	6 1 2 P
	G 0 9 G 3/20	6 5 0 B
	G 0 9 G 3/20	6 3 3 P
	G 0 9 G 3/20	6 2 4 C

(74)代理人 100095441
 弁理士 白根 俊郎

(74)代理人 100084618
 弁理士 村松 貞男

(74)代理人 100103034
 弁理士 野河 信久

(74)代理人 100119976
 弁理士 幸長 保次郎

(74)代理人 100153051
 弁理士 河野 直樹

(74)代理人 100140176
 弁理士 砂川 克

(74)代理人 100101812
 弁理士 勝村 紘

(74)代理人 100092196
 弁理士 橋本 良郎

(74)代理人 100100952
 弁理士 風間 鉄也

(74)代理人 100070437
 弁理士 河井 将次

(74)代理人 100124394
 弁理士 佐藤 立志

(74)代理人 100112807
 弁理士 岡田 貴志

(74)代理人 100111073
 弁理士 堀内 美保子

(74)代理人 100134290
 弁理士 竹内 将訓

(74)代理人 100127144
 弁理士 市原 卓三

(74)代理人 100141933
 弁理士 山下 元

(72)発明者 吉田 育子

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA16 NC03 NC10 NC12 NC18 NC34 NC71 ND54 ND60

2H193 ZA04 ZF03 ZF22 ZF36 ZF59

5C006 AA16 AC11 AF78 AF83 BB16 BC16 BF25 BF46 EB05 FA51

5C080 AA10 BB05 DD25 DD28 EE29 FF11 JJ02

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009294379A	公开(公告)日	2009-12-17
申请号	JP2008147058	申请日	2008-06-04
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	吉田育子		
发明人	吉田 育子		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G09G5/006 G09G2310/08		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.505 G09G3/20.611.F G09G3/20.612.D G09G3/20.612.F G09G3/20.612.P G09G3/20.650.B G09G3/20.633.P G09G3/20.624.C		
F-TERM分类号	2H093/NA16 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC34 2H093/NC71 2H093/ND54 2H093/ND60 2H193/ZA04 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZF59 5C006/AA16 5C006/AC11 5C006/AF78 5C006/AF83 5C006/BB16 5C006/BC16 5C006/BF25 5C006/BF46 5C006/EB05 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD25 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 2H193/ZA32 2H193/ZB06 2H193/ZC25 2H193/ZD11 2H193/ZF11 2H193/ZF21 2H193/ZF31		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种用于降低液晶显示装置的开发成本和显影周期的负担的时序控制器，以及一种配备有该时序控制器的液晶显示装置。一对彼此面对的基板，夹在该一对基板之间的液晶层，包括以矩阵状排列的多个显示像素的显示部，以及多个显示像素的行待选择的栅极驱动器，用于将视频信号提供给由该栅极驱动器选择的显示像素的源极驱动器，以及用于控制该栅极驱动器和源极驱动器的控制器，该控制器包括多个映射电路 一种液晶显示装置，包括：差分幅度发生器；以及切换装置，用于将所述差分幅度发生器的输入信号切换为所述多个映射电路中的任何一个的输出信号。[选择图]图2

