

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-175303

(P2009-175303A)

(43) 公開日 平成21年8月6日(2009.8.6)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 621F	2H193
G02F 1/133 (2006.01)	G09G 3/20 622D	5C006
	G09G 3/20 623D	5C080
	G09G 3/20 641E	
審査請求 有 請求項の数 11 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2008-12283 (P2008-12283)
 (22) 出願日 平成20年1月23日 (2008.1.23)

(71) 出願人 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 佐藤 政俊
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内

最終頁に続く

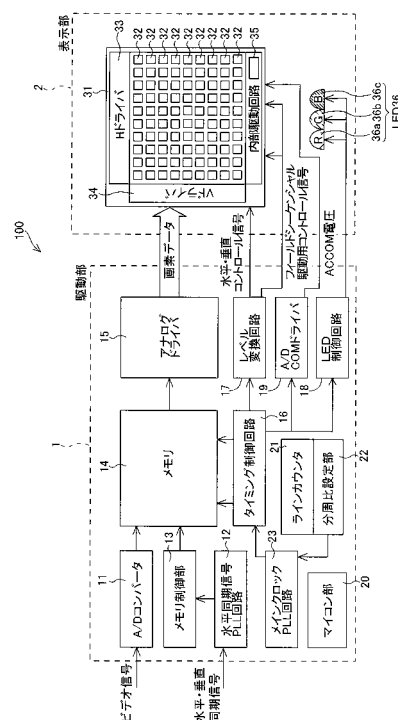
(54) 【発明の名称】 表示装置および電子機器

(57) 【要約】

【課題】書き込み期間を短くすることが可能な表示装置を提供する。

【解決手段】この液晶表示装置（表示装置）100は、複数の画素32を備え、画素32の位置に応じて、画素32への映像信号の書き込み時間を変化させるように構成されている。これにより、画素32の位置に応じて映像信号の書き込み時間が短くなるように変化されるので、必要以上の書き込み期間が設定されるのが抑制される。したがって、全ての画素32に対して一定の書き込み期間を設定する場合に比べて、書き込み期間が短くなる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の画素を備え、

前記画素の位置に応じて、前記画素への映像信号の書き込み時間を変化させるように構成されている、表示装置。

【請求項 2】

前記複数の画素に映像信号を供給する信号伝送線をさらに備え、

前記信号伝送線の各々の前記画素までの距離に応じて、前記画素への映像信号の書き込み時間を変化させるように構成されている、請求項 1 に記載の表示装置。

【請求項 3】

前記信号伝送線の前記画素までの信号伝送経路の配線抵抗および配線容量に基づいて前記画素への書き込み時間が制御されるように構成されている、請求項 2 に記載の表示装置。

【請求項 4】

前記画素までの信号伝送経路の距離の増加に応じて書き込み時間が長くなるように制御されるように構成されている、請求項 2 または 3 に記載の表示装置。

【請求項 5】

前記複数の画素に対して行毎に順次書き込みを行う線順次書き込み方式により駆動するように構成され、

前記信号伝送線は、前記画素に映像信号を供給する信号線を含み、

前記画素に対して行毎に書き込みを行う際には、前記信号線の前記画素までの距離に応じて変化する配線抵抗および配線容量に基づいて前記画素への書き込み時間が制御されるように構成されている、請求項 2 ～ 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記画素毎に順次書き込みを行う点順次書き込み方式により駆動するように構成され、

前記信号伝送線は、前記画素に映像信号を供給する信号線と、各々の前記信号線に映像信号を供給する映像信号線とを含み、

前記映像信号線と前記各々の信号線との間にそれぞれ設けられたスイッチ部とをさらに備え、

前記画素毎に書き込みを行う際には、前記映像信号線の信号線までの距離および前記信号線の前記画素までの距離に応じて変化する配線抵抗および配線容量に基づいて前記画素への書き込み時間が制御されるように構成されている、請求項 2 ～ 4 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記画素の位置を数値化するカウンタと、

前記カウンタにより数値化された値に基づいて、クロック信号を分周する分周比設定部とをさらに備え、

前記分周比設定部により、前記カウンタにより数値化された前記画素の位置に対応する周波数に分周されることによって、前記画素への書き込み時間が制御されるように構成されている、請求項 1 ～ 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

前記複数の画素は、行列状に配置され、

前記カウンタは、前記画素の位置を行毎に数値化するように構成され、

前記カウンタにより行毎に数値化された値に基づいて、前記画素への映像信号の書き込み時間を行毎に変化させるように構成されている、請求項 7 に記載の表示装置。

【請求項 9】

前記複数の画素は、行列状に配置され、

前記カウンタは、前記画素の位置を前記画素毎に数値化するように構成され、

前記カウンタにより前記画素毎に数値化された値に基づいて、前記画素への映像信号の書き込み時間を前記画素毎に変化させるように構成されている、請求項 7 に記載の表示装

10

20

30

40

50

置。

【請求項 10】

発光装置をさらに備え、
前記発光装置は、複数の発光色に対応する複数の光源により構成されており、
映像を表示する際に、前記複数の光源は、色毎に順番に点灯するように制御されるフィールドシーケンシャル駆動により制御されるように構成されている、請求項 1～9 のいずれか 1 項に記載の表示装置。

【請求項 11】

請求項 1～10 のいずれか 1 項に記載の表示装置を備える、電子機器。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、表示装置および電子機器に関し、特に、複数の画素を備えた表示装置およびそれを備えた電子機器に関する。

【背景技術】

【0002】

従来、複数の画素を備えた液晶表示装置が知られている（たとえば、特許文献 1 参照）。

【0003】

上記特許文献 1 には、複数の画素を備えたフィールドシーケンシャル液晶表示装置が開示されている。上記特許文献 1 に開示されたフィールドシーケンシャル液晶表示装置では、表示装置の画面領域が所定数の画素行毎に区分されているとともに、区分された画面領域の領域毎に、それぞれ、RGB からなる複数の光源が配置されている。そして、区分された画面領域毎に、赤（R）、緑（G）および青（B）における映像データの書き込みおよび光源の発光による表示（フィールドシーケンシャル方式による表示）が行われている。

20

【0004】

【特許文献 1】特開 2002—221702 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0005】

しかしながら、上記特許文献 1 に記載の液晶表示装置では、画素への書き込み期間の長さは、区分された画面領域毎に一定である。このため、従来の液晶表示装置では、書き込み時間を最も必要とする画素（画素までの配線の長さが最も大きい画素）への書き込みに対して必要な時間を、画素への書き込み期間として均一に設定していると考えられる。したがって、この場合、画素の位置によっては必要以上の書き込み期間が設けられているにも係わらず、全ての画素に対する書き込み期間が均一であると考えられるので、その分、全体的に書き込み期間が長くなる場合があるという問題点がある。

【0006】

この発明は、上記のような課題を解決するためになされたものであり、この発明の 1 つの目的は、書き込み期間を短くすることが可能な表示装置を提供することである。

40

【課題を解決するための手段および発明の効果】

【0007】

この発明の第 1 の局面による表示装置は、複数の画素を備え、画素の位置に応じて、画素への映像信号の書き込み時間を変化させるように構成されている。

【0008】

この第 1 の局面による表示装置では、上記のように、映像信号の書き込み時間を画素の位置に応じて変化させるように構成することによって、画素の位置に応じて映像信号の書き込み時間を短くするように変化させることができるので、書き込み期間が必要以上の長さに設定されるのを抑制することができる。したがって、全画素に対して一定の書き込み

50

期間を設定する場合に比べて、書き込み期間を短くすることができる。

【 0 0 0 9 】

上記第 1 の局面による表示装置において、好ましくは、複数の画素に映像信号を供給する信号伝送線をさらに備え、信号伝送線における各々の画素までの距離に応じて、画素への映像信号の書き込み時間を変化させるように構成されている。このように構成すれば、映像信号の伝送経路が最も長い画素に対して必要な書き込み期間を各画素に対する書き込み期間として均一に設定することなく、信号伝送線の距離に応じて各画素に対して必要な期間のみを、それぞれ書き込み期間として設定することができるので、全画素に対する合計の書き込み期間を短くすることができる。

【 0 0 1 0 】

この場合、好ましくは、信号伝送線の画素までの信号伝送経路の配線抵抗および配線容量に基づいて画素への書き込み時間が制御されるように構成されている。このように構成すれば、映像信号の伝送経路の長さ（伝送信号線の画素までの距離）により変化する配線抵抗および配線容量に基づいて画素への書き込み時間が制御されるので、各画素に対して必要な書き込み時間を正確に設定することができる。

【 0 0 1 1 】

上記信号伝送経路の配線抵抗および配線容量に基づいて書き込み時間が制御される構成において、好ましくは、画素までの信号伝送経路の距離の増加に応じて書き込み時間が長くなるように制御されるように構成されている。このように構成すれば、映像信号の伝送経路が短い画素に対しては、伝送経路における配線抵抗および配線容量が小さいため書き込み時間が短く設定される。そして、映像信号の伝送経路が長い画素ほど配線抵抗および配線容量が大きくなるため、書き込み時間を長くするように設定することができる。したがって、全各画素に対して必要な合計の書き込み時間を確実に短くすることができる。

【 0 0 1 2 】

上記信号伝送経路の配線抵抗および配線容量に基づいて書き込み時間が制御される構成において、好ましくは、複数の画素に対して行毎に順次書き込みを行う線順次書き込み方式により駆動するように構成され、信号伝送線は、画素に映像信号を供給する信号線を含み、画素に対して行毎に書き込みを行う際には、信号線の画素までの距離に応じて変化する配線抵抗および配線容量に基づいて画素への書き込み時間が制御されるように構成されている。このように構成すれば、線順次書き込み方式において、画素の行毎に、信号線の配線抵抗および配線容量に基づいて画素への書き込み時間が制御されるので、各画素に対して行毎に書き込み時間を容易に設定することができる。

【 0 0 1 3 】

上記信号伝送経路の配線抵抗および配線容量に基づいて書き込み時間が制御される構成において、好ましくは、画素毎に順次書き込みを行う点順次書き込み方式により駆動するように構成され、信号伝送線は、画素に映像信号を供給する信号線と、各々の信号線に映像信号を供給する映像信号線とを含み、映像信号線と各々の信号線との間にそれぞれ設けられたスイッチ部とをさらに備え、画素毎に書き込みを行う際には、映像信号線の信号線までの距離および信号線の画素までの距離に応じて変化する配線抵抗および配線容量に基づいて画素への書き込み時間が制御されるように構成されている。このように構成すれば、点順次書き込み方式において、各画素毎に、映像信号線および信号線の配線抵抗および配線容量に基づいて画素への書き込み時間が制御されるので、各画素毎に必要な書き込み時間を確実に設定することができる。

【 0 0 1 4 】

上記第 1 の局面による表示装置において、好ましくは、画素の位置を数値化するカウンタと、カウンタにより数値化された値に基づいて、クロック信号を分周する分周比設定部とをさらに備え、分周比設定部により、カウンタにより数値化した画素の位置に対応する周波数に分周されることによって、画素への書き込み時間が制御されるように構成されている。このように構成すれば、カウンタにより画素の位置を正確に識別することができるとともに、数値化された画素の位置に基づいて、容易に必要な書き込み時間を設定するこ

10

20

30

40

50

とができる。

【 0 0 1 5 】

この場合、好ましくは、複数の画素は、行列状に配置され、カウンタは、画素の位置を行毎に数値化するように構成され、カウンタにより行毎に数値化された値に基づいて、画素への映像信号の書き込み時間を行毎に変化させるように構成されている。このように構成すれば、画素への書き込み時間を行毎に制御するように構成した分、画素毎に個別に書き込み時間を制御する場合に比べて、容易に制御することができるとともに、回路が複雑化するのを抑制することができる。

【 0 0 1 6 】

上記カウンタおよび分周比設定部を備える構成において、好ましくは、複数の画素は、行列状に配置され、カウンタは、画素の位置を画素毎に数値化するように構成され、カウンタにより画素毎に数値化された値に基づいて、画素への映像信号の書き込み時間を画素毎に変化させるように構成されている。このように構成すれば、各画素の位置に応じて書き込み時間を制御することができるとともに、画素毎に書き込み時間を制御するように構成した分、必要な書き込み時間をより細かく設定することができる。したがって、細かく書き込み時間を設定した分、さらに合計の書き込み期間を短くすることができる。

【 0 0 1 7 】

上記第 1 の局面による表示装置において、好ましくは、発光装置をさらに備え、発光装置は、複数の発光色に対応する複数の光源により構成されており、映像を表示する際に、複数の光源は、色毎に順番に点灯するように制御されるフィールドシーケンシャル駆動により制御されるように構成されている。このように構成すれば、たとえば、発光ダイオード素子などからなる光源を、赤色（R）、緑色（G）および青色（B）にそれぞれ対応するように構成した場合などに、発光ダイオード素子により空間的に赤色（R）、緑色（G）および青色（B）を表示して混合することにより所望の色を得ることができるので、カラーフィルタを設ける必要がない。したがって、カラーフィルタを設けない分、光源からの光の透過率を増加させることができるので、より高輝度に画像を表示することができる。

【 0 0 1 8 】

この発明の第 2 の局面による電子機器は、請求項 1 ～ 1 0 のいずれか 1 項に記載の表示装置を備える。このように構成すれば、画像書き込み期間を短くすることや、より高輝度な画像を表示することが可能な電子機器を得ることができる。

【発明を実施するための最良の形態】

【 0 0 1 9 】

以下、本発明の実施形態を図面に基づいて説明する。

【 0 0 2 0 】

（第 1 実施形態）

図 1 は、本発明の第 1 実施形態による液晶表示装置の全体構成を示すブロック図である。図 2 は、本発明の第 1 実施形態による液晶表示装置の画素部分における等価回路図である。まず、図 1 および図 2 を参照して、本発明の第 1 実施形態による液晶表示装置 1 0 0 の構成について説明する。なお、第 1 実施形態では、表示装置の一例であるフィールドシーケンシャル駆動方式による液晶表示装置に本発明を適用した場合について説明する。

【 0 0 2 1 】

第 1 実施形態による液晶表示装置 1 0 0 は、図 1 に示すように、駆動部 1 と表示部 2 とから構成されている。

【 0 0 2 2 】

駆動部 1 は、A / D コンバータ 1 1 と、水平同期信号 P L L 回路 1 2 と、メモリ制御部 1 3 と、メモリ 1 4 と、アナログドライバ 1 5 と、タイミング制御回路 1 6 と、レベル変換回路 1 7 と、L E D 制御回路 1 8 と、A / D C O M ドライバ 1 9 と、マイコン部 2 0 とを備えている。また、第 1 実施形態では、駆動部 1 は、ラインカウンタ 2 1 と、分周比設定部 2 2 と、メインクロック P L L 回路 2 3 とを備えている。なお、ラインカウンタ 2 1

10

20

30

40

50

は、本発明における「カウンタ」の一例である。

【0023】

A/Dコンバータ11と、PLL回路12と、メモリ制御部13とは接続されている。A/Dコンバータ11は、アナログのビデオ信号をR(赤)G(緑)B(青)のデジタル信号に変換する機能を有する。また、水平同期信号PLL回路12は、水平同期信号からメモリ14に書き込むクロックを生成するとともに、フィールドシーケンシャル駆動に必要なクロックを生成する機能を有する。また、メモリ制御部13は、RGBのデジタル信号に変換されたビデオ信号をRGB毎にメモリ14に格納するタイミング信号を生成するとともに、フィールドシーケンシャル駆動に必要な呼び出しのタイミング信号を生成する機能を有する。また、A/Dコンバータ11およびメモリ制御部13は、メモリ14に接

10

【0024】

アナログドライバ15は、メモリ14に接続されている。アナログドライバ15は、メモリ14に記憶されたRGBのデジタル信号を読み出してRGBのアナログ信号に変換するとともに、RGBのアナログ信号を表示部2に供給する機能を有する。

【0025】

タイミング制御回路16は、メモリ14と、レベル変換回路17と、LED制御回路18と、A/DCOMドライバ19と、メインクロックPLL回路23とに接続されている。また、タイミング制御回路16は、後述する画素32を駆動するタイミング信号を生成する機能を有する。また、レベル変換回路17は、画素32を駆動するためのパルス(水平・垂直コントロール信号、フィールドシーケンシャル駆動用コントロール信号)を生成する機能を有する。また、LED制御回路18は、フィールドシーケンシャル駆動のタイミングに合わせて後述するLED36の発光および発光の停止を制御する機能を有する。また、A/DCOMドライバ19は、後述する共通電極32cへ供給するCOM電圧を決定するとともに、決定したCOM電圧を共通電極32cに機能を有する。

20

【0026】

マイコン部20は、駆動部1に含まれる全ての回路と接続されており(図示せず)、駆動部1全体の動作を制御する機能を有している。

【0027】

ここで、第1実施形態では、ラインカウンタ21は、映像信号の書き込みを行う画素32が配置されている行(ライン)を数値に置き換える機能を有する。つまり、第1実施形態では、ラインカウンタ21により、書き込みを行う画素32の位置を行毎に識別可能のように構成されている。また、分周比設定部22は、ラインカウンタ21により数値化された行の位置に基づいて、メインクロックPLL回路23において比較パルスを分周する機能を有する。また、この比較パルスは、メイン動作クロックを生成するためのパルスであるとともに、メインクロックPLL回路23に供給される。なお、分周とは、一定周期の周波数を整数分の1に下げる動作のことである。また、メインクロックPLL回路23は、分周比設定部22から供給された比較パルスに基づいてメイン動作クロックを生成する機能を有する。また、メインクロックPLL回路23は、メモリ14からの読出し、表示部2の駆動に必要な基本クロックを生成する機能を有する。

30

40

【0028】

また、表示部2は、基板31と、複数の画素32と、各画素32に接続されるHドライバ33およびVドライバ34と、Hドライバ33およびVドライバ34を駆動する内部駆動回路35と、画素32のバックライトとして赤色(R)、緑色(G)および青色(B)を発光する3つのLED(発光ダイオード素子)36(36a~36c)とを備えている。なお、LED36は、本発明における「発光装置」の一例である。

【0029】

また、図2に示すように、基板31(図1参照)上には、複数のデータ線37と、複数のゲート線38とが互いに直交するように配置されている。データ線37は、それぞれ、TFT(薄膜トランジスタ)からなるスイッチ部(ASW)39を介してHドライバ33

50

に接続されている。また、各スイッチ部 3 9 のゲートは、X 方向ゲート線 4 0 に接続されている。また、ゲート線 3 8 は、それぞれ、V ドライバ 3 4 に設けられた Y 方向シフトレジスタ 3 4 a に接続されている。また、データ線 3 7 とゲート線 3 8 とが交差する位置には、それぞれ、画素 3 2 が配置されている。各画素 3 2 は、n 型の T F T からなる画素トランジスタ 3 2 a と、画素電極 3 2 b と、画素電極 3 2 b に対向配置された共通電極 3 2 c と、画素電極 3 2 b と共通電極 3 2 c との間に挟まれるようにして保持された液晶 3 2 d と、補助容量 3 2 e とを含んでいる。そして、画素トランジスタ 3 2 a のドレイン領域は、データ線 3 7 に接続されているとともに、ソース領域は、画素電極 3 2 b と補助容量 3 2 e の一方の電極とに接続されている。また、画素トランジスタ 3 2 a のゲートはゲート線 3 8 に接続されている。なお、データ線 3 7 は、本発明における「信号線（信号伝送線）」の一例である。

10

【0030】

図 3 ~ 図 7 は、本発明の第 1 実施形態による液晶表示装置の画素部分の等価回路図である。図 8 は、本発明の第 1 実施形態による液晶表示装置の書き込み期間を説明するための図である。次に、図 1 ~ 図 8 を参照して、本発明の第 1 実施形態による液晶表示装置 1 0 0 の動作について説明する。

【0031】

まず、図 1 に示すように、駆動部 1 において、アナログのビデオ信号が A / D コンバータ 1 1 に入力されるとともに、アナログのビデオ信号が R G B のデジタル信号に変換される。また、水平・垂直同期信号が P L L 回路 1 2 に入力される。また、メモリ制御部 1 3 によって生成されたタイミング信号（赤色、緑色および青色の信号毎にメモリ 1 4 に格納する信号）に従って、A / D コンバータ 1 1 により変換された R G B のデジタル信号がメモリ 1 4 に格納される。

20

【0032】

また、タイミング制御回路 1 6 により、R G B の映像データの書き込みのタイミング信号、映像データの書き込みにおける R G B の順序の切り替えのタイミング信号、および、L E D 3 6 の発光のタイミング信号が生成される。このタイミング制御回路 1 6 により生成された R G B の映像データの書き込みのタイミング信号、および、映像データの画素 3 2 への書き込みにおける R G B の順序の切り替えのタイミング信号に基づいて、水平・垂直コントロール信号およびフィールドシーケンシャル駆動用コントロール信号がレベル変換回路 1 7 を介して、表示部 2 に供給される。これにより、R G B の映像データの書き込み、および、画素 3 2 への書き込みにおける R G B の順序の切り替えが行われる。

30

【0033】

また、タイミング制御回路 1 6 により生成された L E D 3 6 の発光のタイミング信号に基づいて、L E D 制御回路 1 8 からの信号により、1 フレーム（1 つの画面が表示されている期間）の間に、赤色映像信号の書き込み、赤色の L E D 3 6 a の発光、緑色映像信号の書き込み、緑色の L E D 3 6 b の発光、青色映像信号の書き込み、および、青色の L E D 3 6 c の発光がそれぞれ 1 回ずつ行われるフィールドシーケンシャル駆動が行われる。

【0034】

次に、図 1 ~ 図 8 を参照して、各色の映像信号の書き込み時における動作について説明する。

40

【0035】

上述の映像信号の書き込み時における動作については、図 2 に示すように、各画素 3 2 に書き込むための映像信号（図 2 のビデオ 1、ビデオ 2・・・）が、H ドライバ 3 3 から各データ線 3 7 に一斉に供給される。そして、X 方向ゲート線 4 0 からオン信号が供給されることにより、各スイッチ部 3 9 のゲートが一斉にオン状態になる。また、このとき、Y 方向シフトレジスタ 3 4 a から、各ゲート線 3 8 に順次オン信号が供給され始める。これにより、まず、H ドライバ 3 3 から一斉に 1 行目の画素 3 2 に対応する映像信号が出力されるとともに、Y 方向シフトレジスタ 3 4 a から 1 行目の画素トランジスタ 3 2 a のゲートにオン信号が供給される。そして、映像信号は、各スイッチ部 3 9 と、1 行目に配置

50

された各画素トランジスタ 3 2 a のドレインおよびソース間とを介して各画素電極 3 2 b に供給される。これにより、1 行目に配置された各画素 3 2 に対して書き込みが行われる。次に、1 行目と同様にして、H ドライバ 3 3 から一斉に 2 行目の各画素 3 2 に対応する映像信号が出力されるのと同時に、Y 方向シフトレジスタ 3 4 a から 2 行目の画素トランジスタ 3 2 a のゲートにオン信号が供給される。これにより、映像信号は、2 行目に配置された各画素電極 3 2 b に供給されることにより、2 行目の各画素 3 2 に対する書き込みが行われる。また、3 行目以降も同様の動作を行うことにより、第 1 実施形態では、各行毎に順次書き込みを行う線順次方式により書き込みが行われる。

【0036】

また、第 1 実施形態では、各画素 3 2 に対して行毎に映像信号の書き込みを行う際に、各画素 3 2 までのデータ線 3 7 の距離に応じて画素 3 2 への書き込み時間を制御する。具体的には、データ線 3 7 の画素 3 2 までの距離の増減に伴って変化するデータ線 3 7 の配線抵抗および配線容量の大きさに基づいて画素 3 2 への書き込み時間を制御する。以下、詳細に説明する。

【0037】

行列状（マトリクス状）に配置された画素 3 2 を含む表示部 2 において、図 3 に示すように、1 列目のデータ線 3 7 部分の分布定数回路を集中定数回路の等価回路として近似する場合、スイッチ部 3 9 の抵抗は R_{ASW1} により表される。また、画素トランジスタ 3 2 a の抵抗と、画素電極 3 2 b および共通電極 3 2 c と、補助容量 3 2 e の容量とは、それぞれ、 R_{TFT} 、 C_{LC} および C_S により表される。また、1 列目のデータ線 3 7 の配線抵抗および配線容量は、それぞれ、 R_{SRC1} および C_{SRC1} により表される。また、2 列目のデータ線 3 7 の配線抵抗および配線容量は、それぞれ、 R_{SRC2} および C_{SRC2} により表される。なお、3 列目以降のデータ線 3 7 の配線抵抗および配線容量も、1 列目および 2 列目と同様に、 R_{SRC3} 、 R_{SRC4} 、 $\dots$ 、および、 C_{SRC3} 、 C_{SRC4} 、 $\dots$ と表される。以上により、1 つの列における等価回路は図 4 のようになる。

【0038】

これにより、たとえば、画素 3 2 が 240 行配置された場合において、1 行目の画素 3 2 における等価回路は図 5 のようになる。このとき、図 5 に示すように、1 行目の画素 3 2 では、スイッチ部 3 9 (R_{ASW1}) と画素トランジスタ 3 2 a (R_{TFT}) との接続部分であるノード 1 ($N1$) から下の行の部分に 240 行分の配線抵抗および配線容量が存在する。つまり、行と行の間には、それぞれ、239 個分の配線抵抗 ($R_{SRC} \times 239$) および配線容量 ($C_{SRC} \times 239$) が存在する。なお、配線抵抗は、分布定数回路を集中定数回路として扱う場合の値は約 $1/2$ になることにより、 $(R_{SRC} \times 239) \div 2$ の値となる。

【0039】

また、たとえば、画素 3 2 が 240 行配置された場合において、2 行目の画素 3 2 における等価回路は図 6 のようになる。このとき、図 6 に示すように、2 行目の画素 3 2 では、スイッチ部 3 9 (R_{ASW1}) および R_{SRC1} (1 行目の配線抵抗) と画素トランジスタ 3 2 a との接続部分であるノード 2 ($N2$) から下の行の部分に 239 行分の配線抵抗および配線容量が存在する。つまり、行と行の間には、それぞれ、238 個分の配線抵抗 ($R_{SRC} \times 238$) および配線容量 ($C_{SRC} \times 238$) が存在する。

【0040】

また、たとえば、画素 3 2 が 240 行配置された場合において、 n 行目 ($n = 1, 2, \dots, 240$) における等価回路は図 7 のようになる。このとき、図 7 に示すように、 n 行目の画素 3 2 では、データ線 3 7 と画素トランジスタ 3 2 a との接続部分であるノード n (Nn) より上の行の部分には、スイッチ部 3 9 (R_{ASW1}) および $R_{SRC} \times (n - 1)$ ($n - 1$ 行目までの配線抵抗) が存在する。また、ノード n (Nn) から下の行の部分には、 $240 - (n - 1)$ 行分の配線抵抗および配線容量が存在する。つまり、行と行の間には、それぞれ、 $239 - (n - 1)$ 個分の配線抵抗 ($R_{SRC} \times (239 -$

10

20

30

40

50

$n - 1$)) および配線容量 ($C_{SR C} \times (239 - n - 1)$) が存在する。以上のように、各列において配線抵抗および配線容量が存在する。

【0041】

ここで、RC からなる分布定数回路を集中定数回路に近似した場合、時定数 (τ) は、 $\tau = nR \times nC / 2 = n^2 RC / 2$ に近似される。なお、 n は、それぞれ、抵抗 R およびキャパシタ C の個数である。また、時定数 (τ) とは、回路の応答の速さを表す指標であり、単位は s (秒) である。また、上記の式から、時定数 (τ) は、 R および C の個数が増加するのに対して時定数が大きくなる。つまり、配線抵抗 ($R_{SR C}$) および配線容量 ($C_{SR C}$) の個数が増加するほど書き込み時間が大きくなる。

【0042】

以上により、第1実施形態では、画素32への書き込み時間は、時定数の大きさに基づいて設定される。つまり、時定数の大きさに応じてメイン動作クロックの周波数を調整することにより書き込み時間が決定される。そして、図8に示すように、1垂直期間において、上段の行であるほど画素32への書き込み時間が短縮されるとともに、下段の行であるほど画素32への書き込み時間が延長される。

【0043】

具体的な制御としては、図1に示すように、まず、画素32への書き込み時において、ラインカウンタ21により書き込みを行う画素32が配置された行が数値化される。そして、書き込みを行う画素32に対応する行の位置を表す数値に基づいて分周比設定部22により比較パルスに分周する。ここで、行の位置が下段であるほど分周比が下げられる。これにより、行の位置が下段であるほど比較パルスの周波数が下げられる。そして、この比較パルスから、メインクロックPLL回路23によりメイン動作クロックを生成する。これにより、メイン動作クロックは、上段の行への書き込みに対応するクロックであるほど高い周波数になるように生成されるとともに、下段の行への書き込みに対応するクロックであるほど低い周波数になるように生成される。そして、生成されたメイン動作クロックはタイミング制御回路16、メモリ14およびアナログドライバ15を介して表示部2側に出力される。

【0044】

図9および図10は、それぞれ、本発明の第1実施形態による液晶表示装置を用いた電子機器の一例および他の例を説明するための図である。次に、図9および図10を参照して、本発明の第1実施形態による液晶表示装置100を用いた電子機器について説明する。

【0045】

本発明の一実施形態による液晶表示装置100は、図9および図10に示すように、携帯電話50およびPC (Personal Computer) 60などに用いることが可能である。図9の携帯電話50においては、表示画面50aに本発明の第1実施形態における液晶表示装置100が用いられる。また、図10のPC60においては、キーボード60aなどの入力部および表示画面60bなどに用いることが可能である。また、周辺回路を液晶パネル内の基板に内蔵することにより部品点数を大幅に減らすとともに、装置本体の軽量化および小型化を行うことが可能になる。

【0046】

第1実施形態では、上記のように、線順次書き込み方式により駆動するように構成するとともに、画素32への書き込みの際、各行毎に、データ線37における配線抵抗および配線容量の大きさに基づいて画素32への書き込み時間が制御されるように構成することによって、データ線37に含まれる配線抵抗および配線容量に基づいて書き込み時間を制御するので、画素32に対する書き込み時間を、行毎に容易に設定することができる。また、画素32に対する書き込み時間を行毎に設定することができるので、全ての画素32に対してそれぞれ均一に書き込み期間を設定することなく、データ線32に含まれる配線抵抗および配線容量の大きさに応じて、映像信号の書き込み時間を短くするように変化させることができる。したがって、必要以上の書き込み期間が設定されるのを抑制すること

10

20

30

40

50

ができるので、その分、書き込み期間を短くすることができる。

【0047】

また、第1実施形態では、データ線37における各画素32までの距離（配線抵抗および配線容量の大きさ）に応じて、画素32への映像信号の書き込み時間を変化させるように構成することによって、映像信号の伝送経路が最も長い画素32に対して必要な書き込み時間を各画素32に対する書き込み期間として均一に設定することなく、データ線37の距離に応じて各画素32に対して必要な期間のみを、それぞれ書き込み期間に設定することができるので、合計の書き込み期間を短くすることができる。また、データ線37の距離により変化する配線抵抗および配線容量に基づいて画素32への書き込み時間が制御されるので、画素32に対して必要な書き込み時間を正確に設定することができる。

10

【0048】

また、第1実施形態では、書き込みを行う画素32までのデータ線37の距離の増加（配線抵抗および配線容量の増加）に応じて書き込み時間が長くなるように制御することによって、データ線37における配線抵抗および配線容量の大きさに応じて、映像信号の伝送経路が短い画素32に対しては、書き込み時間を短くするように設定することができるとともに、映像信号の伝送経路が長い画素32ほど書き込み時間を長くするように設定することができる。

【0049】

また、第1実施形態では、ラインカウンタ21により書き込みが行われる画素32の行を数値化するように構成することによって、書き込みを行う画素32の行を正確に識別することができる。また、ラインカウンタ21により数値化された画素32の行の位置に基づいて、容易に必要な書き込み時間を制御することができる。また、画素32への書き込み時間を行毎に制御するように構成した分、画素32毎に個別に書き込み時間を制御する場合に比べて、回路が複雑化するのを抑制することができる。

20

【0050】

（第2実施形態）

図11は、本発明の第2実施形態による液晶表示装置の全体構成を示すブロック図である。図12および図13は、本発明の第2実施形態による液晶表示装置の画素部分における等価回路図である。図11～図13を参照して、第2実施形態では、行毎に書き込み時間を制御した第1実施形態とは異なり、画素毎に書き込み時間を制御する例について説明する。

30

【0051】

第2実施形態における液晶表示装置200では、駆動部1に、図11に示すように、書き込みを行う画素32の位置を各画素32毎に数値に置き換える機能を有するビットカウンタ211が設けられている。また、図12に示すように、TFTからなるスイッチ部39の一方の端子には、第1実施形態と同様に、データ線37が接続されている。また、各スイッチ部39の他方の端子には、映像信号を供給するための映像信号線212が接続されている。また、各スイッチ部39のゲートは、それぞれ、Hドライバ33に設けられたX方向シフトレジスタ33aと接続されている。

【0052】

第2実施形態のその他の構成は、上記第1実施形態と同様である。

40

【0053】

また、映像信号の書き込み時の動作においては図12に示すように、X方向シフトレジスタ33aからオン信号が供給された列に対応するスイッチ部39のみがオン状態になるとともに、Y方向シフトレジスタ34aからオン信号が供給された行に対応する画素トランジスタ32aのみがオン状態になる。これにより、1つの画素32のみが選択された状態（書き込み可能な状態）になるとともに、選択された画素32に対して書き込みが行われる。

【0054】

具体的な制御としては、図11に示すように、まず、画素32への書き込み時において

50

、ビットカウンタ 2 1 1 により書き込みが行われる画素 3 2 の位置が数値化される。そして、画素 3 2 の位置を表す数値に基づいて分周比設定部 2 2 により比較パルスを分周する。そして、この比較パルスから、メインクロック P L L 回路 2 3 によりメイン動作クロックを生成する。ここで、メイン動作クロックは、上段の行および上段の列に配置された画素 3 2 への書き込みに対応するクロックであるほど高い周波数になるように生成され、下段の行および下段の列に配置された画素 3 2 への書き込みに対応するクロックであるほど低い周波数になるように生成される。そして、生成されたメイン動作クロックはタイミング制御回路 1 6、メモリ 1 4 およびアナログドライバ 1 5 を介して表示部 2 側に出力される。

【 0 0 5 5 】

第 2 実施形態では、上記のように、ビットカウンタ 2 1 1 により、書き込みを行う画素 3 2 の位置を各画素 3 2 毎に数値化するとともに、数値化した値に基づいて映像信号の書き込み時間を各画素 3 2 毎に変化させるように構成することによって、書き込みを行う画素 3 2 の位置に応じて書き込み時間を制御することができる。また、画素 3 2 毎に書き込み時間を制御することによって、書き込みを行う際に、各画素 3 2 に対して必要な書き込み時間をより細かく制御することができる。

【 0 0 5 6 】

また、第 2 実施形態では、点順次書き込み方式により駆動するように構成するとともに、画素 3 2 への書き込みの際、画素 3 2 毎に、映像信号線 2 1 2 およびデータ線 3 7 に含まれる配線抵抗および配線容量の大きさに基づいて書き込み時間を制御するように構成する。これにより、映像信号線 2 1 2 およびデータ線 3 7 に含まれる配線抵抗および配線容量に基づいて書き込み時間を制御するので、画素 3 2 毎に対する書き込み時間を、容易に設定することができる。

【 0 0 5 7 】

なお、第 2 実施形態のその他の効果は、第 1 実施形態の効果と同様である。

【 0 0 5 8 】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【 0 0 5 9 】

たとえば、上記第 1 および第 2 実施形態では、バックライト用の光源として L E D (発光ダイオード素子) を用いる例を示したが、本発明はこれに限らず、L E D 以外のバックライト用の光源を用いてもよい。

【 0 0 6 0 】

また、上記第 1 実施形態では、1 行毎に画素への書き込み時間を変化させる例を示したが、本発明はこれに限らず、複数行毎に書き込み時間を変化させてもよい。この場合、1 行ごとに画素への書き込み時間を変化させる場合に比べて、より回路を簡素化することができる。

【 0 0 6 1 】

また、上記第 1 実施形態では、図 9 および図 1 0 において、第 1 実施形態による液晶表示装置 1 0 0 を用いた電子機器の例を示したが、本発明はこれに限らず、第 2 実施形態による液晶表示装置 2 0 0 も上述した電子機器へ適用可能である。

【 0 0 6 2 】

また、上記第 2 実施形態では、各画素毎に書き込み時間を変化させる例を示したが、本発明はこれに限らず、複数個の画素毎に書き込み時間を変化させてもよい。この場合、各画素毎に書き込み時間を変化させる場合に比べて、より回路を簡素化することができる。

【 図面の簡単な説明 】

【 0 0 6 3 】

【 図 1 】 本発明の第 1 実施形態による液晶表示装置の全体構成を示すブロック図である。

10

20

30

40

50

【図 2】本発明の第 1 実施形態による液晶表示装置の画素部分における等価回路図である。

【図 3】本発明の第 1 実施形態による液晶表示装置の画素部分における等価回路図である。

【図 4】本発明の第 1 実施形態による液晶表示装置の画素部分における等価回路図である。

【図 5】本発明の第 1 実施形態による液晶表示装置の画素部分における等価回路図である。

【図 6】本発明の第 1 実施形態による液晶表示装置の画素部分における等価回路図である。

【図 7】本発明の第 1 実施形態による液晶表示装置の画素部分における等価回路図である。

【図 8】本発明の第 1 実施形態による液晶表示装置の書き込み期間を説明するための図である。

【図 9】本発明の第 1 実施形態による液晶表示装置を用いた電子機器の一例を示す図である。

【図 10】本発明の第 1 実施形態による液晶表示装置を用いた電子機器の一例を示す図である。

【図 11】本発明の第 2 実施形態による液晶表示装置の全体構成を示すブロック図である。

【図 12】本発明の第 2 実施形態による液晶表示装置の画素部分における等価回路図である。

【図 13】本発明の第 2 実施形態による液晶表示装置の画素部分における等価回路図である。

【符号の説明】

【 0 0 6 4 】

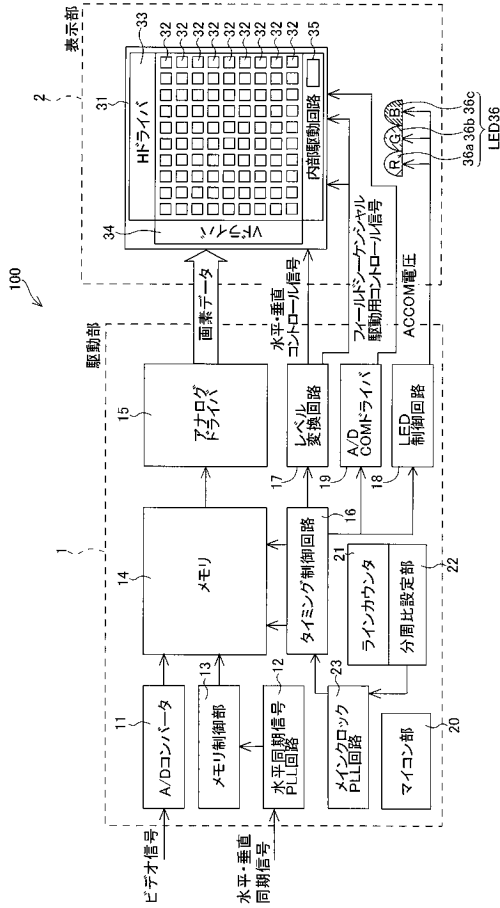
3 2	画素
2 1	ラインカウンタ (カウンタ)
2 2	分周比設定部
3 6	発光ダイオード素子 (発光装置)
3 7	データ線 (信号線)
3 9	スイッチ部
5 0	携帯電話 (電子機器)
6 0	P C (電子機器)
1 0 0、2 0 0	液晶表示装置 (表示装置)
2 1 1	ビットカウンタ (カウンタ)
2 1 2	映像信号線

10

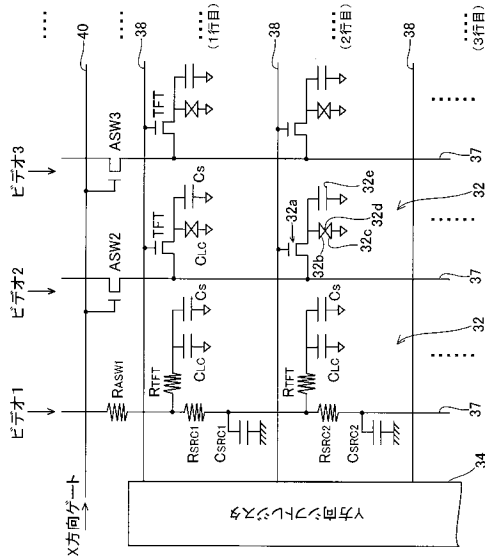
20

30

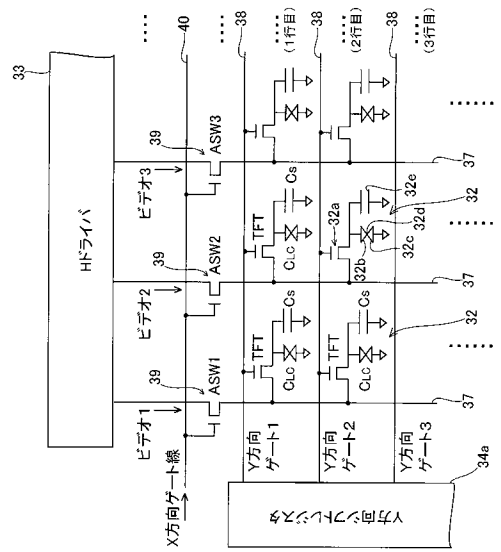
【図 1】



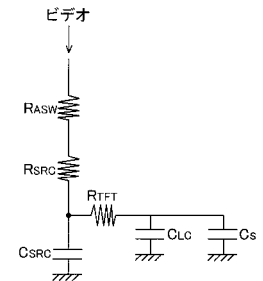
【図 3】



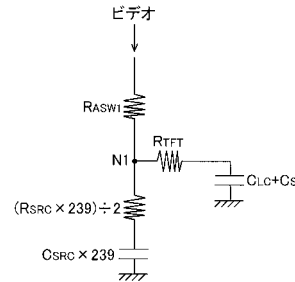
【図 2】



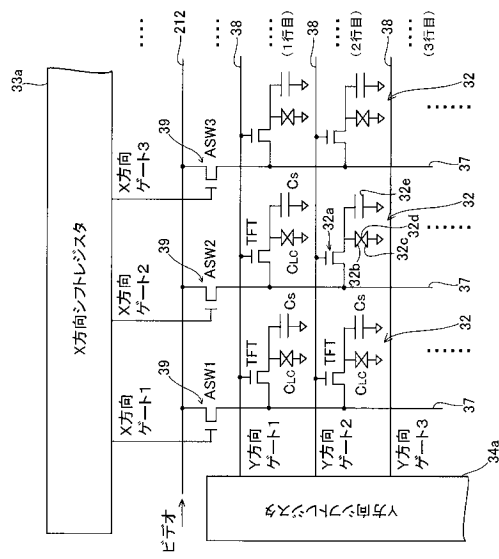
【図 4】



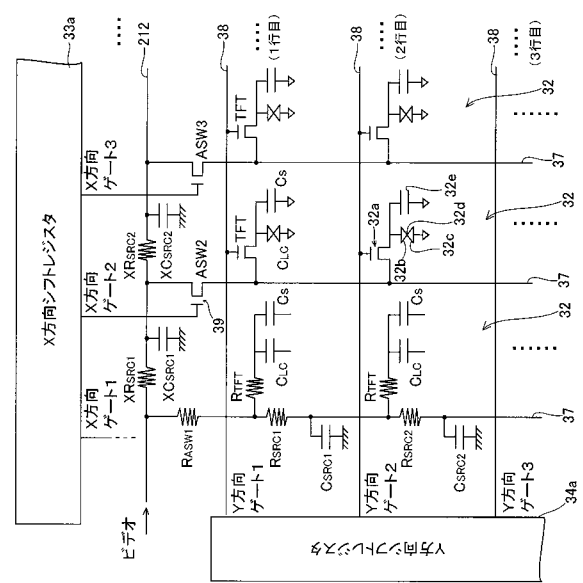
【図 5】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 1 0

G 0 2 F 1/133 5 3 5

G 0 2 F 1/133 5 5 0

F ターム(参考) 2H093 NA16 NA42 NA53 NA65 NC10 NC12 NC21 NC22 NC24 NC28
NC34 NC35 NC43 NC50 ND17 ND60 NE06
2H193 ZA04 ZC22 ZD23 ZF22 ZF36
5C006 AC11 AC24 AF42 AF46 AF72 BB16 BC03 BC11 FA12 FA37
5C080 AA10 BB05 DD08 EE29 FF07 FF11 FF12 JJ02 JJ03 JJ06
KK01 KK47

专利名称(译)	显示设备和电子设备		
公开(公告)号	JP2009175303A	公开(公告)日	2009-08-06
申请号	JP2008012283	申请日	2008-01-23
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	佐藤政俊		
发明人	佐藤 政俊		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3688 G09G2310/0235 G09G2310/08 G09G2320/0223		
FI分类号	G09G3/36 G09G3/20.621.F G09G3/20.622.D G09G3/20.623.D G09G3/20.641.E G02F1/133.510 G02F1/133.535 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA42 2H093/NA53 2H093/NA65 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC22 2H093/NC24 2H093/NC28 2H093/NC34 2H093/NC35 2H093/NC43 2H093/NC50 2H093/ND17 2H093/ND60 2H093/NE06 2H193/ZA04 2H193/ZC22 2H193/ZD23 2H193/ZF22 2H193/ZF36 5C006/AC11 5C006/AC24 5C006/AF42 5C006/AF46 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC11 5C006/FA12 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF07 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK01 5C080/KK47 2H193/ZA05 2H193/ZC25 2H193/ZF18 2H193/ZG02 2H193/ZG14 2H193/ZG27 2H193/ZG34 2H193/ZH46 2H193/ZH54		
代理人(译)	须泽 修 宫坂和彦		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够缩短写入周期的显示设备。 解决方案：该液晶显示装置（显示装置）100包括多个像素32，像素32，视频信号到像素32的写入时间根据像素32的位置而改变 那。结果，根据像素32的位置，视频信号的写入时间改变 因此，抑制了超过必要的写入周期的设置。所以，一切 与为像素32设置恒定写入时段的情况相比，写入时段变短。 点域1

