

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-304938

(P2008-304938A)

(43) 公開日 平成20年12月18日(2008.12.18)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 612U	5C006
G02F 1/133 (2006.01)	G09G 3/20 621K	5C080
	G09G 3/20 622R	
	G09G 3/20 650B	
審査請求 有 請求項の数 2 O L (全 10 頁) 最終頁に続く		

(21) 出願番号	特願2008-215405 (P2008-215405)	(71) 出願人	000006013
(22) 出願日	平成20年8月25日 (2008.8.25)		三菱電機株式会社
(62) 分割の表示	特願平11-220931の分割		東京都千代田区丸の内二丁目7番3号
原出願日	平成11年8月4日 (1999.8.4)	(74) 代理人	100065226
			弁理士 朝日奈 宗太
		(72) 発明者	高橋 盛毅
			熊本県合志市御代志997番地 株式会社
			アドバンスト・ディスプレイ内
		Fターム(参考)	2H093 NA16 NA63 NA64 NC10 NC12
			NC27 NC34 NC35 ND50 ND54
			NH06 NH16 NH18
			5C006 AA16 AA22 AC24 AF42 AF51
			AF53 AF61 BB16 BC06 BF03
			BF22 BF24 FA04 FA07 FA31
			FA32 GA01
			最終頁に続く

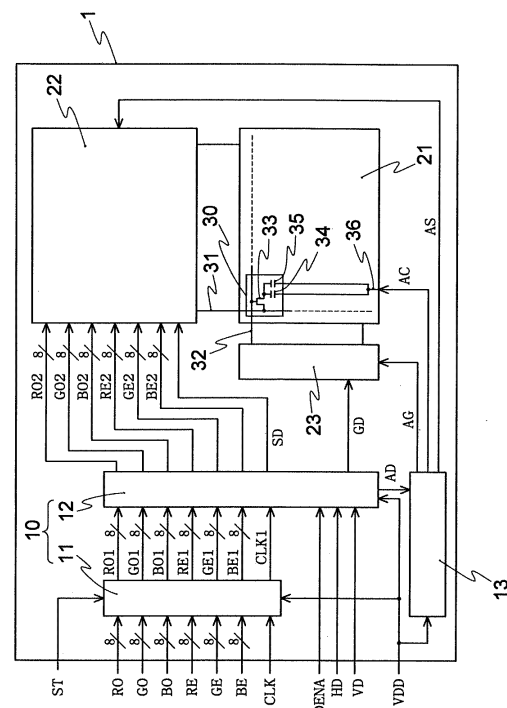
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示データ信号の入力方式が1クロック毎2画素方式であるか、1クロック毎1画素方式であるかに応じて表示装置内での信号処理方法を変更し、いずれの入力方式に対しても同じ内部表示信号を生成するための回路設定を、液晶表示装置の外部よりの入力信号で行なう。

【解決手段】液晶表示装置への表示データ信号入力方式が1クロック毎2画素方式または1クロック毎1画素方式のいずれの場合にも対応できるように、前記表示データ信号入力方式に応じて回路内での信号処理方法を選択し、入力方式に関わらず同じ内部表示データ信号を生成する入力選択回路を備え、該入力選択回路の信号処理方法を選択するための設定信号を外部から入力するための入力端子を備えた。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

液晶表示装置の内部に配置されるタイミング制御回路であって、
前記液晶表示装置の水平方向に並ぶ表示画素数に対応する、1 水平同期信号期間における
前記入力表示イネーブル信号期間中のクロック信号をカウントすることによって、当該液
晶表示装置への表示データ信号入力方式が 1 クロック毎 2 画素方式もしくは 1 クロック毎
1 画素方式のいずれであるかを判定する判定回路部と、
該判定回路の判定結果に応じて前記タイミング制御回路内での表示データの信号処理方法
を選択し、入力方式に関わらず同じ前記表示データ信号を生成する入力選択回路部と、
前記表示データ信号を入力して前記液晶表示装置内部の駆動 I C を制御する駆動 I C 制御
回路部と、を具備する液晶表示装置用タイミング制御回路。

10

【請求項 2】

上記判定を水平同期信号周期毎に行なうことを特徴とする請求項 1 に記載の液晶表示装置
用タイミング制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置における表示データ信号入力方式切り替えに関するものである。

【背景技術】

【0002】

20

図 5 は従来の T F T（薄膜トランジスタ）をスイッチング素子に用いたアクティブマト
リクス型液晶表示装置の回路構成図である。1 は液晶表示装置であり、10 はデジタル制
御回路、11 は 10 の内部にある入力選択回路、12 は 10 の内部にある駆動 I C 制御信
号生成回路、13 はアナログ信号生成回路、21 は液晶セル、22 はソース駆動 I C、2
3 はゲート駆動 I C である。

【0003】

液晶セル内は複数の平行なソース配線 31、ゲート配線 32 が設けられており、それぞ
れソース駆動 I C 22、ゲート駆動 I C 23 によって駆動される。ソース配線 31、ゲー
ト配線 32 の各交点に表示画素 30 が設けられており、各画素にはスイッチング素子 33
として T F T が設けられている。このように液晶セルの複数の表示画素において、液晶を
各 T F T で駆動して液晶層の透過率を抑制し、更に光源である液晶セル下のバックライト
光の透過光を制御することによって画像表示を行なう。各 T F T にはソース、ゲート配線
が接続されており、ソース配線と反対側の端子（ドレイン）は液晶容量 34、保持容量 3
5 に接続されている。液晶容量 34、保持容量 35 は液晶セル内で共通配線 36 に接続さ
れている。

30

【0004】

R O、G O、B O は奇数列の液晶表示装置 1 への入力表示データ信号、R E、G E、B
E は偶数列の液晶表示装置 1 への入力表示データ信号、C L K は液晶表示装置 1 への入力
クロック信号、D E N A は液晶表示装置 1 への表示データ期間を伝える入力表示イネー
ブル信号、H D は液晶表示装置 1 への入力水平同期信号、V D は液晶表示装置 1 への入力垂
直同期信号、V D D は液晶表示装置 1 への入力電源電圧である。ここで R O、R E は入力
赤色表示データ信号、G O、G E は入力緑色表示データ信号、B O、B E は入力青色表示
データ信号であり、それぞれ表示色数に応じてそのビット数変る。この場合は 8 ビット
を想定しているので、各表示データ信号は 8 本である。配線に付記した数字 8 と斜線は、
8 ビットであることを示している。

40

【0005】

R O 1、G O 1、B O 1、R E 1、G E 1、B E 1 は入力選択回路 11 で選択された表
示データ信号、C L K 1 は入力選択回路 11 で選択されたクロック信号である。

【0006】

R O 2、G O 2、B O 2、R E 2、G E 2、B E 2 はソース駆動 I C 22 に入力される

50

表示データ信号、SDはソース駆動IC22にされる制御信号、GDはゲート駆動IC23にされる制御信号、ADはアナログ信号生成回路13にされる制御信号、ASはソース駆動IC22にされるアナログ信号、AGはゲート駆動IC23にされるアナログ信号、ACは共通配線36にされるアナログ信号である。

【0007】

入力される表示データ信号の入力方式については、前記のように各R、G、B8ビットデータ列を奇数列と偶数列に分け、1クロック周期に2データを並列に入力する方式と、分割をしないで1クロック周期に1データのみを入力する方式とがある。図4(a)、(b)に両方式の表示データ信号のタイミングを示す。前者を1クロック毎2画素方式、後者を1クロック毎1画素方式と呼ぶ。1クロック毎2画素方式ではクロック周波数を半分にできるため、高精細液晶表示装置において信号周波数が高くなった時に、クロック周波数を低下させることによって電磁輻射を抑制し、信号歪みによる回路のサンプリングエラー等による表示ノイズを低減するのに有効である。たとえば、表示画素数が1024×768であるXGA仕様の液晶表示装置では、一般に1クロック毎1画素方式におけるクロック周波数は65MHzにあるが、1クロック毎2画素方式を採用すればクロック周波数は32.5MHzに低減できる。一方、1クロック毎1画素方式ではクロック毎の入力信号数を1クロック毎2画素方式の半分に減少できるため、コネクタ、ケーブルの極数を減らすことにより、コスト低減が可能になる。このように、両方式にはそれぞれ長所、短所があるため、一般に信号源装置から液晶表示装置に入力する信号の形態については1クロック毎2画素方式と1クロック毎1画素方式の両方が用いられている。

【0008】

そこで、液晶表示装置に汎用性をもたせるためには、両方式の表示データ信号が入力できるようにする必要がある。たとえば、1クロック毎2画素方式の場合には、奇数列入力表示データ信号をRO、GO、BOに、偶数列入力表示データ信号をRE、GE、BEにそれぞれ入力する。一方、1クロック毎1画素方式の場合には奇数列、偶数列に分離されていないシリアルな入力表示データ信号をRO、GO、BOに入力し、RE、GE、BEには信号を入力しない。

【0009】

ここで、液晶表示装置内でデジタル制御回路10からソース駆動IC22に入力する各R、G、B8ビットデータ列については、駆動ICの動作周波数の制限から、前記のXGA仕様の場合には一般に1クロック毎2画素方式が適用されている。したがって、表示データの入力方式に応じて回路内で処理方法を選択し、入力選択回路11からは入力方式に関わらず常に同じRO1、GO1、BO1、RE1、GE1、BE1信号を出力する必要がある。

【0010】

図6は入力選択回路11の内部を説明した回路構成図である。101はデータバッファ回路、102はCLKを分周、位相調整し、各回路のクロックを生成するクロック制御回路である。ROS、GOS、BOSはデータバッファ回路101によってRO、GO、BOの位相、電圧を調整された信号であり、1クロック毎2画素方式の場合にはそのまま奇数列のデータ信号になる。一方、1クロック毎1画素方式の場合には、奇数、偶数列に分離されていないシリアルなデータ信号になる。

【0011】

RES、GES、BESはデータバッファ回路101によってRE、GE、BEの位相、電圧を調整された信号であり、1クロック毎2画素方式の場合にはそのまま偶数列のデータ信号になる。一方、1クロック毎1画素方式の場合には何も入力されない。

【0012】

103は奇数、偶数列に分離されていないシリアルなデータ信号を分周して奇数列信号を生成するシリアル・並列変換回路、104は奇数、偶数列に分離されていないシリアルなデータ信号を分周して偶数列信号を生成するシリアル・並列変換回路、ROPO、GOPO、BOPPOは前記103で生成された奇数列データ信号、ROPE、GOPE、BO

10

20

30

40

50

P Eは前記104で生成された偶数列データ信号、C L K P Oは102で生成され、103において分周に用いるクロック信号、C L K P Eは102で生成され、104において分周に用いるクロック信号である。

【0013】

105はデータ入力方式が1クロック毎2画素方式であるか、1クロック毎1画素方式であるかに応じて1画素方式のときはR O P O、G O P O、B O P Oを、2画素方式のときはR O S、G O S、B O Sを選択し、いずれの場合もR O 1、G O 1、B O 1として出力する奇数列切替回路、106は入力方式が1クロック毎2画素方式であるか、1クロック毎1画素方式であるかに応じて1画素方式のときはR O P E、G O P E、B O P Eを、2画素方式のときはR E S、G E S、B E Sを選択し、いずれの場合もR E 1、G E 1、B E 1として出力する偶数列切替回路、C L K S Lは102で生成され、前記105、106において切り替えを行なうためのクロック信号である。

10

【0014】

C L K 1 PはC L Kの位相、電圧を調整したのみの1クロック毎1画素方式に対応するクロック信号、C L K 2 PはC L Kを2分周し位相、電圧調整した1クロック毎2画素方式に対応するクロック信号、107は表示データの入力方式が1クロック毎2画素方式もしくは、1クロック毎1画素方式に応じてC L K 1 PもしくはC L K 2 Pを選択し、C L K 1として出力するクロック切替回路である。

【0015】

ここで、105、106、107の切り替え状態は入力選択回路11に入力されるS T信号によって制御される。従来の液晶表示装置では、S T信号の切り替えはS T信号切替スイッチ40の切り替えによって行なわれており、入力表示データが1クロック毎2画素方式の場合にはS T端子をV D Dに接続し、入力表示データが1クロック毎1画素方式の場合にはS T端子を接地側に接続するようになっている。

20

【発明の開示】

【発明が解決しようとする課題】

【0016】

従来の液晶表示装置では、1クロック毎1画素方式もしくは1クロック毎2画素方式に応じて、S T信号の電圧設定の変更が必要であるが、装置外部からの設定変更は不可能となっている。そのため、2種類の液晶表示装置を別々に生産し、在庫管理しなければならない。そのために製品コストが上昇するという問題がある。また、液晶表示装置の動作中に表示方式を切り替えることができない。

30

【0017】

本発明は従来技術の前記の問題を解決するためになされたものであり、外部からの設定信号を必要とせず、入力信号を自動的に判定して表示方式を切り替える液晶表示装置用タイミング制御回路を提供することである。

【課題を解決するための手段】

【0018】

本発明の液晶表示装置用タイミング制御回路は、液晶表示装置の内部に配置されるタイミング制御回路であって、前記液晶表示装置の水平方向に並ぶ表示画素数に対応する、1水平同期信号期間における前記入力表示イネーブル信号期間中のクロック信号をカウントすることによって、当該液晶表示装置への表示データ信号入力方式が1クロック毎2画素方式もしくは1クロック毎1画素方式のいずれであるかを判定する判定回路部と、該判定回路の判定結果に応じて前記タイミング制御回路内での表示データの信号処理方法を選択し、入力方式に関わらず同じ前記表示データ信号を生成する入力選択回路部と、前記表示データ信号を入力して前記液晶表示装置内部の駆動I Cを制御する駆動I C制御回路部と、を具備するものである。

40

【発明の効果】

【0019】

本発明では、入力信号から自動的に判定し設定するようにしたため、1クロック毎1画

50

素方式もしくは1クロック毎2画素方式に応じて液晶表示装置内部での設定を変更する必要がないので、一種類の液晶表示装置で前記2方式の信号入力に対応できる。したがって、液晶表示装置の生産、在庫管理が容易になり、その結果製品コストを低減できる。また、液晶表示装置を動作中に入力信号が1クロック毎1画素方式から1クロック毎2画素方式に変化した場合にも自動的に対応でき、常に正常な表示が可能になる。

【発明を実施するための最良の形態】

【0020】

実施の形態1

図1は、本発明の第1の実施の形態を説明するアクティブマトリクス型液晶表示装置の回路構成図である。ここで、入力選択回路11の内部構成は図6と同一である。本実施の形態においては、ST信号用端子を液晶表示装置に入力する入力端子に接続し、ST信号を外部から入力するようにしている。そのため、表示データの入力方式が1クロック毎1画素方式であるか1クロック毎2画素方式であるかに応じて液晶表示装置内部での設定を変更する必要がない。この場合、液晶表示装置に接続する信号源装置において、たとえば表示データの入力方式が1クロック毎2画素方式の場合にはST信号用入力端子をVDDに接続し、入力表示データが1クロック毎1画素方式の場合には接地側に接続すればよい。または、液晶表示装置に接続する信号源装置と液晶表示装置との間を接続するケーブル内部において、たとえば、入力表示データが1クロック毎2画素方式の場合にはVDDに、入力表示データが1クロック毎1画素方式の場合にはSTを接地側に接続すればよい。

【0021】

また、液晶表示装置の動作中に表示方式を切り替える必要がある場合には、信号源装置において入力信号のデータ方式とST端子入力信号とを同時に変更すればよい。

【0022】

その結果、1クロック毎1画素方式もしくは1クロック毎2画素方式に応じて液晶表示装置内部での設定を変更する必要がないので、一種類の液晶表示装置で前記2方式の信号入力に対応できる。したがって、液晶表示装置の生産、在庫管理が容易になり、その結果製品コストを低減できる。また、液晶表示装置の動作中に表示方式の切り替えが可能になり、状況に応じた柔軟な対応が可能になる。

【0023】

実施の形態2

図2は本発明の第2の実施の形態を説明するアクティブマトリクス型液晶表示装置の回路構成図である。ここで51は入力信号のデータ入力方式が1クロック毎1画素方式であるか2画素方式であるかを判定するデータ入力方式の判定回路である。判定回路51にはVDD、DENA、CLKおよびHDが入力され、1クロック毎1画素方式もしくは1クロック毎2画素方式に応じた設定信号STOを出力する。

【0024】

図3は判定回路51内部の回路構成図である。201はカウンタ回路、202は判定出力回路である。カウンタ回路201にDENA、CLK、HD、VDDが入力され、判定出力回路202にHD、VDDが入力される。

【0025】

図4は表示画素数が1024（水平方向）×768（垂直方向）であるXGA仕様における1クロック毎1画素方式または1クロック毎2画素方式におけるDENA、表示データ、CLK、HDの信号タイミング図である。ここで、 t_{CLK} はクロック周期、 t_H は1水平同期期間である。また、図中の信号は全てデジタル信号であり、たとえば上側は電源（VDD）電圧でありハイ状態と呼び、下側は接地電圧でロー状態と呼ぶ。したがって、 t_{WDH} はDENAがハイ状態にある期間である。

【0026】

まず、1クロック毎2画素方式について説明する。ここで、表示データとしては赤色表示の奇数列表示データRO、偶数列表示データREを示したが、他の緑、青色表示データについても同様である。また、表示データ中に示した数字（1、2、3、4、5……1

10

20

30

40

50

0 2 1、1 0 2 2、1 0 2 3、1 0 2 4) は液晶表示装置の水平方向に並ぶ表示画素に入力されるデータの何番目の表示画素に入力されるかを示す数字であり、それぞれが各表示画素に入力するデータの発生期間に相当する。したがって、1 が最初のデータであり、1 0 2 4 が最後のデータに対応する。このように、D E N A 信号は t_H 期間において表示データ期間を伝える信号である。即ち、R O が 1 番目のデータ、R E が 2 番目のデータの開始に同期して D E N A はロー状態からハイ状態に遷移し、R O が 1 0 2 3 番目のデータ、R E が 1 0 2 4 番目のデータを終了するとともに D E N A はハイ状態からロー状態に遷移する。また、各表示データ信号の発生期間と t_{CLK} は同期している。したがって、1 クロック毎 2 画素方式においては以下の関係が成り立つ。

$$t_{WDH} / t_{CLK} = 512$$

10

【0027】

次に 1 クロック毎 1 画素方式について説明する。ここで、表示データとしては赤色表示の R を示したが、他の緑、青色表示データについても同様である。また、表示データ中に示した数字 (1、2、3、4、5 …… 1 0 2 3、1 0 2 4) は液晶表示装置の水平方向に並ぶ表示画素に入力されるデータの何番目の表示画素に入力されるかを示す数字であり、それぞれが各表示画素に入力するデータの発生期間に相当する。したがって、1 が最初のデータであり、1 0 2 4 が最後のデータに対応する。このように、D E N A 信号は t_H 期間において表示データ期間を伝える信号である。即ち、R が 1 番目のデータの開始に同期して D E N A はロー状態からハイ状態に遷移し、R が 1 0 2 4 番目のデータを終了するとともに D E N A はハイ状態からロー状態に遷移する。また、各表示データ信号の生成期間と t_{CLK} は同期している。したがって、1 クロック毎 1 画素方式においては以下の関係が成り立つ。

20

$$t_{WDH} / t_{CLK} = 1024$$

【0028】

以上のように t_{WDH} と t_{CLK} の間のタイミング関係を検出することによって、自動的に 1 クロック毎 1 画素方式もしくは 1 クロック毎 2 画素方式を判定することが可能になる。

【0029】

図 3 を用いて、判定方法を説明する。カウンタ回路 2 0 1 において H D に同期して D E N A 信号中における t_{WDH} 期間中のクロック数を C L K 信号を用いてカウントする。そのカウント結果を C o u n t として判定出力回路 2 0 2 に伝達する。2 0 2 内部ではその数が 5 1 2 かしくは 1 0 2 4 であるかを判定し、判定結果に基づいて S T O を出力する。たとえば、5 1 2 の場合には V D D を出力し、1 0 2 4 の場合には接地電圧を出力すればよい。

30

【0030】

以上のような判定を各 H D 周期に行なうことにより、液晶表示装置の動作中に入力信号が 1 クロック毎 1 画素方式から 1 クロック毎 2 画素方式に変化した場合にも自動的に対応でき、常に正常な表示が可能になる。

【0031】

その結果、1 クロック毎 1 画素方式もしくは 1 クロック毎 2 画素方式に応じて液晶表示装置内部での設定を変更する必要がないので、一種類の液晶表示装置で前記 2 方式の信号入力に対応できる。したがって、液晶表示装置の生産、在庫管理が容易になり、その結果製品コストを低減できる。また、液晶表示装置の動作中に表示方式の切り替えが可能になり、状況に応じた柔軟な対応が可能になる。

40

【0032】

実施の形態 3

以上の実施の形態においては、判定結果が計算通りにいく場合を想定したが、実際にはノイズ等の影響で計算通りの値にならない場合もある。その場合においても判定基準の範囲を広げることによって同様の効果を実現できる。

【0033】

たとえば、1 クロック毎 2 画素方式においては以下の判定を用いる。

50

$$0 < t_{WDH} / t_{CLK} < 767$$

【0034】

たとえば、1クロック毎1画素方式においては以下の判定を用いる。

$$768 < t_{WDH} / t_{CLK}$$

【0035】

実施の形態4

以上の実施の形態においては、表示画素数が1024（水平方向）×768（垂直方向）であるXGA仕様の場合について説明したが、本発明はそれ以外の1280（水平方向）×1024（垂直方向）をはじめとするあらゆる表示仕様に対して適用可能である。その場合、一般に水平方向の表示画素数をnとする前記判定式は以下の通りになる。

10

【0036】

1クロック毎2画素方式の場合。

$$t_{WDH} / t_{CLK} = n / 2$$

【0037】

1クロック毎1画素方式の場合。

$$t_{WDH} / t_{CLK} = n$$

【0038】

実施の形態5

以上の実施の形態においては、TFTをスイッチング素子に用いたアクティブマトリクス型液晶表示装置について述べたが、スイッチング素子を有さないパッシブマトリクス型液晶表示装置等、他の液晶表示装置に本発明を適用しても同様に有効である。

20

【図面の簡単な説明】

【0039】

【図1】本発明の第1の実施の形態を説明するアクティブマトリクス型液晶表示装置の回路構成図である。

【図2】本発明の第2の実施の形態を説明するアクティブマトリクス型液晶表示装置の回路構成図である。

【図3】図2の判定回路51の内部を説明した回路構成図である。

【図4】表示画素数が1024（水平方向）×768（垂直方向）であるXGA仕様における1クロック毎1画素方式および1クロック毎2画素方式におけるDEN A、表示データ、CLK、HDの信号タイミング図である。

30

【図5】従来のアクティブマトリクス型液晶表示装置の回路構成図である。

【図6】図5および図1の入力選択回路11の内部を説明した回路構成図である。

【符号の説明】

【0040】

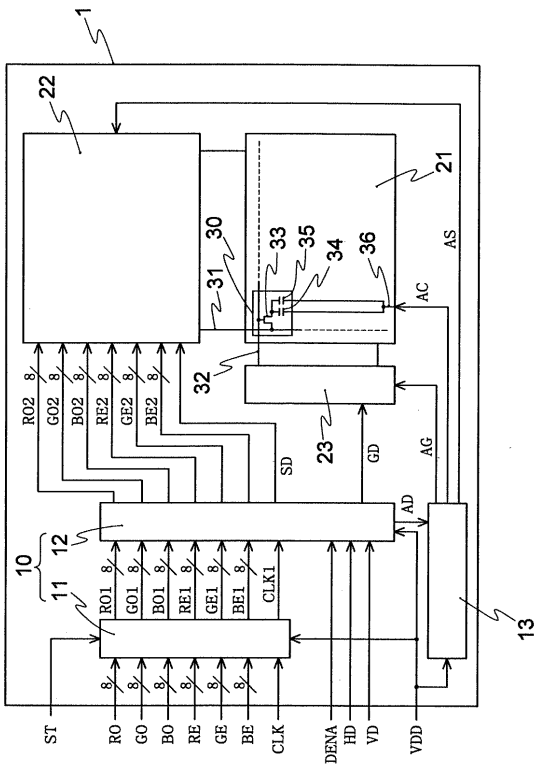
- 1 液晶表示装置
- 10 デジタル制御回路
- 11 入力選択回路
- 12 駆動IC制御回路
- 13 アナログ信号生成回路
- 21 液晶セル
- 22 ソース駆動IC
- 23 ゲート駆動IC
- 30 表示画素
- 31 ソース配線
- 32 ゲート配線
- 33 スwitchング素子
- 34 液晶容量
- 35 保持容量
- 36 共通配線

40

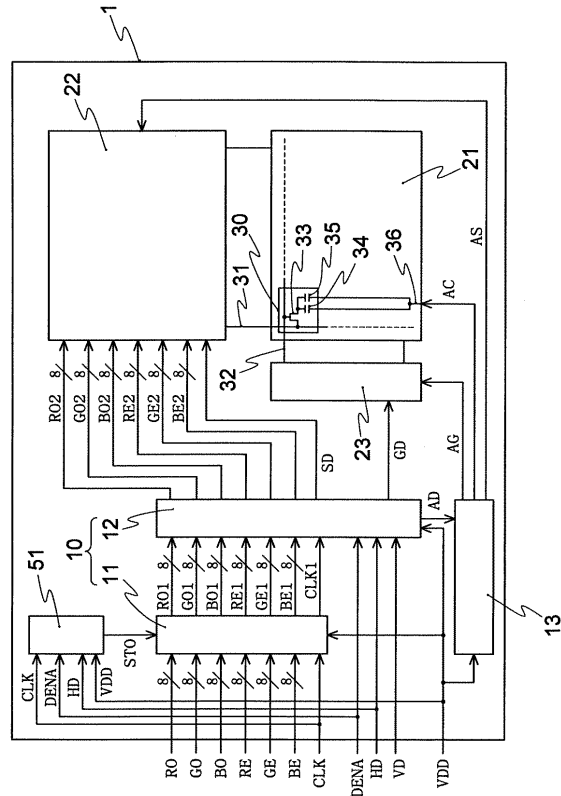
50

- 40 ST信号切替スイッチ
- 51 判定回路
- 101 データバッファ回路
- 102 クロック制御回路
- 103、104 シリアル・並列変換回路
- 105 奇数列切替回路
- 106 偶数列切替回路
- 107 クロック切替回路
- 201 カウンタ回路
- 202 判定出力回路

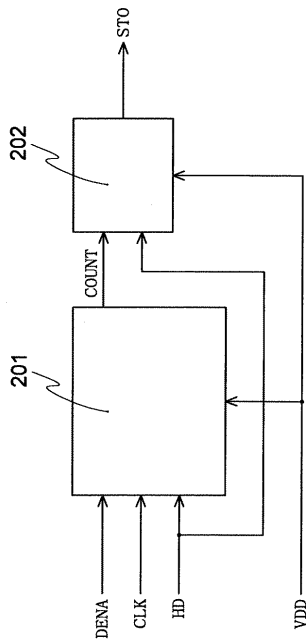
【図 1】



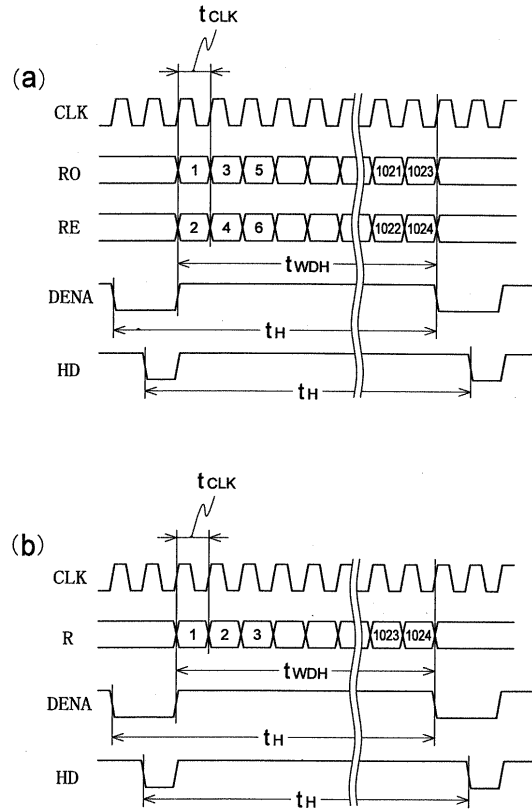
【図 2】



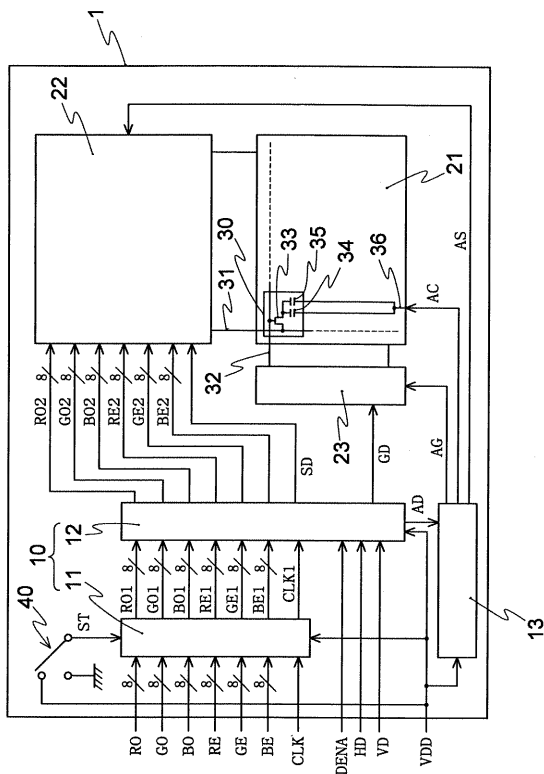
【図 3】



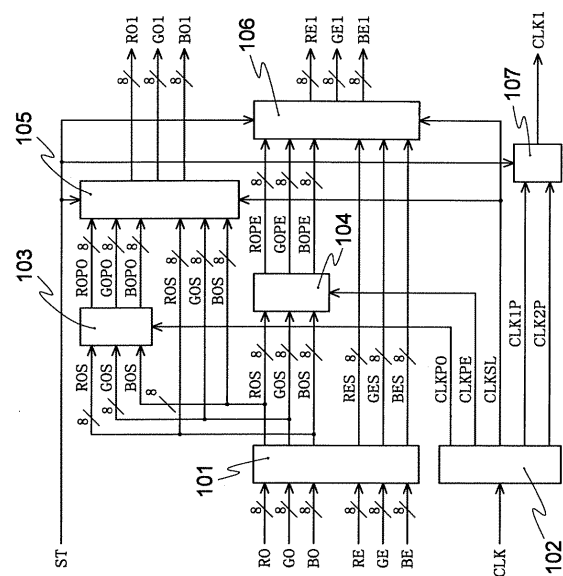
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 2 L
	G 0 9 G 3/20	6 2 3 W
	G 0 2 F 1/133	5 0 5

Fターム(参考) 5C080 AA10 BB05 CC03 DD13 EE29 EE30 FF11 FF12 JJ02 JJ03
JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2008304938A	公开(公告)日	2008-12-18
申请号	JP2008215405	申请日	2008-08-25
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	高橋盛毅		
发明人	高橋 盛毅		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.612.U G09G3/20.621.K G09G3/20.622.R G09G3/20.650.B G09G3/20.612.L G09G3/20.623.W G02F1/133.505 G09G3/20.650.A		
F-TERM分类号	2H093/NA16 2H093/NA63 2H093/NA64 2H093/NC10 2H093/NC12 2H093/NC27 2H093/NC34 2H093/NC35 2H093/ND50 2H093/ND54 2H093/NH06 2H093/NH16 2H093/NH18 5C006/AA16 5C006/AA22 5C006/AC24 5C006/AF42 5C006/AF51 5C006/AF53 5C006/AF61 5C006/BB16 5C006/BC06 5C006/BF03 5C006/BF22 5C006/BF24 5C006/FA04 5C006/FA07 5C006/FA31 5C006/FA32 5C006/GA01 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD13 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZF22 2H193/ZF36		
其他公开文献	JP4317254B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供用于改变液晶显示器中的信号处理方法的电路，根据显示数据信号的输入系统是双像素/单时钟系统或单像素/单时钟系统并且用于产生相对于任何输入系统的相同内部显示信号，其中电路的设置由来自显示设备外部的输入信号执行。ŽSOLUTION：显示设备配有输入选择电路，选择电路中的信号处理方法，以便能够应对显示数据信号输入系统，使设备可以响应任何显示数据信号输入系统液晶显示器，无论是两像素/单时钟系统还是单像素/单时钟系统，无论输入系统如何，都能产生相同的内部显示数据信号。该装置配备有输入端，用于从外部输入用于选择输入选择电路的信号处理方法的设定信号。Ž

