

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-146079

(P2008-146079A)

(43) 公開日 平成20年6月26日(2008.6.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 622B	5C006
G02F 1/133 (2006.01)	G09G 3/20 622Q	5C080
	G09G 3/20 622E	
	G09G 3/20 622G	
審査請求 未請求 請求項の数 20 O L (全 30 頁) 最終頁に続く		

(21) 出願番号	特願2007-319864 (P2007-319864)	(71) 出願人	390019839
(22) 出願日	平成19年12月11日 (2007.12.11)		三星電子株式会社
(31) 優先権主張番号	10-2006-0125333		SAMSUNG ELECTRONICS
(32) 優先日	平成18年12月11日 (2006.12.11)		CO., LTD.
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	10-2006-0129732		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成18年12月19日 (2006.12.19)		Gyeonggi-do 442-742
(33) 優先権主張国	韓国 (KR)		(KR)
		(74) 代理人	110000671
			八田国際特許業務法人
		(72) 発明者	白 承 洙
			大韓民国ソウル特別市冠岳区南▲けん▼洞
			602-55番地302号
		最終頁に続く	

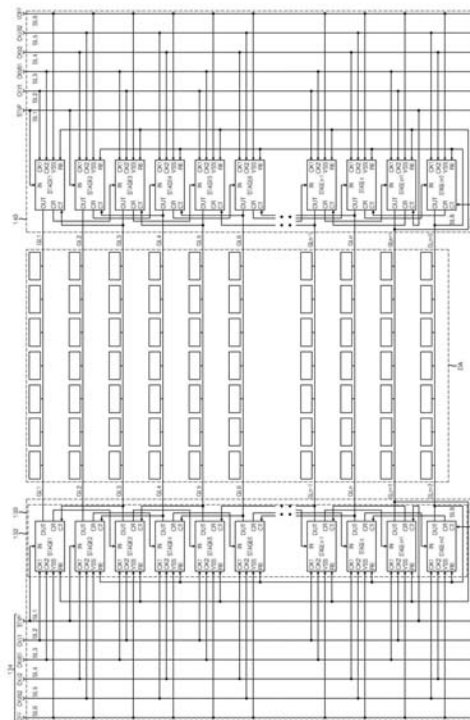
(54) 【発明の名称】 ゲート駆動回路及びそれを使用する液晶表示装置

(57) 【要約】

【課題】ゲート駆動回路に接続される信号配線を減らす液晶表示装置を提供する。

【解決手段】本発明の液晶表示装置は、タイミングコントローラと、レベルシフタと、第1及び第2ゲート駆動回路130、140とを含む。タイミングコントローラは、外部入力信号に応答して出力イネーブル信号、ゲートクロック、及び1つの開始信号を生成する。レベルシフタは、出力イネーブル信号及びゲートクロックに応答してゲートクロックパルスCKV1、CKV2及びゲートクロックバーパルスCKVB1、CKVB2を生成し、開始信号及びゲートクロックに応答して1つの開始パルスSTVPを生成する。第1及び第2ゲート駆動回路は、開始パルスに応答してゲートクロックパルス又はゲートクロックバーパルスを複数のゲートラインGL1、...、GLnにゲート駆動信号として出力する。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

出力端子が対応するゲートラインにそれぞれ接続されており、1つの開始パルスにตอบสนองしてゲートクロックパルス又はゲートクロックバーパルスを前記各ゲートラインにゲート駆動信号として出力するように、互いに従属的に接続された複数のステージを有する回路部と、

外部から伝達された前記開始パルスを、前記複数のステージのうち、最初の奇数番目のステージ及び最初の偶数番目のステージの入力端子に供給する開始パルス配線が形成された配線部と、を含むことを特徴とするゲート駆動回路。

【請求項 2】

前記複数のステージのうち一の奇数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの一方をゲート駆動信号として出力し、前記一の奇数番目のステージの次の奇数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの他方をゲート駆動信号として出力し、

前記複数のステージのうち一の偶数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの一方をゲート駆動信号として出力し、前記一の偶数番目のステージの次の偶数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの他方をゲート駆動信号として出力する、請求項 1 に記載のゲート駆動回路。

【請求項 3】

前記奇数番目のステージは、入力端子が前の奇数番目のステージのキャリア端子に接続され、制御端子が次の奇数番目のステージの出力端子に接続され、

前記偶数番目のステージは、入力端子が前の偶数番目のステージのキャリア端子に接続され、制御端子が次の偶数番目のステージの出力端子に接続される、請求項 2 に記載のゲート駆動回路。

【請求項 4】

前記奇数番目のステージは、キャリア端子が最後の奇数番目のステージの制御端子に接続される第 1 ダミーステージを含み、

前記偶数番目のステージは、キャリア端子が最後の偶数番目のステージの制御端子に接続される第 2 ダミーステージを含む、請求項 3 に記載のゲート駆動回路。

【請求項 5】

前記配線部は、

前記第 1 ダミーステージの出力端子と他の複数の奇数番目のステージのリセット端子を接続する第 1 リセット配線と、

前記第 2 ダミーステージの出力端子と他の複数の偶数番目のステージのリセット端子を接続する第 2 リセット配線と、を含む、請求項 4 に記載のゲート駆動回路。

【請求項 6】

前記配線部は、前記第 2 ダミーステージの出力端子と他の複数のステージのリセット端子を接続するリセット配線を含み、

前記第 2 ダミーステージは、前記出力端子からリセット信号を前記リセット配線に供給する、請求項 4 に記載のゲート駆動回路。

【請求項 7】

前記第 2 ダミーステージは、前記リセット信号を供給するプルアップトランジスタを含み、

前記第 2 ダミーステージのプルアップトランジスタは、前記他の複数のステージのプルアップトランジスタよりもサイズが大きい、請求項 6 に記載のゲート駆動回路。

【請求項 8】

外部入力信号にตอบสนองして出力イネーブル信号、ゲートクロック、及び 1 つの開始信号を生成するタイミングコントローラと、

前記出力イネーブル信号及び前記ゲートクロックにตอบสนองしてゲートクロックパルス及び

10

20

30

40

50

ゲートクロックバーパルスを生成し、前記開始信号及び前記ゲートクロックに応答して 1 つの開始パルスを生成するレベルシフタと、

前記 1 つの開始パルスに응答して前記ゲートクロックパルス又は前記ゲートクロックバーパルスを複数のゲートラインにゲート駆動信号として出力する第 1 及び第 2 ゲート駆動回路と、を含むことを特徴とする液晶表示装置。

【請求項 9】

前記第 1 及び第 2 ゲート駆動回路は、前記ゲートラインが形成された液晶パネルに集積され、前記ゲートラインの両端にそれぞれ形成されて前記ゲートラインをデュアル駆動する、請求項 8 に記載の液晶表示装置。

【請求項 10】

前記第 1 及び第 2 ゲート駆動回路は、互いに從属的に接続された複数のステージを含み、

前記複数のステージは、出力端子が前記複数のゲートラインにそれぞれ対応して接続される、請求項 9 に記載の液晶表示装置。

【請求項 11】

前記複数のステージのうちの奇数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの一方をゲート駆動信号として出力し、前記一の奇数番目のステージの次の奇数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの他方をゲート駆動信号として出力し、

前記複数のステージのうちの偶数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの一方をゲート駆動信号として出力し、前記一の偶数番目のステージの次の偶数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの他方をゲート駆動信号として出力する、請求項 10 に記載の液晶表示装置。

【請求項 12】

前記奇数番目のステージは、入力端子が前の奇数番目のステージのキャリア端子に接続され、制御端子が次の奇数番目のステージの出力端子に接続され、

前記偶数番目のステージは、入力端子が前の偶数番目のステージのキャリア端子に接続され、制御端子が次の偶数番目のステージの出力端子に接続される、請求項 11 に記載の液晶表示装置。

【請求項 13】

前記奇数番目のステージは、キャリア端子が最後の奇数番目のステージの制御端子に接続される第 1 ダミーステージを含み、

前記偶数番目のステージは、キャリア端子が最後の偶数番目のステージの制御端子に接続される第 2 ダミーステージを含む、請求項 12 に記載の液晶表示装置。

【請求項 14】

前記第 1 ダミーステージの出力端子は、他の複数の奇数番目のステージのリセット端子に接続され、

前記第 2 ダミーステージの出力端子は、他の複数の偶数番目のステージのリセット端子に接続される、請求項 13 に記載の液晶表示装置。

【請求項 15】

前記第 2 ダミーステージの出力端子は、他の複数のステージのリセット端子に接続される、請求項 13 に記載の液晶表示装置。

【請求項 16】

前記第 2 ダミーステージは、前記他の複数のステージのリセット端子に接続されるプルアップトランジスタを含み、

前記第 2 ダミーステージのプルアップトランジスタは、前記他の複数のステージのプルアップトランジスタよりもサイズが大きい、請求項 15 に記載の液晶表示装置。

【請求項 17】

前記レベルシフタにゲートオン電圧及びゲートオフ電圧を供給する電源供給部をさらに

10

20

30

40

50

含み、

前記レベルシフタは、前記ゲートクロックパルス、前記ゲートクロックバーパルス、及び前記開始パルスを前記ゲートオン電圧レベル及び前記ゲートオフ電圧レベルで出力する、請求項 9 に記載の液晶表示装置。

【請求項 18】

前記レベルシフタは、

前記出力イネーブル信号及び前記ゲートクロックを論理演算し、電圧レベルを増幅させることにより、前記ゲートクロックパルスを出力する第 1 レベルシフト部と、

前記出力イネーブル信号及び前記ゲートクロックを論理演算し、位相を反転させ、電圧レベルを増幅させることにより、前記ゲートクロックバーパルスを出力する第 2 レベルシフト部と、を含む、請求項 17 に記載の液晶表示装置。

10

【請求項 19】

前記第 1 レベルシフト部は、

前記出力イネーブル信号及び前記ゲートクロックを OR 演算する論理演算部と、

前記論理演算部の出力の位相を反転させて増幅する駆動インバータと、

前記駆動インバータの出力に応答して前記ゲートオン電圧レベル及び前記ゲートオフ電圧レベルの前記ゲートクロックパルスを生成するフルスイングインバータと、を含む、請求項 18 に記載の液晶表示装置。

【請求項 20】

前記第 2 レベルシフト部は、

前記出力イネーブル信号及び前記ゲートクロックを OR 演算する論理演算部と、

前記論理演算部の出力の位相を反転させて出力する反転インバータと、

前記反転インバータの出力の位相を反転させて増幅する駆動インバータと、

前記駆動インバータの出力に応答して前記ゲートオン電圧レベル及び前記ゲートオフ電圧レベルの前記ゲートクロックバーパルスを生成するフルスイングインバータと、を含む、請求項 18 に記載の液晶表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、ゲート駆動回路及びそれを使用する液晶表示装置に関する。

30

【背景技術】

【0002】

一般に、液晶表示装置は、映像を表示するための液晶パネルと、液晶パネルを駆動するデータ駆動部及びゲート駆動部と、を備える。液晶パネルは、複数のゲートライン、複数のデータライン、及び複数の画素を含み、画素は、薄膜トランジスタ及び液晶キャパシタからなる。データ駆動部は、データラインにデータ信号を出力し、ゲート駆動部は、ゲートラインにゲート駆動信号を出力する。

【0003】

ゲート駆動部は、同一工程で薄膜トランジスタと同時に液晶パネル上に形成され、データ駆動部は、チップ状に形成されて液晶パネルの周辺領域に接続される。ゲート駆動部は、複数のステージからなるシフトレジスタを含み、ステージのそれぞれは対応するゲートラインに接続されてゲート駆動信号を出力する。

40

【0004】

ゲート駆動部の複数のステージは、複数のゲートラインにゲート駆動信号を順次出力するために、互いに連続的に接続される。すなわち、現ステージの入力端子は、前のステージの出力端子に接続され、次のステージの出力端子は、現ステージの制御端子に接続される。複数のステージのうちの最初のステージには、開始信号が入力される。このようなゲート駆動部は、液晶パネルの左右両側に形成され、左側のゲート駆動回路が奇数番目のゲートラインを駆動し、右側のゲート駆動回路が偶数番目のゲートラインを駆動するシング

50

ル駆動方式で駆動する。

【 0 0 0 5 】

シングル (S i n g l e) 駆動方式の液晶表示装置では、ゲートライン遅延 (G a t e L i n e D e l a y) により、左右両側のゲート駆動回路から出力されたゲート駆動信号がゲートラインの端部に近づくほどずれるという現象が生じる。これは、画素の充電時間の不足を招き、これにより横線視認現象が発生する。シングル駆動方式における画素充電時間の不足の問題を解決するために、液晶パネルの左右両側に同一のゲート駆動回路を形成して、左右両側から同一のゲート駆動信号をゲートラインに供給するデュアル (D u a l) 駆動方式が提案されている。

【 発明の開示 】

10

【 発明が解決しようとする課題 】

【 0 0 0 6 】

しかし、従来のデュアル駆動方式の液晶表示装置は、シングル駆動方式に比べてゲート駆動回路に接続される信号配線が 2 倍に増え、液晶パネルの集積化のための空間の確保が要求される。液晶パネルの集積化のための空間の変化は、液晶パネルのサイズの変化を意味し、これは既存の液晶パネル製造工程に使用される設備の変化を要求するので、液晶パネルの製造コストを上昇させるという問題を発生させる。

【 0 0 0 7 】

そこで、本発明は、このような従来技術の問題を解決するためになされたもので、デュアルゲート駆動回路の開始パルスとダミーステージの出力信号を共有することにより、ゲート駆動回路に接続される信号配線を減らすゲート駆動回路及びそれを使用する液晶表示装置を提供することを目的とする。

20

【 課題を解決するための手段 】

【 0 0 0 8 】

上記の目的を達成するために、本発明によるゲート駆動回路は、出力端子が対応するゲートラインにそれぞれ接続されており、1つの開始パルスに应答してゲートクロックパルス又はゲートクロックバーパルスを前記各ゲートラインにゲート駆動信号として出力するように、互いに従属的に接続された複数のステージを有する回路部と、外部から伝達された前記開始パルスを、前記複数のステージのうち、最初の奇数番目のステージ及び最初の偶数番目のステージの入力端子に供給する開始パルス配線が形成された配線部と、を含む。

30

【 0 0 0 9 】

ここで、前記複数のステージのうち一の奇数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの一方をゲート駆動信号として出力し、前記一の奇数番目のステージの次の奇数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの他方をゲート駆動信号として出力し、前記複数のステージのうち一の偶数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの一方をゲート駆動信号として出力し、前記一の偶数番目のステージの次の偶数番目のステージは、前記ゲートクロックパルス及び前記ゲートクロックバーパルスの他方をゲート駆動信号として出力することが好ましい。

40

【 0 0 1 0 】

また、前記奇数番目のステージは、入力端子が前の奇数番目のステージのキャリア端子に接続され、制御端子が次の奇数番目のステージの出力端子に接続され、前記偶数番目のステージは、入力端子が前の偶数番目のステージのキャリア端子に接続され、制御端子が次の偶数番目のステージの出力端子に接続されることが好ましい。

【 0 0 1 1 】

また、前記奇数番目のステージは、キャリア端子が最後の奇数番目のステージの制御端子に接続される第 1 ダミーステージを含み、前記偶数番目のステージは、キャリア端子が最後の偶数番目のステージの制御端子に接続される第 2 ダミーステージを含む。

【 0 0 1 2 】

50

また、前記配線部は、前記第 1 ダミーステージの出力端子と他の複数の奇数番目のステージのリセット端子を接続する第 1 リセット配線と、前記第 2 ダミーステージの出力端子と他の複数の偶数番目のステージのリセット端子を接続する第 2 リセット配線と、を含む。

【 0 0 1 3 】

また、前記配線部は、前記第 2 ダミーステージの出力端子と他の複数のステージのリセット端子を接続するリセット配線を含み、前記第 2 ダミーステージは、前記出力端子からリセット信号を前記リセット配線に供給できる。

【 0 0 1 4 】

また、前記第 2 ダミーステージは、前記リセット信号を供給するプルアップトランジスタを含み、前記第 2 ダミーステージのプルアップトランジスタは、前記他の複数のステージのプルアップトランジスタよりもサイズが大きいことが好ましい。

【 0 0 1 5 】

本発明による液晶表示装置は、外部入力信号に応答して出力イネーブル信号、ゲートクロック、及び 1 つの開始信号を生成するタイミングコントローラと、前記出力イネーブル信号及び前記ゲートクロックに응答してゲートクロックパルス及びゲートクロックバーパルスを生成し、前記開始信号及び前記ゲートクロックに응答して 1 つの開始パルスを生成するレベルシフタと、前記 1 つの開始パルスに응答して前記ゲートクロックパルス又は前記ゲートクロックバーパルスを複数のゲートラインにゲート駆動信号として出力する第 1 及び第 2 ゲート駆動回路と、を含む。

【 0 0 1 6 】

ここで、前記第 1 及び第 2 ゲート駆動回路は、前記ゲートラインが形成された液晶パネルに集積され、前記ゲートラインの両端にそれぞれ形成されて前記ゲートラインをデュアル駆動することが好ましい。

【 0 0 1 7 】

また、前記第 1 及び第 2 ゲート駆動回路は、互いに従属的に接続された複数のステージを含み、前記複数のステージは、出力端子が前記複数のゲートラインにそれぞれ対応して接続されることが好ましい。

【 0 0 1 8 】

また、本発明による液晶表示装置は、前記レベルシフタにゲートオン電圧及びゲートオフ電圧を供給する電源供給部をさらに含み、前記レベルシフタは、前記ゲートクロックパルス、前記ゲートクロックバーパルス、及び前記開始パルスを前記ゲートオン電圧レベル及び前記ゲートオフ電圧レベルで出力することが好ましい。

【 0 0 1 9 】

また、前記レベルシフタは、前記出力イネーブル信号及び前記ゲートクロックを論理演算し、電圧レベルを増幅させることにより、前記ゲートクロックパルスを出力する第 1 レベルシフト部と、前記出力イネーブル信号及び前記ゲートクロックを論理演算し、位相を反転させ、電圧レベルを増幅させることにより、前記ゲートクロックバーパルスを出力する第 2 レベルシフト部と、を含む。

【 0 0 2 0 】

また、前記第 1 レベルシフト部は、前記出力イネーブル信号及び前記ゲートクロックを OR 演算する論理演算部と、前記論理演算部の出力の位相を反転させて増幅する駆動インバータと、前記駆動インバータの出力に응答して前記ゲートオン電圧レベル及び前記ゲートオフ電圧レベルの前記ゲートクロックパルスを生成するフルスイングインバータと、を含む。

【 0 0 2 1 】

また、前記第 2 レベルシフト部は、前記出力イネーブル信号及び前記ゲートクロックを OR 演算する論理演算部と、前記論理演算部の出力の位相を反転させて出力する反転インバータと、前記反転インバータの出力の位相を反転させて増幅する駆動インバータと、前記駆動インバータの出力に응答して前記ゲートオン電圧レベル及び前記ゲートオフ電圧レ

10

20

30

40

50

ベルの前記ゲートクロックパルスを生成するフルスイングインバータと、を含む。

【発明の効果】

【0022】

本発明の液晶表示装置は、デュアルゲート駆動回路の開始パルスとダミーステージの出力信号を共有することにより、ゲート駆動回路に接続される信号配線を減らし、信号配線のための集積空間を縮小することができる。信号配線のための集積空間の縮小は、既存の液晶パネル及び液晶パネル製造工程に使用されていた設備などをそのまま使用できるようにするので、液晶パネルの製造コストを低減するという効果がある。

【発明を実施するための最良の形態】

【0023】

以下、添付の図面を参照して本発明の好ましい実施形態について詳細に説明する。

【0024】

図1は、本発明の一実施形態による液晶表示装置を示すブロック図である。図1に示すように、本発明の一実施形態による液晶表示装置100は、液晶パネル110と、データ駆動回路120と、第1ゲート駆動回路130と、第2ゲート駆動回路140と、第1レベルシフタ150と、第2レベルシフタ160と、タイミングコントローラ170と、電源供給部180と、を含む。

【0025】

液晶パネル110は、薄膜トランジスタ基板112、カラーフィルタ基板（図示せず）及び薄膜トランジスタ基板112とカラーフィルタ基板との間に介在する液晶（図示せず）を含む。

【0026】

薄膜トランジスタ基板112は、表示領域DAと、第1周辺領域PA1と、第2周辺領域PA2と、を含む。表示領域DAには、ゲートラインGL1、...、GLn、データラインDL1、...、DLm、及びゲートラインGL1、...、GLnとデータラインDL1、...、DLmにそれぞれ接続される複数の画素が形成される。第1周辺領域PA1には、ゲートラインGL1、...、GLnを駆動する第1ゲート駆動回路130及び第2ゲート駆動回路140が形成される。第2周辺領域PA2には、データラインDL1、...、DLmを駆動するデータ駆動回路120が実装される。ここで、第1周辺領域PA1は、ゲートラインGL1、...、GLnの両端部に隣接する領域であり、第2周辺領域PA2は、データラインDL1、...、DLmの一端部に隣接する領域である。

【0027】

各画素、例えば1つの画素は、ゲートラインGL1及びデータラインDL1に接続される薄膜トランジスタTF1と、薄膜トランジスタTF1に接続される液晶キャパシタC1c及びストレージキャパシタCs1と、を含む。薄膜トランジスタTF1のゲート及びソースは、ゲートラインGL1及びデータラインDL1にそれぞれ接続され、ドレインは、液晶キャパシタC1c及びストレージキャパシタCs1に接続される。液晶キャパシタC1cは、画素電極及び共通電極を二端子とし、二端子間で誘電体として機能する液晶から形成される。

【0028】

カラーフィルタ基板は、光漏れを防止するためのブラックマトリクスと、色を実現するためのカラーフィルタと、共通電極と、を含む。液晶は、誘電率異方性を有する物質であり、共通電極と画素電極に印加された電圧の差により回転して光の透過率を調節する。

【0029】

第1ゲート駆動回路130及び第2ゲート駆動回路140は、ゲートラインGL1、...、GLnを介して、液晶パネル110の一方側及び他方側である第1周辺領域PA1に集積されて形成され、その出力がゲートラインGL1、...、GLnのそれぞれに接続される。第1ゲート駆動回路130及び第2ゲート駆動回路140は、ゲートラインGL1、...、GLnの両端からゲート駆動信号を順次供給して、ゲートラインGL1、...、GLnをデュアル駆動する。

10

20

30

40

50

【 0 0 3 0 】

データ駆動回路 1 2 0 は、タイミングコントローラ 1 7 0 からデータ制御信号及びデータを受信し、データに該当するアナログ駆動電圧を選択して、データライン D L 1、...、D L m に階調表示電圧として供給する。データ駆動回路 1 2 0 は、集積化されたチップで実現され、薄膜トランジスタ基板 1 1 2 の第 2 周辺領域 P A 2 に実装される。データ駆動回路 1 2 0 は、第 2 周辺領域 P A 2 に接続されるフレキシブルプリント基板 1 0 2 を介してタイミングコントローラ 1 7 0 と電源供給部 1 8 0 に接続される。

【 0 0 3 1 】

一方、本実施形態では、データ駆動回路 1 2 0 が薄膜トランジスタ基板 1 1 2 に C O G (C h i p O n G l a s s) 方式で実装される場合を例示したが、これに限定されるものではなく、データ駆動回路 1 2 0 が T C P (T a p e C a r r i e r P a c k a g e) 方式で実装されてもよく、第 1 ゲート駆動回路 1 3 0 及び第 2 ゲート駆動回路 1 4 0 のように直接薄膜トランジスタ基板 1 1 2 に集積化されて形成されてもよい。

【 0 0 3 2 】

第 1 レベルシフタ 1 5 0 及び第 2 レベルシフタ 1 6 0 は、タイミングコントローラ 1 7 0 からゲート制御信号が供給され、電源供給部 1 8 0 から駆動電圧が供給され、ゲート駆動回路 1 3 0、1 4 0 を駆動させる信号を生成し、これを第 1 ゲート駆動回路 1 3 0 及び第 2 ゲート駆動回路 1 4 0 にそれぞれ供給する。

【 0 0 3 3 】

タイミングコントローラ 1 7 0 は、外部からデータ及び入力制御信号が入力され、ゲート制御信号及びデータ制御信号を生成して、第 1 レベルシフタ 1 5 0 及び第 2 レベルシフタ 1 6 0 並びにデータ駆動回路 1 2 0 に供給する。ここで、データは、R G B 画像信号であり、入力制御信号は、垂直同期信号、水平同期信号、メインクロック、及びデータインーブル信号を含む。

【 0 0 3 4 】

電源供給部 1 8 0 は、外部から供給された電源電圧を利用してアナログ駆動電圧、共通電圧 V C O M、及びゲート駆動電圧を生成する。電源供給部 1 8 0 は、アナログ駆動電圧をデータ駆動回路 1 2 0 に供給し、共通電圧 V C O M を液晶パネル 1 1 0 の共通電極に供給し、ゲート駆動電圧を第 1 レベルシフタ 1 5 0 及び第 2 レベルシフタ 1 6 0 に供給する。

【 0 0 3 5 】

タイミングコントローラ 1 7 0、第 1 レベルシフタ 1 5 0、第 2 レベルシフタ 1 6 0、及び電源供給部 1 8 0 は、コントロールプリント基板 1 0 4 に実装される。コントロールプリント基板 1 0 4 は、フレキシブルプリント基板 1 0 2 を介して薄膜トランジスタ基板 1 1 2 の第 2 周辺領域 P A 2 に接続される。液晶パネル 1 1 0 に形成された第 1 ゲート駆動回路 1 3 0 及び第 2 ゲート駆動回路 1 4 0 は、データ駆動回路 1 2 0 を介してタイミングコントローラ 1 7 0 及び電源供給部 1 8 0 に接続されるか、又はフレキシブルプリント基板 1 0 2 を介して直接的にタイミングコントローラ 1 7 0 及び電源供給部 1 8 0 に接続される。

【 0 0 3 6 】

図 2 は、図 1 に示す第 1 及び第 2 レベルシフタの入出力信号の関係を示す図である。図 2 に示すように、第 1 レベルシフタ 1 5 0 及び第 2 レベルシフタ 1 6 0 には、それぞれ電源供給部 1 8 0 からゲート駆動電圧であるゲートオン電圧 V O N とゲートオフ電圧 V O F が供給される。

【 0 0 3 7 】

また、第 1 レベルシフタ 1 5 0 には、タイミングコントローラ 1 7 0 からゲート制御信号である出力インーブル信号 O E、第 1 ゲートクロック C P V 1、及びゲートスタート信号 S T V が供給される。第 2 レベルシフタ 1 6 0 には、タイミングコントローラ 1 7 0 からゲート制御信号である出力インーブル信号 O E、第 2 ゲートクロック C P V 2、及びゲートスタート信号 S T V が供給される。ここで、第 2 ゲートクロック C P V 2 は、第 1 ゲ

10

20

30

40

50

ートクロック C P V 1 の位相が遅延したクロックである。第 1 ゲートクロック C P V 1 及び第 2 ゲートクロック C P V 2 の位相差は、隣接するゲートラインに供給されるゲート駆動信号が重なる区間である。また、ゲートスタート信号 S T V は、1 つのフレームの開始を通知する信号である。

【 0 0 3 8 】

第 1 レベルシフタ 1 5 0 は、ゲート制御信号に応答して、ゲートオン電圧 V O N レベル及びゲートオフ電圧 V O F F レベルの開始パルス S T V P、第 1 ゲートクロックパルス C K V 1、並びに第 1 ゲートクロックバーパルス C K V B 1 を生成する。第 2 レベルシフタ 1 6 0 は、ゲート制御信号に応答して、ゲートオン電圧 V O N レベル及びゲートオフ電圧 V O F F レベルの開始パルス S T V P、第 2 ゲートクロックパルス C K V 2、並びに第 2 ゲートクロックバーパルス C K V B 2 を生成する。ここで、開始パルス S T V P は、第 1 ゲート駆動回路 1 3 0 及び第 2 ゲート駆動回路 1 4 0 を駆動させ、1 つのフレームの最初のゲート駆動信号を生成させる。また、第 1 ゲートクロックバーパルス C K V B 1 及び第 2 ゲートクロックバーパルス C K V B 2 は、それぞれ第 1 ゲートクロックパルス C K V 1 及び第 2 ゲートクロックパルス C K V 2 の位相に反転する位相を有するパルスであり、ゲートラインの駆動速度を速くするのに使用される。

【 0 0 3 9 】

第 1 レベルシフタ 1 5 0 は、生成された開始パルス S T V P、第 1 ゲートクロックパルス C K V 1、及び第 1 ゲートクロックバーパルス C K V B 1 を、データ駆動回路 1 2 0 を介して、第 1 ゲート駆動回路 1 3 0 に供給する。第 2 レベルシフタ 1 6 0 は、生成された開始パルス S T V P、第 2 ゲートクロックパルス C K V 2、及びゲートクロックバーパルス C K V B 2 を、データ駆動回路 1 2 0 を介して、第 2 ゲート駆動回路 1 4 0 に供給する。

【 0 0 4 0 】

本実施形態による第 1 レベルシフタ 1 5 0 及び第 2 レベルシフタ 1 6 0 は、従来とは異なり、1 つの同一の開始パルス S T V P を生成して、第 1 ゲート駆動回路 1 3 0 及び第 2 ゲート駆動回路 1 4 0 にそれぞれ供給する。第 1 ゲート駆動回路 1 3 0 及び第 2 ゲート駆動回路 1 4 0 は、開始パルス S T V P が入力されると、ゲート駆動信号を生成してゲートラインへの供給を開始する。

【 0 0 4 1 】

図 3 は、図 2 に示す第 1 レベルシフタの一例を示す回路図である。図 3 に示すように、第 1 レベルシフタ 1 5 0 は、第 1 レベルシフト部 1 5 2、第 2 レベルシフト部 1 5 4、及び第 3 レベルシフト部 1 5 6 を含む。

【 0 0 4 2 】

第 1 レベルシフト部 1 5 2 は、出力イネーブル信号 O E 及び第 1 ゲートクロック C P V 1 を論理演算し、電圧レベルを増幅させることにより、第 1 ゲート駆動回路 1 3 0 に供給する第 1 ゲートクロックパルス C K V 1 を生成する。このために、第 1 レベルシフト部 1 5 2 は、論理演算部 L G 1、駆動インバータ I N V 1、及びフルスイングインバータ 1 5 3 を含む。

【 0 0 4 3 】

論理演算部 L G 1 は、出力イネーブル信号 O E 及び第 1 ゲートクロック C P V 1 を O R 演算する。駆動インバータ I N V 1 は、論理演算部 L G 1 の出力の位相を反転させてフルスイングインバータ 1 5 3 の駆動レベルに増幅する。フルスイングインバータ 1 5 3 は、駆動インバータ I N V 1 の出力に応答して、ゲートオン電圧 V O N レベル及びゲートオフ電圧 V O F F レベルの第 1 ゲートクロックパルス C K V 1 を生成する。

【 0 0 4 4 】

第 2 レベルシフト部 1 5 4 は、出力イネーブル信号 O E 及び第 1 ゲートクロック C P V 1 を論理演算し、電圧レベルを増幅させることにより、第 1 ゲート駆動回路 1 3 0 に供給する第 1 ゲートクロックバーパルス C K V B 1 を生成する。このために、第 2 レベルシフト部 1 5 4 は、論理演算部 L G 2、反転インバータ I N V 2、駆動インバータ I N V 3、

及びフルスイングインバータ155を含む。ここで、第1ゲートクロックバーパルスCKVB1は、第1ゲートクロックパルスCKV1の位相が反転したクロックである。

【0045】

論理演算部LG2は、出力イネーブル信号OE及び第1ゲートクロックCPV1をOR演算する。反転インバータINV2は、論理演算部LG2の出力の位相を反転させて出力する。駆動インバータINV3は、反転インバータINV2の出力の位相を反転させてフルスイングインバータ155の駆動レベルに増幅する。フルスイングインバータ155は、駆動インバータINV3の出力に応答して、ゲートオン電圧VONレベル及びゲートオフ電圧VOFFレベルの第1ゲートクロックバーパルスCKVB1を生成する。

【0046】

第3レベルシフト部156は、出力イネーブル信号OE及びゲートスタート信号STVが入力されて、ゲートオン電圧VONレベル及びゲートオフ電圧VOFFレベルの開始パルスSTVPを生成する。ここで、開始パルスSTVPは、ゲートスタート信号STVと同一の周期及びパルス幅を有し、ゲートオン電圧VONレベル及びゲートオフ電圧VOFFレベルの電圧を有する。

【0047】

一方、第2レベルシフタ160は、前述した第1レベルシフタ150の構成から当業者が容易に実施できるので、第2レベルシフタ160の詳細な説明は省略する。

【0048】

図4は、図1に示す第1及び第2ゲート駆動回路の構成を示すブロック図である。図4に示すように、第1ゲート駆動回路130及び第2ゲート駆動回路140は、ゲートラインGL1、...、GLnを両側からデュアル駆動できるように、表示領域DAの両側に隣接して配置される。第1ゲート駆動回路130及び第2ゲート駆動回路140は、ゲートラインGL1、...、GLnを基準に対称の構造を有する。

【0049】

第1ゲート駆動回路130は、データ駆動回路120から供給された各種信号を回路部132に伝達する配線部134と、配線部134から伝達された各種信号に応答してゲート駆動信号を順次出力する回路部132と、を含む。

【0050】

回路部132は、互いに従属的に接続された複数のステージSTAGE1、...、STAGEN+2を含むシフトレジスタから構成される。第1ステージSTAGE1～第nステージSTAGENは、第1ゲートラインGL1～第nゲートラインGLnに電氣的に接続されてゲート駆動信号を順次出力する。第n+1ステージSTAGEN+1及び第n+2ステージSTAGEN+2は、ダミーステージである。ここで、nは偶数である。

【0051】

複数のステージSTAGE1、...、STAGEN+2は、それぞれ第1クロック端子CK1、第2クロック端子CK2、入力端子IN、制御端子CT、出力端子OUT、リセット端子RE、キャリア端子CR、及び接地電圧端子VSSを含む。

【0052】

複数のステージSTAGE1、...、STAGEN+2のうち、奇数番目のステージSTAGE1、STAGE3、...、STAGEN+1の第1クロック端子CK1及び第2クロック端子CK2には、第1ゲートクロックパルスCKV1又は第1ゲートクロックバーパルスCKVB1が供給される。より具体的には、奇数番目のステージのうち、STAGE1、STAGE5、...、STAGEN-1ステージは、第1クロック端子CK1に第1ゲートクロックパルスCKV1が供給され、第2クロック端子CK2に第1ゲートクロックバーパルスCKVB1が供給される。奇数番目のステージのうち、STAGE3、STAGE7、...、STAGEN+1ステージは、第1クロック端子CK1に第1ゲートクロックバーパルスCKVB1が供給され、第2クロック端子CK2に第1ゲートクロックパルスCKV1が供給される。

【0053】

10

20

30

40

50

奇数番目のステージ $STAGE\ 1$ 、 $STAGE\ 3$ 、...、 $STAGE\ n+1$ の入力端子 IN は前の奇数番目のステージのキャリア端子 CR に接続されて、前の奇数番目のステージのキャリア信号が供給され、制御端子 CT は次の奇数番目のステージの出力端子 OUT に接続されて、次の奇数番目のステージの出力信号が供給される。最初の奇数番目のステージ $STAGE\ 1$ は、前のステージが存在しないので、入力端子 IN に開始パルス $STVP$ が供給される。キャリア端子 CR から出力されるキャリア信号は、次の奇数番目のステージを駆動させる役割を果たす。

【0054】

第 $n-1$ ステージ $STAGE\ n-1$ の制御端子 CT にキャリア信号を供給するダミーステージ $STAGE\ n+1$ の制御端子 CT には、開始パルス $STVP$ が供給されることが好ましい。奇数番目のステージ $STAGE\ 1$ 、 $STAGE\ 3$ 、...、 $STAGE\ n+1$ の接地電圧端子 VSS には、ゲートオフ電圧 $VOFF$ が供給され、リセット端子 RE には第 $n+1$ ステージ $STAGE\ n+1$ の出力信号が供給される。

【0055】

また、 $STAGE\ 1$ 、 $STAGE\ 5$ 、...、 $STAGE\ n-1$ ステージの出力端子 OUT は、第1ゲートクロックパルス $CKV\ 1$ をゲート駆動信号として出力し、 $STAGE\ 1$ 、 $STAGE\ 5$ 、...、 $STAGE\ n-1$ ステージのキャリア端子 CR は、第1ゲートクロックパルス $CKV\ 1$ をキャリア信号として出力する。 $STAGE\ 3$ 、 $STAGE\ 7$ 、...、 $STAGE\ n+1$ ステージの出力端子 OUT は、第1ゲートクロックバーパルス $CKVB\ 1$ をゲート駆動信号として出力し、 $STAGE\ 3$ 、 $STAGE\ 7$ 、...、 $STAGE\ n+1$ ステージのキャリア端子 CR は、第1ゲートクロックバーパルス $CKVB\ 1$ をキャリア信号として出力する。

【0056】

複数のステージ $STAGE\ 1$ 、...、 $STAGE\ n+2$ のうち、偶数番目のステージ $STAGE\ 2$ 、 $STAGE\ 4$ 、...、 $STAGE\ n+2$ の第1クロック端子 $CK\ 1$ 及び第2クロック端子 $CK\ 2$ には、第2ゲートクロックパルス $CKV\ 2$ 又は第2ゲートクロックバーパルス $CKVB\ 2$ が供給される。より具体的には、偶数番目のステージのうち、 $STAGE\ 2$ 、 $STAGE\ 6$ 、...、 $STAGE\ n$ ステージは、第1クロック端子 $CK\ 1$ に第2ゲートクロックパルス $CKV\ 2$ が供給され、第2クロック端子 $CK\ 2$ に第2ゲートクロックバーパルス $CKVB\ 2$ が供給される。偶数番目のステージのうち、 $STAGE\ 4$ 、 $STAGE\ 8$ 、...、 $STAGE\ n+2$ ステージは、第1クロック端子 $CK\ 1$ に第2ゲートクロックバーパルス $CKVB\ 2$ が供給され、第2クロック端子 $CK\ 2$ に第2ゲートクロックパルス $CKV\ 2$ が供給される。

【0057】

偶数番目のステージ $STAGE\ 2$ 、 $STAGE\ 4$ 、...、 $STAGE\ n+2$ の入力端子 IN は、前の偶数番目のステージのキャリア端子 CR に接続されて、前の偶数番目のステージのキャリア信号が供給され、偶数番目のステージ $STAGE\ 2$ 、 $STAGE\ 4$ 、...、 $STAGE\ n+2$ の制御端子 CT は、次の偶数番目のステージの出力端子 OUT に接続されて、次の偶数番目のステージの出力信号が供給される。最初の偶数番目のステージ $STAGE\ 2$ は、前のステージが存在しないので、入力端子 IN に開始パルス $STVP$ が供給される。キャリア端子 CR から出力されるキャリア信号は、次の偶数番目のステージを駆動させる役割を果たす。

【0058】

第 n ステージ $STAGE\ n$ の制御端子 CT にキャリア信号を供給するダミーステージ $STAGE\ n+2$ の制御端子 CT には、開始パルス $STVP$ が供給されることが好ましい。偶数番目のステージ $STAGE\ 2$ 、 $STAGE\ 4$ 、...、 $STAGE\ n+2$ の接地電圧端子 VSS にはゲートオフ電圧 $VOFF$ が供給され、リセット端子 RE には第 $n+2$ ステージ $STAGE\ n+2$ の出力信号が供給される。

【0059】

また、 $STAGE\ 2$ 、 $STAGE\ 6$ 、...、 $STAGE\ n$ ステージの出力端子 OUT は、

10

20

30

40

50

第 2 ゲートクロックパルス C K V 2 をゲート駆動信号として出力し、S T A G E 2、S T A G E 6、...、S T A G E n ステージのキャリア端子 C R は、第 2 ゲートクロックパルス C K V 2 をキャリア信号として出力する。S T A G E 4、S T A G E 8、...、S T A G E n + 2 ステージの出力端子 O U T は、第 2 ゲートクロックバーパルス C K V B 2 をゲート駆動信号として出力し、S T A G E 4、S T A G E 8、...、S T A G E n + 2 ステージのキャリア端子 C R は、第 2 ゲートクロックバーパルス C K V B 2 をキャリア信号として出力する。

【 0 0 6 0 】

すなわち、第 1 ゲート駆動回路 1 3 0 では、奇数番目のステージ S T A G E 1、S T A G E 3、...、S T A G E n + 1 が、第 1 ゲートクロックパルス C K V 1 と第 1 ゲートクロックバーパルス C K V B 1 に同期して動作し、偶数番目のステージ S T A G E 2、S T A G E 4、...、S T A G E n + 2 が、第 2 ゲートクロックパルス C K V 2 と第 2 ゲートクロックバーパルス C K V B 2 に同期して動作する構造を有する。

10

【 0 0 6 1 】

第 1 ゲート駆動回路 1 3 0 の複数のステージ S T A G E 1、...、S T A G E n + 2 の出力端子 O U T は、表示領域 D A に形成されたゲートライン G L 1、...、G L n にそれぞれ対応して接続され、ゲート駆動信号をゲートライン G L 1、...、G L n に順次供給してゲートライン G L 1、...、G L n を順次駆動する。

【 0 0 6 2 】

配線部 1 3 4 は、回路部 1 3 2 に隣接して形成される。配線部 1 3 4 は、互いに平行に延びた開始パルス配線 S L 1、第 1 ゲートクロックパルス配線 S L 2、第 1 ゲートクロックバーパルス配線 S L 3、第 2 ゲートクロックパルス配線 S L 4、第 2 ゲートクロックバーパルス配線 S L 5、接地電圧配線 S L 6、第 1 リセット配線 S L 7、及び第 2 リセット配線 S L 8 を含む。

20

【 0 0 6 3 】

開始パルス配線 S L 1 は、第 1 レベルシフタ 1 5 0 から伝達された開始パルス S T V P を第 1 ステージ S T A G E 1 及び第 2 ステージ S T A G E 2 の入力端子 I N と第 n + 1 ステージ S T A G E n + 1 及び第 n + 2 ステージ S T A G E n + 2 の制御端子 C T に供給する。第 1 ゲートクロックパルス配線 S L 2 は、第 1 レベルシフタ 1 5 0 から伝達された第 1 ゲートクロックパルス C K V 1 を、奇数番目のステージのうち、S T A G E 1、S T A G E 5、...、S T A G E n - 1 ステージの第 1 クロック端子 C K 1 に供給し、S T A G E 3、S T A G E 7、...、S T A G E n + 1 ステージの第 2 クロック端子 C K 2 に供給する。

30

【 0 0 6 4 】

第 1 ゲートクロックバーパルス配線 S L 3 は、第 1 レベルシフタ 1 5 0 から伝達された第 1 ゲートクロックバーパルス C K V B 1 を、奇数番目のステージのうち、S T A G E 3、S T A G E 7、...、S T A G E n + 1 ステージの第 1 クロック端子 C K 1 に供給し、S T A G E 1、S T A G E 5、...、S T A G E n - 1 ステージの第 2 クロック端子 C K 2 に供給する。第 2 ゲートクロックパルス配線 S L 4 は、第 2 レベルシフタ 1 6 0 から伝達された第 2 ゲートクロックパルス C K V 2 を、偶数番目のステージのうち、S T A G E 2、S T A G E 6、...、S T A G E n ステージの第 1 クロック端子 C K 1 に供給し、S T A G E 4、S T A G E 8、...、S T A G E n + 2 ステージの第 2 クロック端子 C K 2 に供給する。

40

【 0 0 6 5 】

第 2 ゲートクロックバーパルス配線 S L 5 は、第 2 レベルシフタ 1 6 0 から伝達された第 2 ゲートクロックバーパルス C K V B 2 を、偶数番目のステージのうち、S T A G E 4、S T A G E 8、...、S T A G E n + 2 の第 1 クロック端子 C K 1 に供給し、S T A G E 2、S T A G E 6、...、S T A G E n ステージの第 2 クロック端子 C K 2 に供給する。接地電圧配線 S L 6 は、電源供給部 1 8 0 から伝達されたゲートオフ電圧 V O F F を第 1 ステージ S T A G E 1 ~ 第 n + 2 ステージ S T A G E n + 2 の接地電圧端子 V S S に供給する。

50

る。

【0066】

第1リセット配線SL7は、第 $n+1$ ステージSTAGEN+1の出力端子OUTの出力信号を奇数番目のステージSTAGE1、STAGE3、...、STAGEN+1のリセット端子REに供給する。第2リセット配線SL8は、第 $n+2$ ステージSTAGEN+2の出力端子OUTの出力信号を偶数番目のステージSTAGE2、STAGE4、...、STAGEN+2のリセット端子REに供給する。

【0067】

第2ゲート駆動回路140は、前述した第1ゲート駆動回路130の構成から当業者が容易に実施できるので、第2ゲート駆動回路140の詳細な説明は省略する。

10

【0068】

図5は、図4に示す第1ステージの一例を示す回路図である。図5に示すように、第1ステージSTAGE1は、プルアップ部132a、プルダウン部132b、駆動部132c、ホールド部132d、スイッチ部132e、及びキャリア部132fを含む。

【0069】

プルアップ部132aは、第1クロック端子CK1から供給される第1ゲートクロックパルスCKV1をプルアップして出力端子OUTからゲート駆動信号GO1として出力する。プルアップ部132aは、ゲートが第1ノードN1に接続され、ドレインが第1クロック端子CK1に接続され、ソースが出力端子OUTに接続される第1トランジスタNT1を含む。

20

【0070】

プルダウン部132bは、第3ステージからのゲート駆動信号GO3に応答して、プルアップされたゲート駆動信号GO1を接地電圧端子VSSから供給されたゲートオフ電圧VOFFにプルダウンする。プルダウン部132bは、ゲートが制御端子CTに接続され、ドレインが出力端子OUTに接続され、ソースが接地電圧端子VSSに接続された第2トランジスタNT2を含む。

【0071】

駆動部132cは、入力端子INから供給される開始パルスSTVPに応答してプルアップ部132aをターンオンさせ、第3ステージのゲート駆動信号GO3に応答してプルアップ部132aをターンオフさせる。このために、駆動部132cは、バッファ部、充電部、及び放電部を含む。

30

【0072】

バッファ部は、ゲート及びドレインが入力端子INに共通接続され、ソースが第1ノードN1に接続される第3トランジスタNT3を含む。充電部は、第1電極が第1ノードN1に接続され、第2電極が第2ノードに接続された第1キャパシタC1を含む。放電部は、ゲートが制御端子CTに接続され、ドレインが第1ノードN1に接続され、ソースが接地電圧端子VSSに接続される第4トランジスタNT4を含む。

【0073】

入力端子INに開始パルスSTVPが入力されると、これに応答して第3トランジスタNT3がターンオンし、開始パルスSTVPが第1キャパシタC1に充電される。第1キャパシタC1に第1トランジスタNT1の閾値電圧以上の電荷が充電されると、第1トランジスタNT1がターンオンして、第1クロック端子CK1に供給される第1ゲートクロックパルスCKV1を出力端子OUTに出力する。

40

【0074】

ここで、第1ノードN1の電位は、第2ノードN2の突然の電位の変化による第1キャパシタC1のカップリング(Coupling)により、第2ノードN2の電位変化量だけブートストラップ(Bootstrap)される。従って、第1トランジスタNT1は、ドレインに印加された第1ゲートクロックパルスCKV1を出力端子OUTに容易に出力できる。出力端子OUTに出力された第1ゲートクロックパルスCKV1は、ゲートラインに供給されるゲート駆動信号GO1となる。ここで、開始パルスSTVPは、最初

50

のゲート駆動信号を生成するために第 1 トランジスタ N T 1 を予備的に充電する信号として使用される。

【 0 0 7 5 】

その後、制御端子 C T から入力される第 3 ステージの出力信号であるゲート駆動信号 G O 3 に応答して第 4 トランジスタ N T 4 がターンオンすると、第 1 キャパシタ C 1 に充電された電荷は、接地電圧端子 V S S から供給されるゲートオフ電圧 V O F F レベルまで放電される。

【 0 0 7 6 】

ホールド部 1 3 2 d は、ゲート駆動信号 G O 1 をゲートオフ電圧 V O F F レベル状態にホールドする第 5 トランジスタ N T 5 及び第 6 トランジスタ N T 6 を含む。第 5 トランジスタ N T 5 は、ゲートが第 3 ノード N 3 に接続され、ドレインが第 2 ノード N 2 に接続され、ソースが接地電圧端子 V S S に接続される。第 6 トランジスタ N 6 は、ゲートが第 2 クロック端子 C K 2 に接続され、ドレインが第 2 ノード N 2 に接続され、ソースが接地電圧端子 V S S に接続される。

【 0 0 7 7 】

スイッチ部 1 3 2 e は、第 7 トランジスタ N T 7、第 8 トランジスタ N T 8、第 9 トランジスタ N T 9、及び第 1 0 トランジスタ N T 1 0 と、第 2 キャパシタ C 2 及び第 3 キャパシタ C 3 とを含み、ホールド部 1 3 2 d の駆動を制御する。第 7 トランジスタ N T 7 は、ゲート及びドレインが第 1 クロック端子 C K 1 に接続され、ソースは第 9 トランジスタ N T 9 のドレインと第 8 トランジスタ N T 8 のゲートに共通接続される。第 8 トランジスタ N T 8 は、ドレインが第 1 クロック端子 C K 1 に接続され、ゲートは第 2 キャパシタ C 2 を介してドレインに接続され、ソースが第 3 ノード N 3 に接続され、ゲートとソースとは第 3 キャパシタ C 3 を介して互いに接続される。第 9 トランジスタ N T 9 は、ドレインが第 7 トランジスタ N T 7 のソースに接続され、ゲートが第 2 ノード N 2 に接続され、ソースは接地電圧端子 V S S に接続される。第 1 0 トランジスタ N T 1 0 は、ドレインが第 3 ノード N 3 に接続され、ゲートは第 2 ノード N 2 に接続され、ソースは接地電圧端子 V S S に接続される。

【 0 0 7 8 】

出力端子 O U T にハイ状態のゲートクロックパルス C K V 1 がゲート駆動信号 G O 1 として出力されると、第 2 ノード N 2 の電位はハイ状態に上昇する。第 2 ノード N 2 の電位がハイ状態に上昇すると、第 9 トランジスタ N T 9 及び第 1 0 トランジスタ N T 1 0 はターンオン状態に切り替えられる。ここで、第 1 クロック端子 C K 1 から供給される第 1 ゲートクロックパルス C K V 1 によって、第 7 トランジスタ N T 7 及び第 8 トランジスタ N T 8 がターンオンした状態に切り替えられても、第 7 トランジスタ N T 7 及び第 8 トランジスタ N T 8 から出力された信号は、第 9 トランジスタ N T 9 及び第 1 0 トランジスタ N T 1 0 を介してゲートオフ電圧 V O F F まで放電される。従って、ハイ状態のゲート駆動信号 G O 1 が出力される間、第 3 ノード N 3 の電位はロー状態に維持されるので、第 5 トランジスタ N T 5 はターンオフ状態を維持する。

【 0 0 7 9 】

その後、制御端子 C T から入力された第 3 ステージの駆動信号 G O 3 に応答して、ゲート駆動信号 G O 1 が接地電圧端子 V S S から放電され、第 2 ノード N 2 の電位はロー状態に徐々に下降する。従って、第 9 トランジスタ N T 9 及び第 1 0 トランジスタ N T 1 0 はターンオフ状態に切り替えられ、第 7 トランジスタ N T 7 及び第 8 トランジスタ N T 8 から出力された信号によって、第 3 ノード N 3 の電位はハイ状態に上昇する。第 3 ノード N 3 の電位が上昇することによって第 5 トランジスタ N T 5 がターンオンし、第 2 ノード N 2 の電位は、第 5 トランジスタ N T 5 を介してゲートオフ電圧 V O F F まで放電される。

【 0 0 8 0 】

この状態で、第 2 クロック端子 C K 2 に供給される第 1 ゲートクロックパルス C K V B 1 によって、第 6 トランジスタ N T 6 がターンオンすると、第 2 ノード N 2 の電位は接地電圧端子 V S S から完全に放電される。

10

20

30

40

50

【0081】

その結果、ホールド部132dの第5トランジスタNT5及び第6トランジスタNT6は、第2ノードN2の電位をゲートオフ電圧VOFF状態にホールドする。スイッチ部132eは、第5トランジスタNT5がターンオンする時点を決断する。

【0082】

キャリア部132fは、ドレインが第1クロック端子CK1に接続され、ゲートが第1ノードN1に接続され、ソースがキャリア端子CRに接続された第11トランジスタNT11と、第11トランジスタNT11のゲートとソースとの間に接続される第4キャパシタC4とを含む。第11トランジスタNT11は、第1ノードN1の電位が上昇することによってターンオンし、ドレインに輸入された第1ゲートクロックパルスCKV1をキャリア信号CAsig1として出力する。第4キャパシタC4は、第1キャパシタC1と同様に、開始パルスSTVPを充電して第11トランジスタNT11をターンオンする機能を果たす。キャリア信号CAsig1は、次のステージである第3ステージの輸入端子INに供給され、第3ステージの駆動のための開始パルスSTVPとして使用される。

【0083】

一方、第1ステージSTAGE1は、リップル防止部132gとリセット部132hとをさらに含む。リップル防止部132gは、既にゲートオフ電圧VOFF状態に維持されたゲート駆動信号GO1が、輸入端子INから輸入されるノイズによってリップルされることを防止する。このために、リップル防止部132gは、第12トランジスタNT12と、第13トランジスタNT13とを含む。第12トランジスタNT12は、ドレインが輸入端子INに接続され、ゲートが第2クロック端子CK2に接続され、ソースが第1ノードN1に接続される。第13トランジスタNT13は、ドレインが第1ノードN1に接続され、ゲートが第1クロック端子CK1に接続され、ソースが第2ノードN2に接続される。

【0084】

リセット部132hは、ドレインが第1ノードN1に接続され、ゲートがリセット端子REに接続され、ソースが接地電圧端子VSSに接続された第14トランジスタNT14を含む。第14トランジスタNT14は、リセット端子REから輸入された第n+1ステージSTAGEN+1の出力信号GOn+1に回答して、第1ノードN1をゲートオフ電圧VOFFまで放電させる。第n+1ステージSTAGEN+1の出力は1フレームの最後を意味するので、リセット部132hは、1フレームが終わる時点に全ての奇数番目のステージSTAGE1、STAGE3、...、STAGEN-1の第1ノードN1を同時に放電させる役割を果たす。

【0085】

すなわち、リセット部132hは、奇数番目のステージSTAGE1、STAGE3、...、STAGEN-1からゲート駆動信号が順次出力され、その後、第n+1ステージSTAGEN+1の出力信号によって奇数番目のステージSTAGE1、STAGE3、...、STAGEN+1の第14トランジスタNT14をターンオンさせることにより、奇数番目のステージSTAGE1、STAGE3、...、STAGEN+1の第1ノードN1をゲートオフ電圧VOFF状態にリセットする。従って、その後、回路部132の奇数番目のステージSTAGE1、STAGE3、...、STAGEN+1は初期化した状態で再び動作を始めることができる。

【0086】

一方、図4に示す第2～第n+2ステージは前述した第1ステージの構成から当業者が容易に実施できるので、第2～第n+2ステージの詳細な説明は省略する。

【0087】

図6及び図7は、本発明の一実施形態による液晶表示装置と従来の液晶表示装置の開始パルスによるゲート駆動回路の動作を比較するためのシミュレーショングラフである。

【0088】

まず、図6を参照して、従来の液晶表示装置の開始パルスによるゲート駆動回路の動作

を説明する。図 6 に示すように、従来の液晶表示装置のゲート駆動回路は、最初の奇数番目のステージ 1 S T O D D S T A G E を駆動させる第 1 開始パルス S T V P 1 と、最初の偶数番目のステージ 1 S T E V E N S T A G E を駆動させる第 2 開始パルス S T V P 2 とにより駆動が開始される。

【 0 0 8 9 】

第 2 開始パルス S T V P 2 は、第 1 開始パルス S T V P 1 が最初の奇数番目のステージ 1 S T O D D S T A G E の入力端子に供給された後、最初の偶数番目のステージ 1 S T E V E N S T A G E の入力端子に供給される。より具体的には、1 つのゲートラインに供給されるゲートオン電圧 V O N がハイレベル状態を維持する時間を t_{ON} とすると、第 2 開始パルス S T V P 2 は、第 1 開始パルス S T V P 1 が供給されて $t_{ON} / 2$ が経過した後には供給される。これは、隣接するゲートラインに供給されるゲート駆動信号を重ねてゲートライン遅延による充電率の不足を補償するためである。

【 0 0 9 0 】

一方、第 1 開始パルス S T V P 1 及び第 2 開始パルス S T V P 2 は、最初の奇数番目のステージ 1 S T O D D S T A G E 及び最初の偶数番目のステージ 1 S T E V E N S T A G E のプルアップ部 1 3 2 a である第 1 トランジスタを予めターンオンさせる予備信号 N 1 s i g , N 2 s i g として使用されるだけであり、最初の奇数番目のステージ 1 S T O D D S T A G E 及び最初の偶数番目のステージ 1 S T E V E N S T A G E から出力されるゲート駆動信号 G O 1 , G O 2 のタイミングに影響を及ぼさない。これは、最初の奇数番目のステージ 1 S T O D D S T A G E 及び最初の偶数番目のステージ 1 S T E V E N S T A G E から出力されるゲート駆動信号 G O 1 , G O 2 は、第 1 ゲートクロックパルス C K V 1 及び第 2 ゲートクロックパルス C K V 2 にそれぞれ同期して出力されるためである。

【 0 0 9 1 】

次に、図 7 を参照して、本発明の一実施形態による液晶表示装置の開始パルスによるゲート駆動回路の動作を説明する。図 7 に示すように、本発明の一実施形態による液晶表示装置のゲート駆動回路は、1 つの開始パルス S T V P により最初の奇数番目のステージ 1 S T O D D S T A G E と最初の偶数番目のステージ 1 S T E V E N S T A G E を駆動させる。

【 0 0 9 2 】

ここで、開始パルス S T V P は、従来の第 1 開始パルス S T V P 1 と同一のパルスでもよい。好ましくは、開始パルス S T V P のライジング時点は、従来の第 1 開始パルス S T V P 1 のライジング時点と同一であり、フォーリング時点は最初の偶数番目のステージの入力端子に第 2 ゲートクロックパルス C K V 2 が入力される前であることが好ましい。

【 0 0 9 3 】

より具体的には、開始パルス S T V P は、最初の奇数番目のステージ 1 S T O D D S T A G E の入力端子と、最初の偶数番目のステージ 1 S T E V E N S T A G E の入力端子に同時に供給される。最初の奇数番目のステージ 1 S T O D D S T A G E は、供給される開始パルス S T V P を最初の奇数番目のステージ 1 S T O D D S T A G E の第 1 キャパシタに充電させ、最初の奇数番目のステージ 1 S T O D D S T A G E の第 1 トランジスタを予めターンオンさせる予備信号 N 1 s i g を生成し、第 1 ゲートクロックパルス C K V 1 に同期してゲート駆動信号 G O 1 を出力する。最初の偶数番目のステージ 1 S T E V E N S T A G E は、供給される開始パルス S T V P を最初の偶数番目のステージ 1 S T E V E N S T A G E の第 1 キャパシタに充電させ、最初の偶数番目のステージ 1 S T E V E N S T A G E の第 1 トランジスタを予めターンオンさせる予備信号 N 2 s i g を生成し、第 2 ゲートクロックパルス C K V 2 に同期してゲート駆動信号 G O 2 を出力する。

【 0 0 9 4 】

ここで、最初の偶数番目のステージ 1 S T E V E N S T A G E の第 1 キャパシタは、最初の奇数番目のステージ 1 S T O D D S T A G E の第 1 キャパシタに開始パルス

STVPが充電される時点に充電を開始し、第1トランジスタをターンオンさせる予備信号N2sigを生成する。すなわち、最初の偶数番目のステージ1ST EVEN STAGEの第1キャパシタは、最初の奇数番目のステージ1ST ODD STAGEの第1キャパシタが予備信号を生成するために充電する時間を含み、第2ゲートクロックパルスCKV2がハイ状態で入力されるまで充電を継続する。そして、最初の偶数番目のステージ1ST EVEN STAGEは、第2ゲートクロックパルスCKV2がハイ状態で入力されると、これをゲート駆動信号GO2として出力する。

【0095】

従って、本発明の一実施形態による液晶表示装置は、最初の奇数番目のステージ1ST ODD STAGEと最初の偶数番目のステージ1ST EVEN STAGEとが1つの開始パルスSTVPを共有して動作できる。これにより、従来の第1及び第2開始パルスを供給するための配線の集積空間が1/2に減る。

【0096】

図8は、図1に示す第1及び第2ゲート駆動回路の他の構成を示すブロック図である。図8に示すように、第1ゲート駆動回路130は、データ駆動回路120から供給された各種信号を伝達する配線部134と、配線部134から伝達された各種信号に応答してゲート駆動信号を順次出力する回路部132とを含む。

【0097】

回路部132は、互いに従属的に接続された複数のステージSTAGE 1、...、STAGE n+2を含む。複数のステージSTAGE 1、...、STAGE n+2は、リセット端子REに第n+2ステージSTAGE n+2の出力信号が供給される。

【0098】

配線部134は、互いに平行に延びた開始パルス配線SL1、第1ゲートクロックパルス配線SL2、第1ゲートクロックバーパルス配線SL3、第2ゲートクロックパルス配線SL4、第2ゲートクロックバーパルス配線SL5、接地電圧配線SL6、及びリセット配線SL7を含む。リセット配線SL7は、第n+2ステージSTAGE n+2の出力端子OUTの出力信号を、複数のステージSTAGE 1、...、STAGE n+2のリセット端子REに供給する。

【0099】

すなわち、本発明の他の実施形態による第1ゲート駆動回路130は、奇数番目のステージSTAGE 1、STAGE 3、...、STAGE n+1と偶数番目のステージSTAGE 2、STAGE 4、...、STAGE n+2とが1つのリセット信号を共有する構造を有する。第2ゲート駆動回路140は、前述した第1ゲート駆動回路130と同一の構成を有するので、第2ゲート駆動回路140の詳細な説明は省略する。

【0100】

図9及び図10は、本発明の他の実施形態による液晶表示装置と従来の液晶表示装置とのゲート駆動回路の動作を比較するためのシミュレーショングラフである。

【0101】

図9に示すように、従来の液晶表示装置のゲート駆動回路は、第n+1ステージSTAGE n+1の出力信号である第1リセット信号RST1により奇数番目のステージSTAGE 1、STAGE 3、...、STAGE n+1がリセットされ、第n+2ステージSTAGE n+2の出力信号である第2リセット信号RST2により偶数番目のステージSTAGE 2、STAGE 4、...、STAGE n+2がリセットされる。

【0102】

図10に示すように、本発明の他の実施形態による液晶表示装置のゲート駆動回路は、第n+2ステージSTAGE n+2の出力信号である1つのリセット信号RSTにより奇数番目のステージSTAGE 1、STAGE 3、...、STAGE n+1と偶数番目のステージSTAGE 2、STAGE 4、...、STAGE n+2とが同時にリセットされる。

【0103】

リセット信号RSTは、1フレームの最後を通知する信号であり、複数のステージの第

10

20

30

40

50

14トランジスタT14をターンオンさせて第1ノードN1を放電させる役割を果たす。従って、奇数番目のステージSTAGE1、STAGE3、...、STAGEN+1のリセット端子REに第n+2ステージの出力信号をリセット信号RSTとして供給し、奇数番目のステージSTAGE1、STAGE3、...、STAGEN+1をリセットしても、タイミング上の問題が発生しない。

【0104】

従って、本発明の他の実施形態による液晶表示装置は、奇数番目のステージSTAGE1、STAGE3、...、STAGEN+1と偶数番目のステージSTAGE2、STAGE4、...、STAGEN+2とが1つのリセット信号RSTを共有して動作できる。これにより、従来の第1及び第2リセット信号を供給するための配線の集積空間が1/2に減る。

10

【0105】

一方、図8に示す第1及び第2ゲート駆動回路の第n+2ステージSTAGEN+2は、第1ステージSTAGE1～第n+1ステージSTAGEN+1の第1トランジスタNT1よりも容量が大きいトランジスタをプルアップ部132aとして用いることが好ましい。これは、第n+2ステージSTAGEN+2のプルアップ部132aは、第1～第n+2ステージSTAGE1、...、STAGEN+2のリセット部132hを構成する全てのトランジスタNT14を同時に駆動させ、ゲートラインに供給されるゲートオフ電圧VOFFを安定化させる役割を果たすためである。

【0106】

20

第n+2ステージSTAGEN+2のプルアップ部132aを構成する第1トランジスタNT1は、第1ステージSTAGE1～第n+1ステージSTAGEN+1のプルアップ部132aを構成するトランジスタの約2～2.5倍のサイズを有することが好ましい。より好ましくは、第n+2ステージSTAGEN+2のプルアップ部132aを構成する第1トランジスタNT1は、第1ステージSTAGE1～第n+1ステージSTAGEN+1のプルアップ部132aを構成するトランジスタの2.3倍のサイズを有する。

【0107】

図11は、前述した第n+2ステージSTAGEN+2の出力波形を示すシミュレーショングラフである。図11に示すように、第n+2ステージSTAGEN+2の出力信号である1つのリセット信号RSTにより、奇数番目のステージSTAGE1、STAGE3、...、STAGEN+1と偶数番目のステージSTAGE2、STAGE4、...、STAGEN+2とが同時にリセットされる。リセット信号RSTは、第1ステージSTAGE1～第n+1ステージSTAGEN+1のプルアップ部を構成するトランジスタの約2.5倍のサイズのトランジスタで構成されたプルアップ部により生成されるので、第1ステージSTAGE1～第n+1ステージSTAGEN+1のプルアップ部により生成されたゲート駆動回路より大きな駆動能力を有する信号であることが分かる。

30

【0108】

以上の本発明の詳細な説明では本発明の好ましい実施形態に基づいて説明したが、当該技術分野の習熟した当業者又は当該技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された本発明の思想及び技術領域から外れない範囲内で本発明を多様に修正及び変更できることを理解するであろう。

40

【0109】

従って、本発明の技術的範囲は明細書の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲により定められるべきである。

【図面の簡単な説明】

【0110】

【図1】本発明の一実施形態による液晶表示装置を示すブロック図である。

【図2】図1に示す第1及び第2レベルシフタの入出力信号の関係を示す図である。

【図3】図2に示す第1レベルシフタの一例を示す回路図である。

【図4】図1に示す第1及び第2ゲート駆動回路の構成を示すブロック図である。

50

【図 5】図 4 に示す第 1 ステージの一例を示す回路図である。

【図 6】従来の液晶表示装置の開始パルスによるゲート駆動回路の動作を示すシミュレーショングラフである。

【図 7】本発明の一実施形態による液晶表示装置の開始パルスによるゲート駆動回路の動作を示すシミュレーショングラフである。

【図 8】図 1 に示す第 1 及び第 2 ゲート駆動回路の他の構成を示すブロック図である。

【図 9】従来の液晶表示装置のゲート駆動回路の動作を示すシミュレーショングラフである。

【図 10】本発明の他の実施形態による液晶表示装置のゲート駆動回路の動作を示すシミュレーショングラフである。

10

【図 11】図 8 に示す第 1 及び第 2 ゲート駆動回路の第 $n + 2$ ステージの出力波形を示すシミュレーショングラフである。

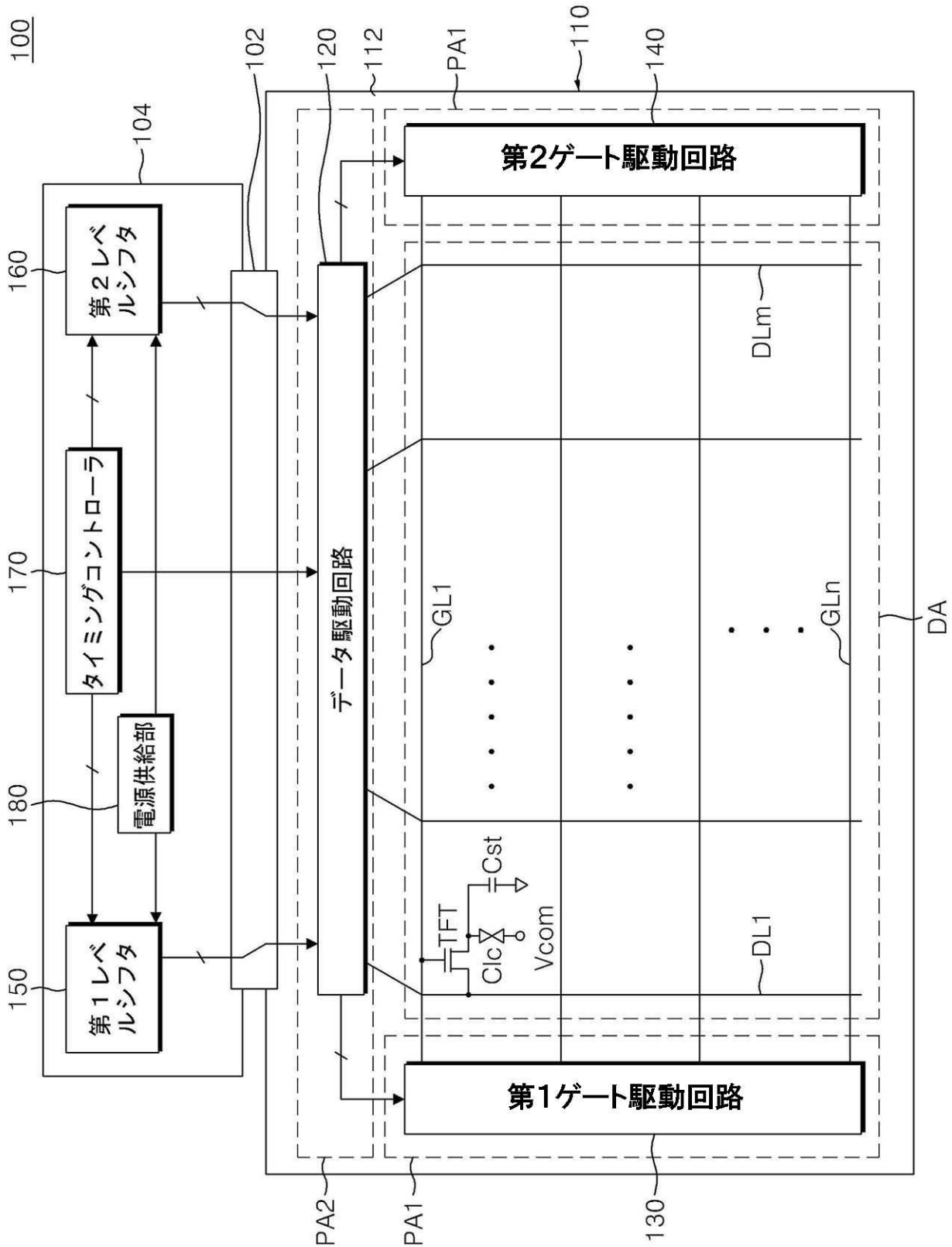
【符号の説明】

【0111】

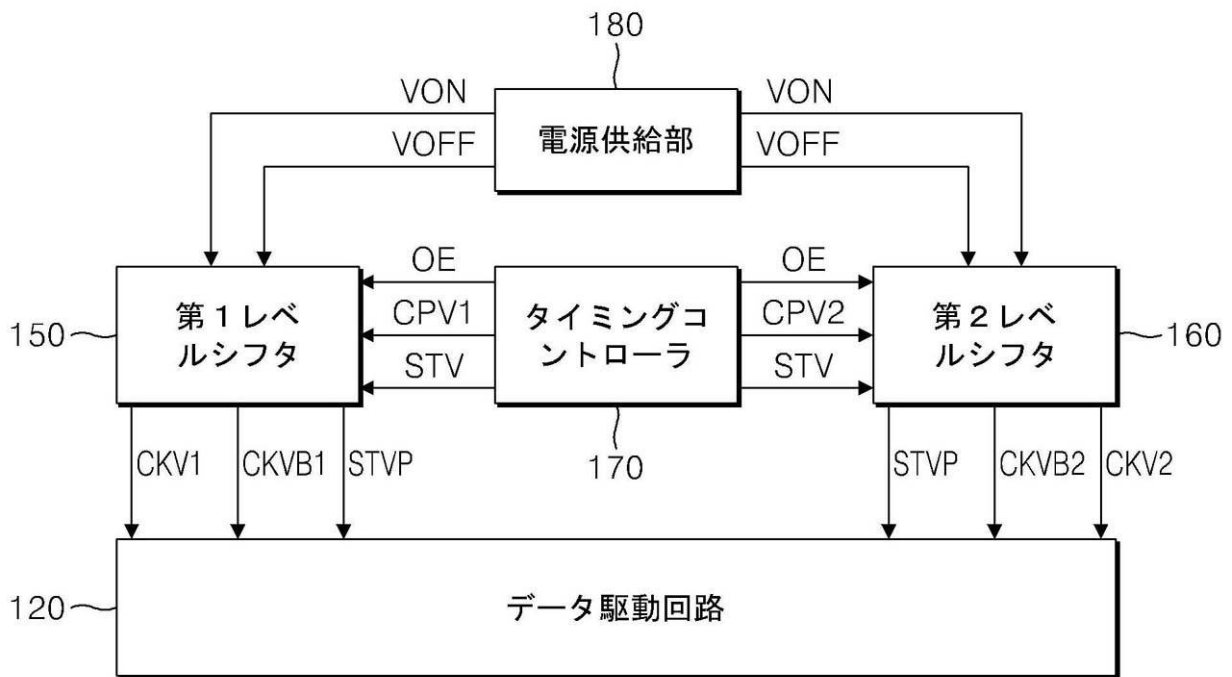
- 100 液晶表示装置、
- 110 液晶パネル、
- 120 データ駆動回路、
- 130 第 1 ゲート駆動回路、
- 140 第 2 ゲート駆動回路、
- 150 第 1 レベルシフタ、
- 160 第 2 レベルシフタ、
- 170 タイミングコントローラ、
- 180 電源供給部。

20

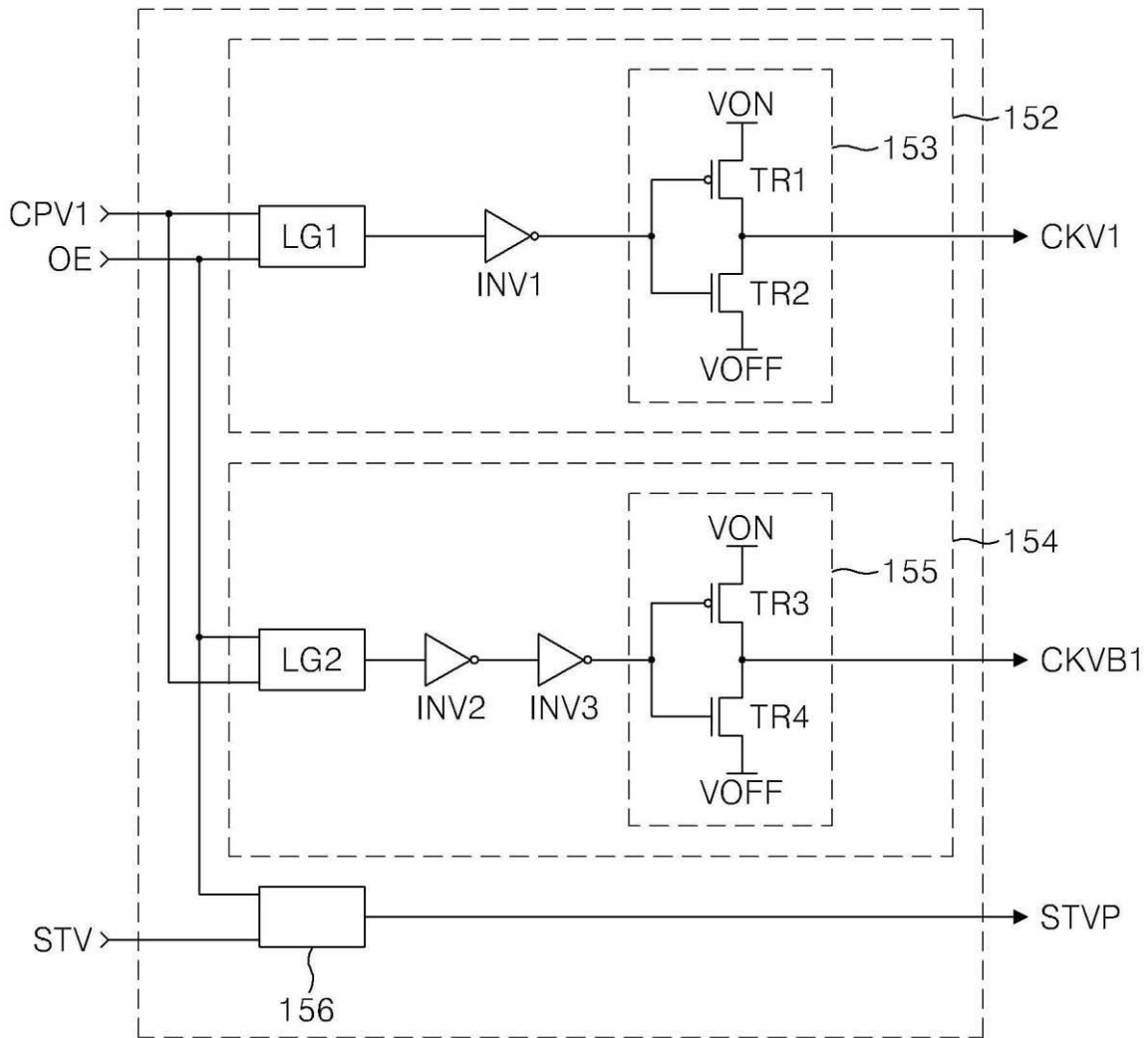
【図 1】



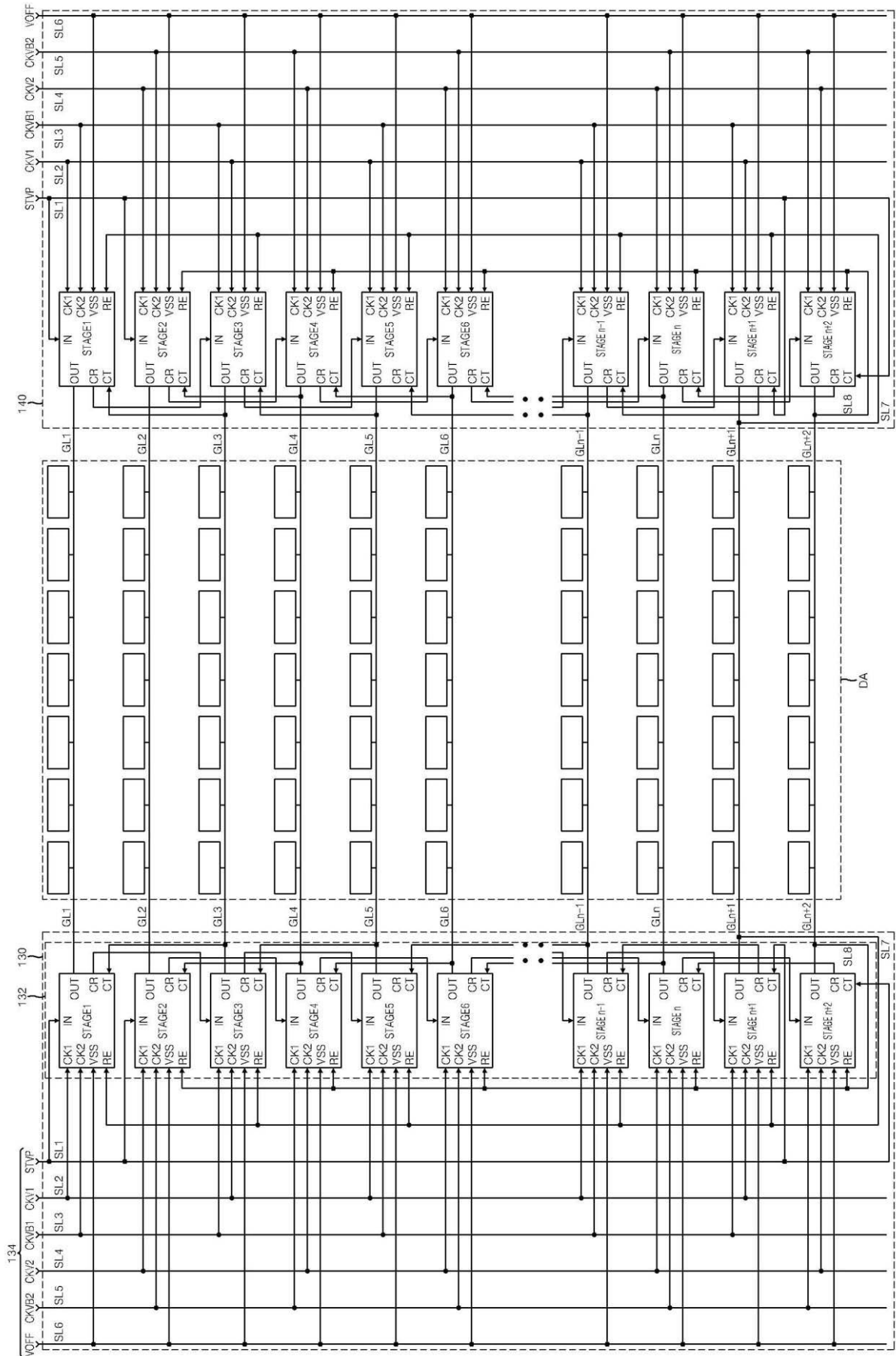
【図 2】



【図 3】

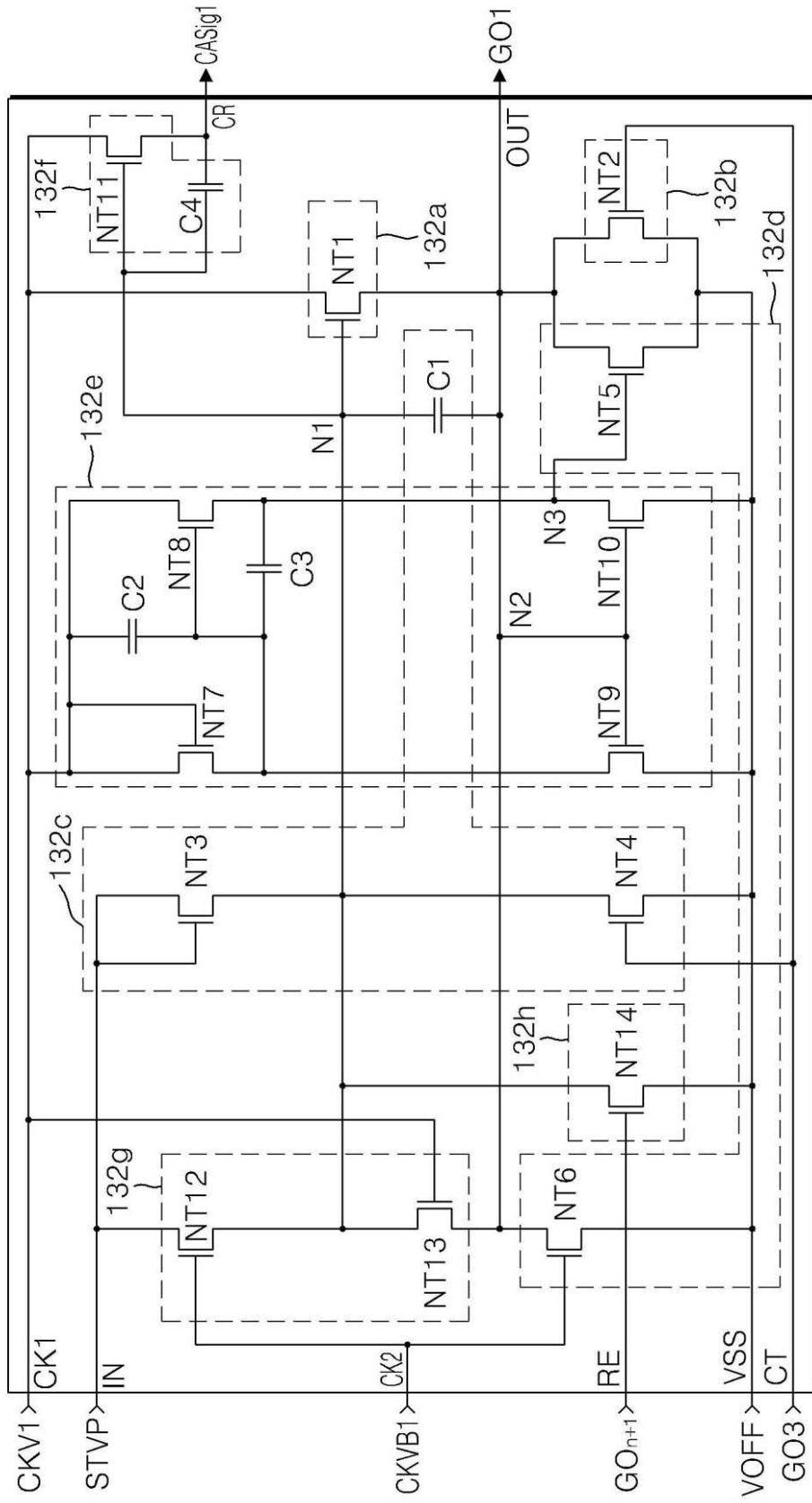
150

【 図 4 】

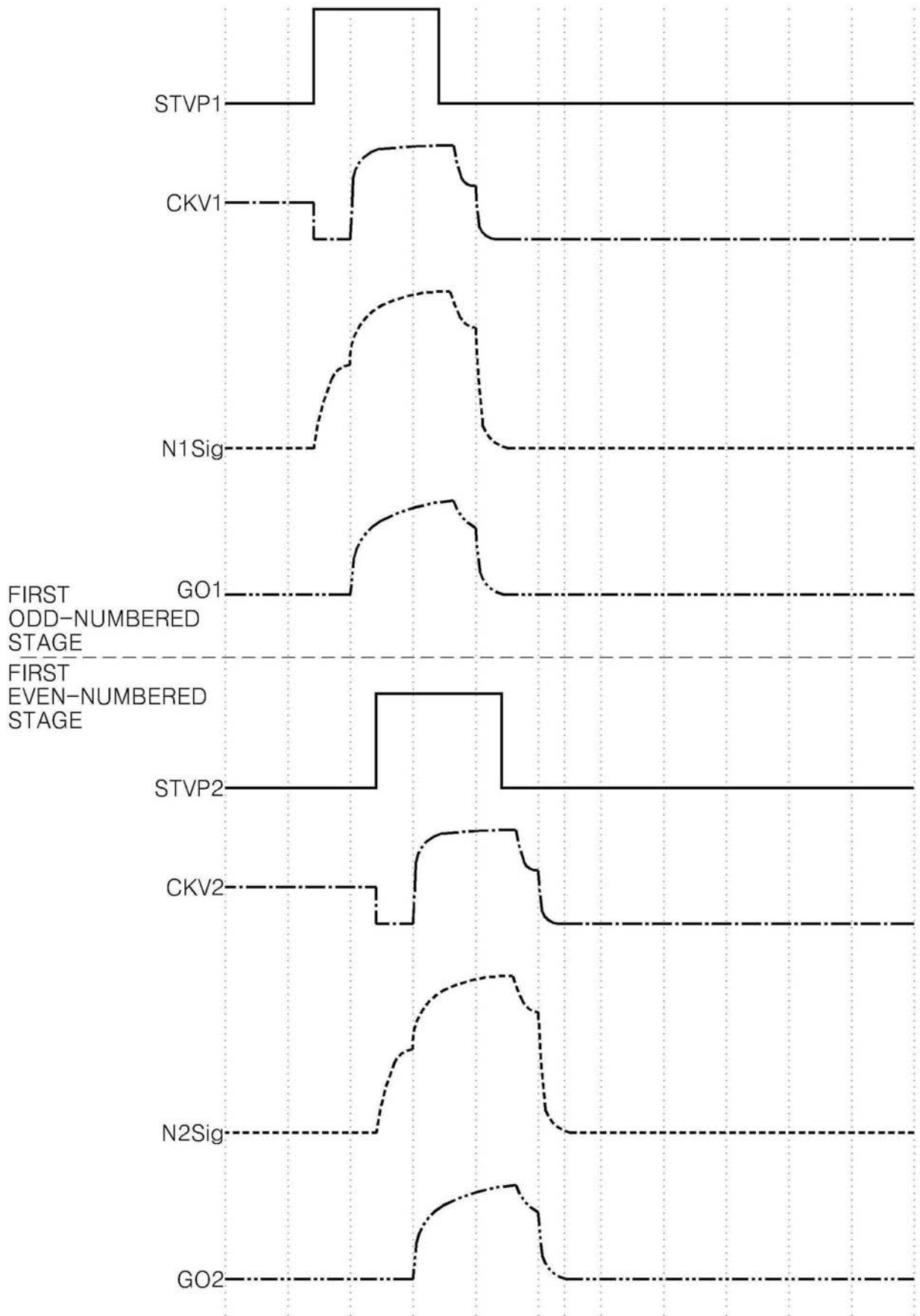


【図 5】

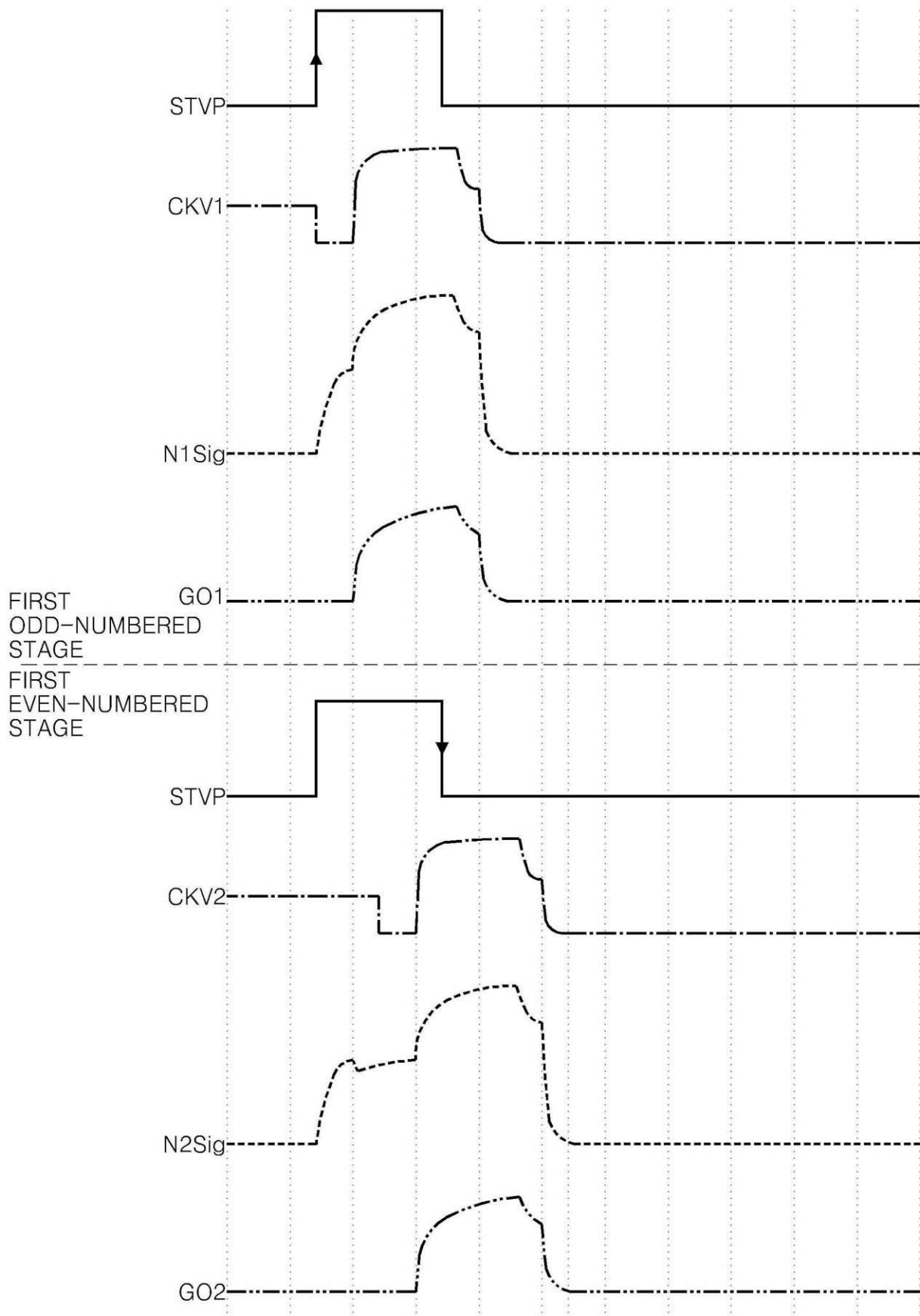
STAGE1



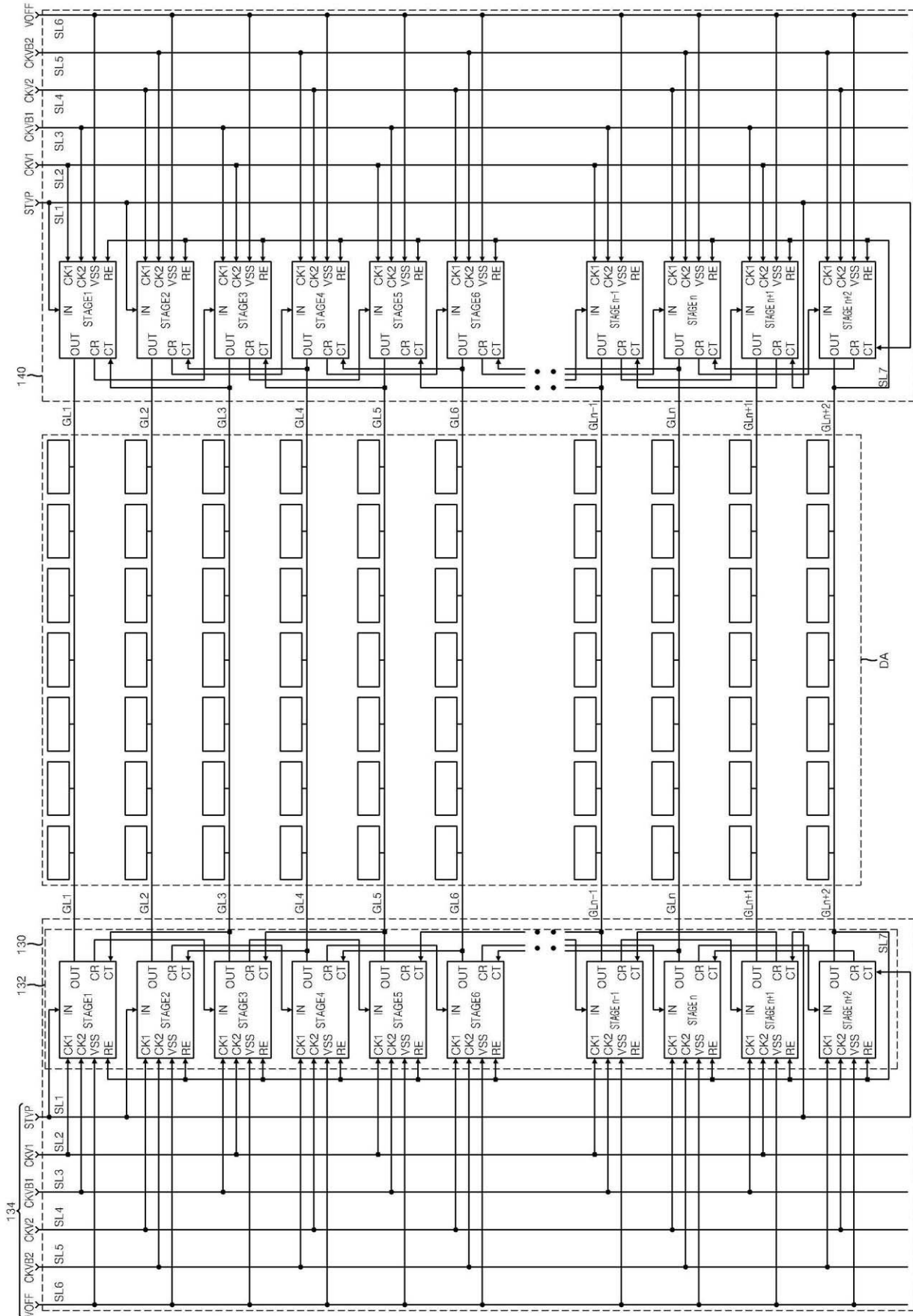
【図 6】



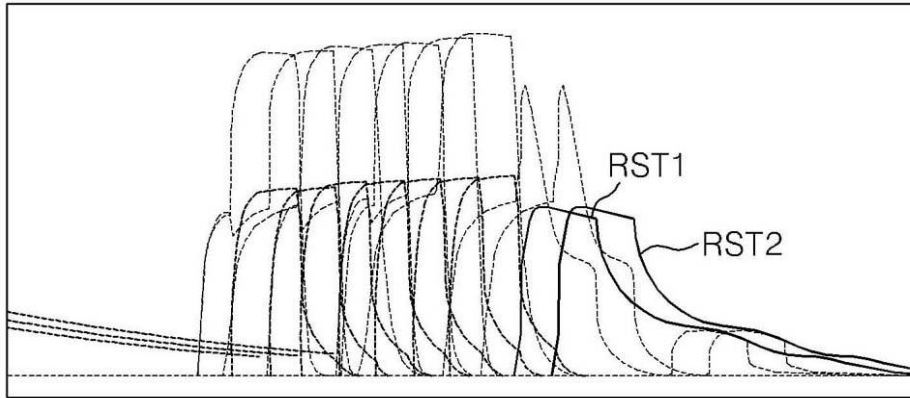
【図 7】



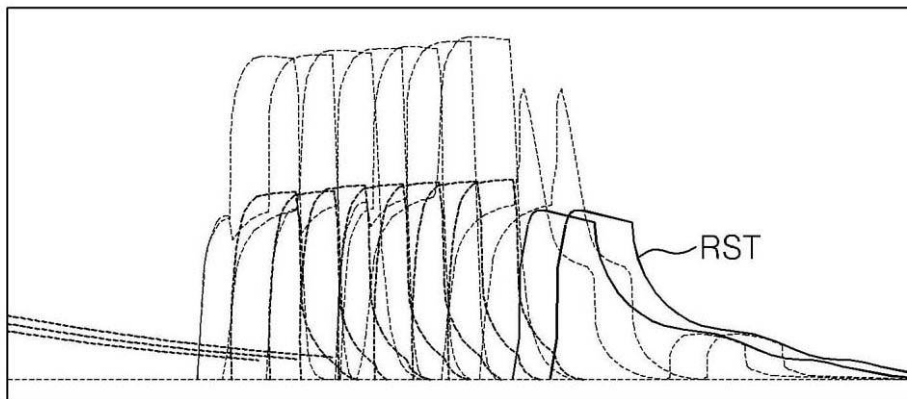
【 8 】



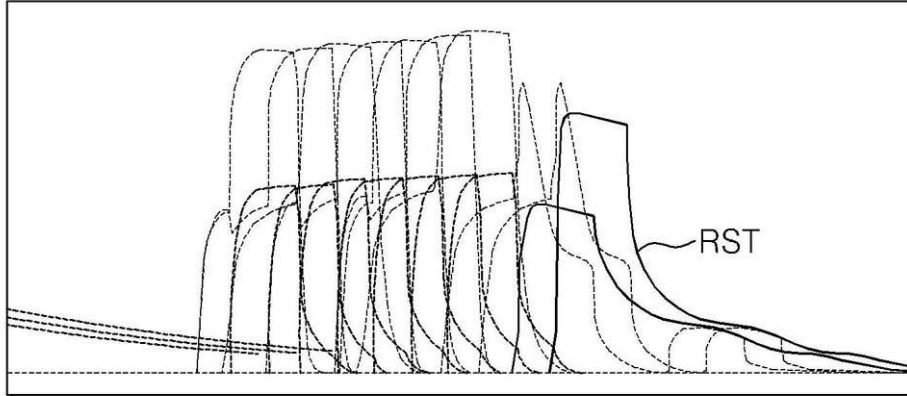
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 1 L
G 0 9 G	3/20	6 1 2 K
G 0 9 G	3/20	6 1 2 L
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 0 5

(72)発明者 李 龍 淳

大韓民国忠清南道天安市木川邑新溪里 1 0 3 - 4 番地 シンドブラニュー 1 次 1 0 2 棟 8 0 3 号

(72)発明者 李 ▲ぶん▼ 哲

大韓民国ソウル特別市銅雀区鷺梁津洞 3 2 5 番地 新東亜リバーパーク 7 0 3 棟 1 7 1 3 号

(72)発明者 金 容 範

大韓民国京畿道龍仁市器興区新葛洞 韓新エマジンアパート 1 0 2 棟 1 6 0 3 号

(72)発明者 全 相 鎮

大韓民国京畿道水原市靈通区靈通洞 黄骨マウル 1 団地アパート 1 3 8 棟 1 7 0 5 号

F ターム(参考) 2H093 NA16 NA43 NC02 NC10 NC12 NC21 NC34 NC35 ND49 ND54
ND55

5C006	AC22	AF42	AF71	AF72	BB16	BB27	BC02	BC03	BC22	BF03
	BF26	BF27	BF34	BF46	BF50	EB05	FA16	FA42	FA51	
5C080	AA10	BB05	DD23	DD27	FF11	JJ02	JJ03	JJ04		

专利名称(译)	栅极驱动电路和使用其的液晶显示装置		
公开(公告)号	JP2008146079A	公开(公告)日	2008-06-26
申请号	JP2007319864	申请日	2007-12-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	白承洙 李龍淳 李ぶん哲 金容範 全相鎭		
发明人	白 承 洙 李 龍 淳 李 ▲ぶん▼ 哲 金 容 範 全 相 鎭		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/0286 G09G2320/0223 G11C19/184		
FI分类号	G09G3/36 G09G3/20.622.B G09G3/20.622.Q G09G3/20.622.E G09G3/20.622.G G09G3/20.621.A G09G3/20.621.L G09G3/20.612.K G09G3/20.612.L G02F1/133.550 G02F1/133.505 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC02 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC34 2H093/NC35 2H093/ND49 2H093/ND54 2H093/ND55 5C006/AC22 5C006/AF42 5C006/AF71 5C006/AF72 5C006/BB16 5C006/BB27 5C006/BC02 5C006/BC03 5C006/BC22 5C006/BF03 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF46 5C006/BF50 5C006/EB05 5C006/FA16 5C006/FA42 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD23 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZF02 2H193/ZF22 2H193/ZF24 2H193/ZF36 5B074/AA10 5B074/CA01 5B074/DA03 5B074/DB01 5B074/EA01 5B074/EA02 5B074/EA04		
优先权	1020060125333 2006-12-11 KR 1020060129732 2006-12-19 KR		
其他公开文献	JP2008146079A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其减少连接到栅极驱动电路的信号布线。解决方案：液晶显示装置包括时序控制器，电平移位器，以及第一和第二栅极驱动电路130,140。时序控制器响应外部输入信号产生输出使能信号，栅极时钟和一个启动信号。电平移位器响应于输出使能信号和栅极时钟产生栅极时钟脉冲CKV1，CKV2和栅极时钟条脉冲CKVB1，CKVB2，并响应于起始信号和栅极时钟产生一个起始脉冲STVR。第一和第二栅极驱动电路响应于起始脉冲输出栅极时钟脉冲或栅极时钟条脉冲作为栅极驱动信号到多条栅极线GL1等GLn。

