

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-97005

(P2008-97005A)

(43) 公開日 平成20年4月24日(2008.4.24)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1345 (2006.01)	G02F 1/1345	2H093
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 623B	5C080
G02F 1/133 (2006.01)	G09G 3/20 621M	
審査請求 有 請求項の数 1 O L (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2007-263260 (P2007-263260)	(71) 出願人	000002185
(22) 出願日	平成19年10月9日 (2007.10.9)		ソニー株式会社
(62) 分割の表示	特願平10-200130の分割		東京都港区港南1丁目7番1号
原出願日	平成10年7月15日 (1998.7.15)	(74) 代理人	100086298
			弁理士 船橋 國則
		(72) 発明者	猪野 益充
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	市川 弘明
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	寺口 晋一
			東京都港区港南1丁目7番1号 ソニー株
			式会社内

最終頁に続く

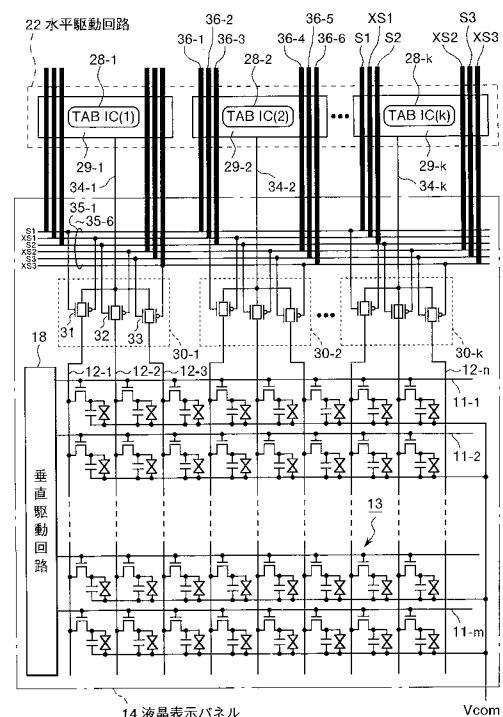
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示パネルの左右の額縁サイズを小さくし、装置全体の小型化を可能にするとともに、高解像度化に伴う高速駆動にも対応できるようにする。

【解決手段】 各画素に行単位で順に信号電位を与えるための水平駆動回路22を、液晶表示パネル14の外部回路として設けたアクティブマトリクス型液晶表示装置において、時分割スイッチ30-1～30-kに制御信号S1, XS1, S2, XS2, S3, XS3を外部から伝送する制御ライン36-1～36-6を、液晶表示パネル14の上側に配され、TAB IC(1) 18-1～TAB IC(k) 18-kを搭載した外部回路基板29-1～29-kを通して配線し、液晶表示パネル14の基板上に配線された制御ライン35-1～35-6に対して制御信号S1, XS1, S2, XS2, S3, XS3を複数の個所から入力するようにする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

透明絶縁基板上にマトリクス状に配線された複数行分のゲートラインと複数列分の信号ラインとの交点に画素が形成されてなる表示部と、

前記透明絶縁基板上に設けられて前記複数行分のゲートラインを駆動する垂直駆動回路と、

前記複数列分の信号ラインの各々に対応して前記透明絶縁基板上に設けられた複数のスイッチ素子と、

前記複数列分の信号ラインに対して前記複数のスイッチ素子を介して順次信号電位を供給する複数の IC からなる水平駆動回路と、

前記複数の IC の各々を搭載する複数の回路基板からなり、前記透明絶縁基板とは別体の外部回路基板と、

前記複数の回路基板の各々を通して前記複数のスイッチ素子まで配線され、これらスイッチ素子に対してその選択のための制御信号を転送する制御ラインとを備え、

前記制御ラインは、前記透明絶縁基板に配線された 1 本の制御ラインに対して前記制御信号を複数の個所から入力する

ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置（LCD；Liquid Crystal Display）に関し、特に各画素に行単位で順に信号電位を与えるための水平駆動回路を、液晶表示パネルの基板とは別体の基板に形成して外部回路として設けてなるアクティブマトリクス型液晶表示装置に関する。

【背景技術】

【0002】

パーソナルコンピュータやワードプロセッサなどに用いられている液晶表示装置は、アクティブマトリクス型が主力となっている。このアクティブマトリクス型の液晶表示装置は、応答速度や画像品質の面で優れており、近年のカラー化に最適な液晶表示装置となってきた。

【0003】

この種の液晶表示装置において、液晶表示パネルの各画素には、トランジスタあるいはダイオードなどの非線形な素子が用いられている。具体的には、透明絶縁基板（例えば、ガラス基板）上に薄膜トランジスタ（TFT；thin film transistor）を形成した構造となっている。

【0004】

ところで、特に大型の液晶表示装置においては、各画素に行単位で順に信号電位を与える水平駆動回路であるドライバ IC を、液晶表示パネルとは別体の外部回路基板上に設けた構成を採っている。そして、外部のドライバ IC の出力と液晶表示パネルの信号ラインとは、通常、1 対 1 の対応関係にある。すなわち、ドライバ IC の各出力端子からの信号電位はそのまま対応する信号ラインに与えられるようになっている。

【0005】

これに対して、ドライバ IC の小型化を図るために、ドライバ IC の出力ピン（出力端子）の数の削減を可能とする液晶表示パネルの駆動法として、いわゆる時分割駆動法が知られている（例えば、特許文献 1 参照）。

【0006】

この時分割駆動法は、複数本の信号ラインを 1 単位（1 ブロック）とし、この 1 分割ブロック内の複数本の信号ラインに与える信号電位を時系列でドライバ IC から出力する一方、液晶表示パネルには複数本の信号ラインを 1 単位として時分割スイッチを設け、これら時分割スイッチにてドライバ IC から出力される時系列の信号電位を時分割して複数本の信号ラインに順次与える駆動方法である。

【0007】

【特許文献1】特開平4-52684号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

この時分割駆動法を採った場合、液晶表示パネル上に設けられた時分割スイッチに対してその選択を制御するための制御信号を外部から与える必要がある。一般的には、液晶表示パネル上に時分割スイッチの分割数に対応した本数の制御ラインを配線するとともに、これら制御ラインに時分割スイッチを接続しておき、液晶表示パネルの両側からフレキシブルケーブルを介して制御ラインに制御信号を入力し、この制御ラインを介して時分割スイッチに制御信号を与える構成が考えられる。

10

【0009】

しかしながら、図8に示すように、液晶表示パネル101の左右両側からフレキシブルケーブル102a, 102bを通して制御信号を入力する場合、液晶表示パネル101上の制御ラインの両端のパッド（図示せず）に対するフレキシブルケーブル102a, 102bの接続部分103a, 103bの配置面積が余分に必要となるため、液晶表示パネル101の左右の額縁サイズが大きくなる。その結果、液晶表示装置全体のサイズが大きくなり、液晶表示装置の小型化の妨げとなってしまう。

【0010】

しかも、フレキシブルケーブルは現在、250 μ m以下の狭いパッドピッチを前提としては作製されておらず、そのためパッド領域の専有面積を大きくとることになる。今後、液晶表示装置の高解像度化により、時分割スイッチを用いての水平方向の信号時分割処理といえども、パッドのピッチは100 μ m以下が必要となる。しかし、フレキシブルケーブルではこのパッドピッチに対応することはできない。

20

【0011】

また、図9に示す時分割処理による信号電位の書き込み方式では、時分割スイッチ104に対してR（赤）、G（緑）、B（青）の各画素の信号電位を、水平方向に亘って同時に入力することになるが、このとき、時分割スイッチ104の選択を制御するための制御信号には高速応答性が要求される。ところが、14インチ以上の大型液晶表示装置においては、制御信号を伝送する制御ライン105の配線長が長くなることにより、その配線抵抗やライン間の配線容量による時定数が存在する。

30

【0012】

そして、この時定数に起因して、制御信号が入力されるパッド106a, 106bから遠く離れた時分割スイッチ104では応答時間のばらつき、遅延が生じる。これは、画面内に縦方向にすじ、もしくは縦方向欠陥を発生させる原因となる。また、制御信号の時間的マージンを十分に確保することが難しくなり、結果として、高速信号制御ができなくなる。特に、大型液晶表示装置の高解像度化に伴う高速駆動では問題になると考えられる。

【0013】

その対策としては、時定数を小さくすれば良いのであるが、ライン間の配線容量は、時分割スイッチ104を構成するMOSトランジスタのゲート配線の配線間隔によるものが多い。この配線間隔は、高微細化に伴って値を簡単に変更できるものではない。これに対して、配線抵抗も配線幅を大きくとれば小さくすることができるが、高微細化を達成するためには、配線抵抗を小さくすることは難しいのが現状である。

40

【0014】

本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、液晶表示パネルの左右の額縁サイズを小さくし、装置全体の小型化を可能にするとともに、高解像度化に伴う高速駆動にも十分に対応可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0015】

本発明による液晶表示装置は、透明絶縁基板上にマトリクス状に配線された複数行分の

50

ゲートラインと複数列分の信号ラインとの交点に画素が形成されてなる表示部と、前記透明絶縁基板上に設けられて前記複数行分のゲートラインを駆動する垂直駆動回路と、前記複数列分の信号ラインの各々に対応して前記透明絶縁基板上に設けられた複数個のスイッチ素子と、前記複数列分の信号ラインに対して前記複数個のスイッチ素子を介して順次信号電位を供給する複数個のICからなる水平駆動回路と、前記複数個のICの各々を搭載する複数個の回路基板からなり、前記透明絶縁基板とは別体の外部回路基板と、前記複数個の回路基板の各々を通して前記複数個のスイッチ素子まで配線され、これらスイッチ素子に対してその選択のための制御信号を転送する制御ラインとを備え、前記制御ラインは、前記透明絶縁基板に配線された1本の制御ラインに対して前記制御信号を複数の個所から入力する構成となっている。

10

【0016】

上記構成の液晶表示装置において、水平駆動回路を搭載した外部回路基板を通して制御ラインを配線するようにすることで、水平駆動回路を表示部と接続する際に、制御ラインの表示部に対する接続も同時に行える。しかも、表示部の両側にフレキシブルケーブルを接続する場合のような余分な額縁サイズを必要とすることもない。また、制御ラインを外部回路基板を通して配線し、透明絶縁基板に配線された1本の制御ラインに対して制御信号を複数の個所から入力することで、透明絶縁基板に配線された1本の制御ラインの実質的な配線抵抗を小さくすることができる。

【発明の効果】

【0017】

本発明によれば、液晶表示パネルの左右の額縁サイズを小さくし、装置全体の小型化を可能にするとともに、高解像度化に伴う高速駆動にも十分に対応可能であり、また、透明絶縁基板に配線された1本の制御ラインの実質的な配線抵抗を小さくすることができる。

20

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0019】

図1は、本発明の一実施形態を示す概略構成図である。図1において、透明絶縁基板、例えばガラス基板（図示せず）上にm行分のゲートライン11-1～11-mおよびn列分の信号ライン12-1～12-nがマトリクス状に配線され、その交点にはm行n列分の単位画素13が形成されて液晶表示パネル（表示部）14を構成している。

30

【0020】

単位画素13は、特に図2から明らかなように、薄膜トランジスタ15、付加容量16および液晶容量17から構成されている。薄膜トランジスタ15は、そのゲート電極がゲートライン11-1, 11-2, 11-3, ……に、そのソース電極が信号ライン12-1, 12-2, 12-3, ……にそれぞれ接続されている。

【0021】

この画素構造において、液晶容量17は、薄膜トランジスタ15で形成される画素電極と、これに対向して形成される対向電極との間で発生する容量を意味する。そして、この画素電極に保持される電位は、“H”レベルもしくは“L”レベルの電位で書き込まれる。

40

【0022】

液晶の駆動に際しては、対向電極の電位（コモン電位Vcom）を例えば6VのDC電位に設定し、これに対して信号電位を高電位H、低電位Lで1フィールド周期にて周期的に変動させることにより、交流駆動が実現できる。この交流駆動は、液晶分子の分極作用を減少させることができ、液晶分子の帯電もしくは電極表面に存在する絶縁膜の帯電を防ぐことが可能となる。

【0023】

一方、単位画素13では、薄膜トランジスタ15がオン状態となると、液晶での光の透過率が変化するとともに付加容量16が充電される。この充電により、薄膜トランジスタ

50

15がオフ状態となっても、付加容量16の充電電圧による液晶での光透過率状態が、次に薄膜トランジスタ15がオン状態となるまでの間保持される。このような方式により、液晶表示パネル14の表示画像における画質向上が図られる。

【0024】

液晶表示パネル14と同一基板上には、薄膜トランジスタによって垂直駆動回路18が形成されている。この垂直駆動回路18は、その各行の出力端に各一端が接続されたゲートライン11-1～11-mに対して順に走査パルスを与えて各画素13を行単位で選択することによって垂直走査を行う。この垂直駆動回路18は、例えば図3に示すように、シフトレジスタ19、レベルシフタ20およびバッファ21を有する構成となっている。

【0025】

一方、デジタル信号の入力を前提とした場合、液晶を駆動するためにはアナログ信号に変換する必要がある。そのため、信号ライン12-1～12-nに画像データに応じた信号電位を与える水平駆動回路22が、後述するように、上記液晶表示パネル14の基板とは別体の回路基板上に形成されて外部回路として設けられる。

【0026】

水平駆動回路22は、例えば図4に示すように、シフトレジスタ23、レベルシフタ24、データラッチ25、D/Aコンバータ26およびバッファ27を有する構成となっている。この水平駆動回路22には、例えば8階調以上で512色以上の表示を可能とするデジタル画像データが入力される。

【0027】

また、時分割駆動を実現するために、n列分の信号ライン12-1～12-nを時分割数に対応した本数（本例では、3時分割に対応して3本）を1単位（ブロック）として分割した場合において、水平駆動回路22は、図1から明らかなように、その分割した数kに対応したk個のドライバIC、例えばTAB（Tape Automated Bonding）IC(1)28-1～TABIC(k)28-kによって構成されている。

【0028】

そして、これらTABIC(1)28-1～TABIC(k)28-kは、液晶表示パネル14の基板とは別体の外部回路基板29-1～29-k上に搭載され、1分割ブロック内の複数本の信号ラインに与える信号電位を時系列で出力するようになっている。これに対応して、k個の時分割スイッチ30-1～30-kが、n列分の信号ライン12-1～12-nの入力段に設けられている。

【0029】

時分割スイッチ30-1は3時分割を実現するために、特に図2から明らかなように、PchMOSトランジスタおよびNMOSトランジスタが並列に接続されてなる3個のCMOSアナログスイッチ（トランスミッションスイッチ）31, 32, 33からなり、液晶表示パネル14と同一基板上に薄膜トランジスタによって形成されている。他の時分割スイッチ30-2～30-kについても、時分割スイッチ30-1と全く同じ構成となっている。

【0030】

そして、例えば時分割スイッチ30-1において、3個のアナログスイッチ31, 32, 33の各入力端は共通に接続され、その共通接続点は共通信号ライン34-1を介してTABIC28-1の出力端に接続されている。これにより、TABIC(1)28-1から時系列で出力される信号電位が、共通信号ライン34-1を経由して3個のアナログスイッチ31, 32, 33の各入力端に与えられる。これらアナログスイッチ31, 32, 33の各出力端は、3本の信号ライン12-1, 12-2, 12-3の各一端に接続されている。

【0031】

時分割スイッチ30-2に対しては、共通信号ライン34-2を経由してTABIC(2)28-2から時系列の信号電位が供給される。同様にして、時分割スイッチ30-kに対しては、共通信号ライン34-kを経由してTABIC(k)28-kから時系列の信号電位が供給される。なお、本例では、簡単のため、1個のTABICにつき1本の共通信号ラインを配した構成を示したが、実際には複数本の共通信号ラインが配されることになる。

10

20

30

40

50

【0032】

また、液晶表示パネル14と同一基板上において、1個のアナログスイッチにつき2本、計6本の制御ライン35-1～35-6が、ゲートライン11-1～11-mの配線方向に沿って配線されている。そして、例えば時分割スイッチ30-1にあっては、アナログスイッチ31の2つの制御入力端（即ち、Nch, PchMOSトランジスタの各ゲート）が制御ライン35-1, 35-2に、アナログスイッチ32の2つの制御入力端が制御ライン35-3, 35-4に、アナログスイッチ33の2つの制御入力端が制御ライン35-5, 35-6にそれぞれ接続されている。

【0033】

なお、ここでは、時分割スイッチ30-1の3個のアナログスイッチ31～33の6本の制御ライン35-1～35-6に対する接続関係について説明したが、他の時分割スイッチ30-2～30-kについても全く同じ接続関係となっている。

【0034】

6本の制御ライン35-1～35-6には、時分割スイッチ30-1～30-kの各3個のアナログスイッチ31～33を選択するための制御信号S1～S3, XS1～XS3を外部から与える必要がある。ただし、制御信号XS1～XS3は、制御信号S1～S3の反転信号である。この制御信号S1～S3, XS1～XS3は、TABIC28-1～28-kの各々から出力される時系列の信号電位に同期して、時分割スイッチ30-1～30-kの各3個のアナログスイッチ31～33を順次オンさせるための信号である。

【0035】

この制御信号S1～S3, XS1～XS3の液晶表示パネル14への入力は、水平駆動回路22側から、即ち液晶表示パネル14の上側から複数の個所にて行われる。具体的には、k個の時分割スイッチ30-1～30-kごとに6本の制御ライン36-1～36-6が、TABIC28-1～28-kをそれぞれ搭載した外部回路基板29-1～29-kを通して、液晶表示パネル14上の6本の制御ライン35-1～35-6まで配線される。

【0036】

この制御ライン36-1～36-6の配線は、例えば、TABの低膨張のテープを用いて行われる。そして、6本の制御ライン36-1～36-6のうち、制御ライン36-1は制御信号S1を、制御ライン36-2は制御信号XS1を、制御ライン36-3は制御信号S2を、制御ライン36-4は制御信号XS2を、制御ライン36-5は制御信号S3を、制御ライン36-6は制御信号XS3をそれぞれ伝送することになる。

【0037】

図5は、液晶表示パネル14の基板上に形成される薄膜トランジスタの断面構造図である。同図において、(a)はボトムゲート構造の薄膜トランジスタを、(b)はトップゲート構造の薄膜トランジスタをそれぞれ示している。

【0038】

図5(a)に示すボトムゲート構造の薄膜トランジスタでは、ガラス基板41の上にゲート電極42が形成され、その上にゲート絶縁膜43を介してポリシリコン(Poly-Si)層44が形成され、さらにその上に層間絶縁膜45が形成されている。また、ゲート電極42の側方のゲート絶縁膜43上には、N+拡散層からなるソース領域46およびドレイン領域47が形成され、これらの領域46, 47にはソース電極48およびドレイン電極49がそれぞれ接続されている。

【0039】

図5(b)に示すトップゲート構造の薄膜トランジスタでは、ガラス基板51の上にポリシリコン層52が形成され、その上にゲート絶縁膜53を介してゲート電極54が形成され、さらにその上に層間絶縁膜55が形成されている。また、ポリシリコン層52の側方のガラス基板51上には、N+拡散層からなるソース領域56およびドレイン領域57が形成され、これらの領域56, 57にはソース電極58およびドレイン電極59がそれぞれ接続されている。

【0040】

次に、上記構成における時分割スイッチ 30-1, 30-2, 30-3の動作について、図6のタイミングチャートを用いて説明する。なお、図1には、時分割スイッチ 30-3およびこれに対応する T A B I C (3) については省略されている。

【0041】

また、本例では、R (赤), G (緑), B (青) に対応した3分割 (時分割) 駆動への適用の場合を例に採っていることから、T A B I C (1) 28-1, T A B I C (2) 28-2, T A B I C (3) 28-3からは、R, G, Bの3画素分の信号電位が順に時系列で出力され、共通信号ライン 34-1, 34-2, 34-3によって時分割スイッチ 30-1, 30-2, 30-3へ伝送される。

【0042】

具体的には、図6のタイミングチャートに示すように、T A B I C (1) 28-1から時分割スイッチ 30-1にはR1, G1, B1の各画素の信号電位が、T A B I C (2) 28-2から時分割スイッチ 30-2にはR2, G2, B2の各画素の信号電位が、T A B I C (3) 28-3から時分割スイッチ 30-3にはR3, G3, B3の各画素の信号電位が、……という具合に伝送される。

【0043】

一方、時分割スイッチ 30-1, 30-2, 30-3には、上記の時系列の信号に同期した制御信号 S1, X S1, S2, X S2, S3, X S3が、外部回路基板 29-1~29-kを通して配線された6本の制御ライン 36-1~36-6および液晶表示パネル 14の基板上に配線された6本の制御ライン 35-1~35-6を経由して与えられる。

【0044】

これにより、制御信号 S1が“H”レベルのときは、アナログスイッチ 31がオン状態となり、R1, R3の各画素の信号電位を信号ライン 12-1~12-nの対応する信号ラインにそれぞれ与える。制御信号 S2が“H”レベルのときは、アナログスイッチ 32がオン状態となり、G2の画素の信号電位を信号ライン 12-1~12-nの対応する信号ラインに与える。制御信号 S3が“H”レベルのときは、アナログスイッチ 33がオン状態となり、B1, B3の各画素の信号電位を信号ライン 12-1~12-nの対応する信号ラインにそれぞれ与える。

【0045】

上述したように、各画素に行単位で順に信号電位を与えるための水平駆動回路 22を、液晶表示パネル 14の外部回路として設けてなるアクティブマトリクス型液晶表示装置において、時分割スイッチ 30-1~30-kに制御信号 S1, X S1, S2, X S2, S3, X S3を外部から伝送する制御ライン 36-1~36-6を、液晶表示パネル 14の上側に配線された外部回路基板 29-1~29-kを通して配線したことにより、液晶表示パネル 14の左右両側にフレキシブルケーブルを接続する場合に比べて液晶表示パネル 14の左右の額縁サイズを縮小できることになる。

【0046】

特に、制御ライン 36-1~36-6を、外部回路基板 29-1~29-k上に搭載された T A B I C (1) 28-1~T A B I C (k) 28-kのテープを用いて配線するようにしたことにより、T A Bの接続工程で制御ライン 36-1~36-6の接続も同時に行える。したがって、フレキシブルケーブルを用いる場合のその接続工程が不要となるため、工程数を1つ削減でき、その分だけ製造コストを低減できることにもなる。

【0047】

また、制御ライン 36-1~36-6を外部回路基板 29-1~29-kの各々を通して配線し、液晶表示パネル 14の基板上に配線された制御ライン 35-1~35-6に対して制御信号 S1, X S1, S2, X S2, S3, X S3を複数の個所から入力するようにしたことにより、制御ライン 35-1~35-6の実質的な配線抵抗を小さくすることができる。

【0048】

しかも、外側の T A Bを用いて配線された制御ライン 36-1~36-6の配線幅は、液晶表示パネル 14の基板上に配線された制御ライン 35-1~35-6の配線幅 (例えば、7 μ

10

20

30

40

50

m) よりも大きく (例えば、 $100\text{ }\mu\text{m}$)、かつ配線材料はアルミニウムに対して比抵抗の小さい銅を使用しているため、配線抵抗を格段に小さくすることができる。

【0049】

このように、制御信号 S1, XS1, S2, XS2, S3, XS3 を伝送する制御ライン 36-1~36-6 および制御ライン 35-1~35-6 の配線抵抗を小さくすることにより、図 7 に示すように、これらの配線抵抗による時定数を小さくできるため、この時定数に起因する制御信号 S1, XS1, S2, XS2, S3, XS3 の遅延を抑えることができる。

【0050】

これにより、この遅延に起因する画質の低下を未然に防止できるとともに、制御信号 S1, XS1, S2, XS2, S3, XS3 の時間的マージン (図 6 に示す α) を十分に確保でき、ブランキング期間を小さくすることができるため、ドット周波数の増大による液晶の高速駆動が実現でき、14 インチ以上の XGA、SXGA、UXGA もしくは 4 インチ以上の VGA、SVGA に対応可能な液晶表示装置を作製できる。

【0051】

なお、上記実施形態においては、信号ライン 12-1~12-n を駆動する水平駆動回路 22 を、液晶表示パネル 14 の一方側 (本例では、上側) に配置した構成の液晶表示装置に適用した場合について説明したが、水平駆動回路 22 を例えばコモン電圧 Vcom を基準に 2 つに分割し、この 2 つの水平駆動回路を液晶表示パネル 14 の上下に配置した構成の液晶表示装置についても同様に適用することが可能である。

【図面の簡単な説明】

【0052】

【図 1】本発明による液晶表示装置の一実施形態を示す概略構成図である。

【図 2】図 1 の要部の拡大図である。

【図 3】垂直駆動回路の構成の一例を示すブロック図である。

【図 4】水平駆動回路の構成の一例を示すブロック図である。

【図 5】薄膜トランジスタの一例を示す断面構造図であり、(a) はボトムゲート構造の場合を、(b) はトップゲート構造の場合をそれぞれ示している。

【図 6】3 分割駆動の場合の各信号のタイミングチャートである。

【図 7】本発明の動作説明図である。

【図 8】フレキシブルケーブルを用いた場合の概略構成図である。

【図 9】左右両側入力の場合の課題を説明する図である。

【符号の説明】

【0053】

11-1~11-m…ゲートライン、12-1~12-n…信号ライン、13…単位画素、14…液晶表示パネル、15…薄膜トランジスタ、16…付加容量、17…液晶容量、18…垂直駆動回路、22…水平駆動回路、28-1~28-k…TABIC(1)~TABIC(k)、29-1~29-k…外部回路基板、30-1~30-k…時分割スイッチ、31~33…アナログスイッチ、34-1~34-k…共通信号ライン、35-1~35-k、36-1~36-k…制御ライン

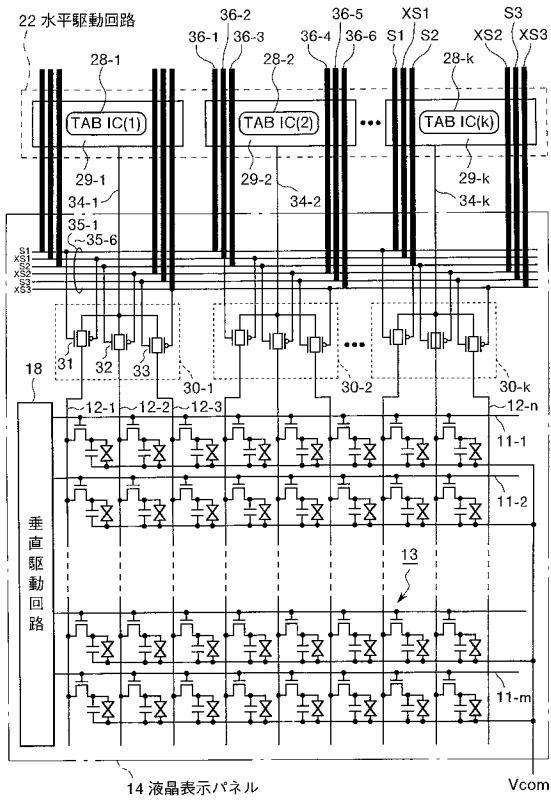
10

20

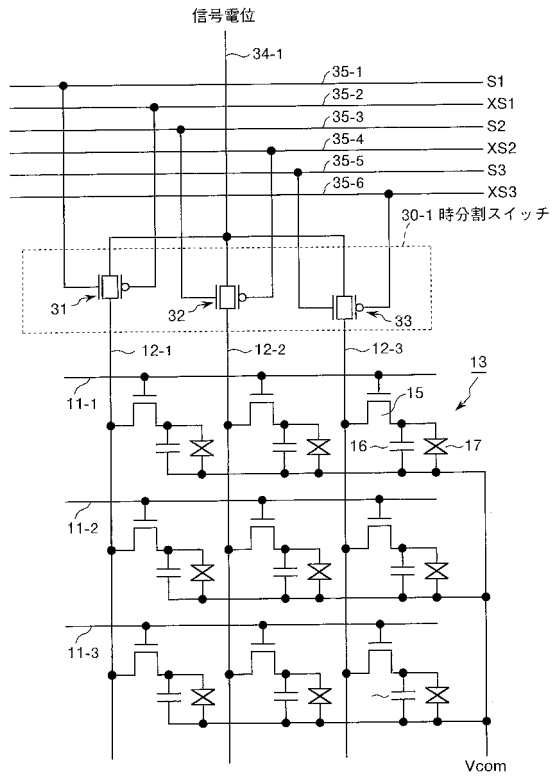
30

40

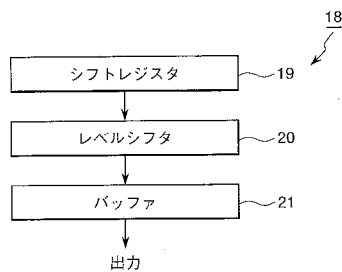
【 図 1 】



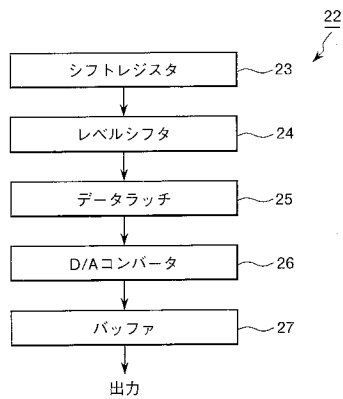
【図 2】



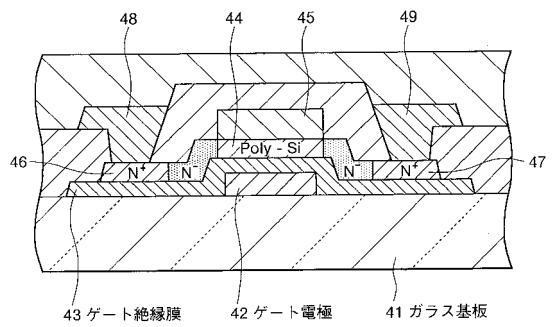
【図 3】



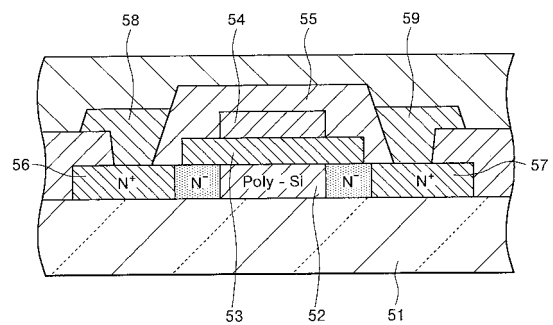
【図 4】



【図 5】

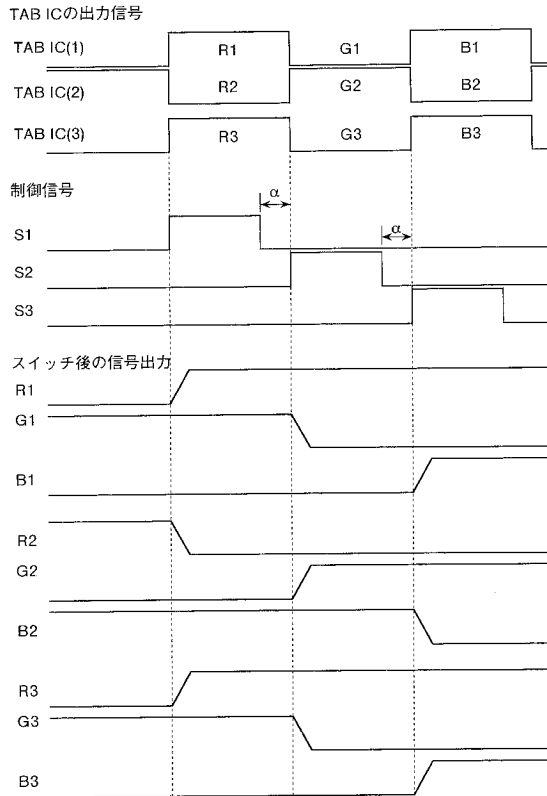


(a)

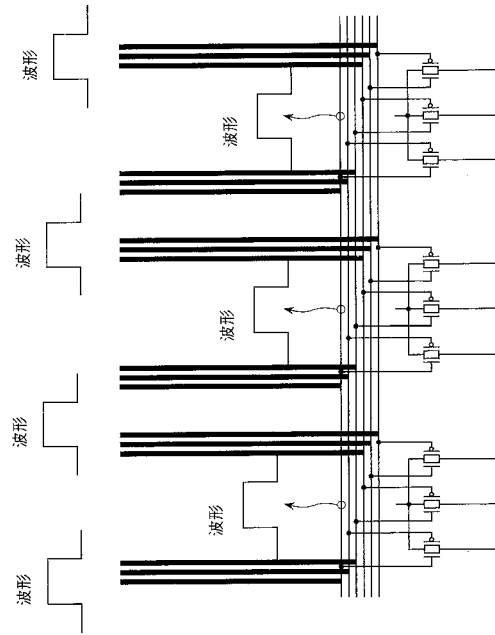


(b)

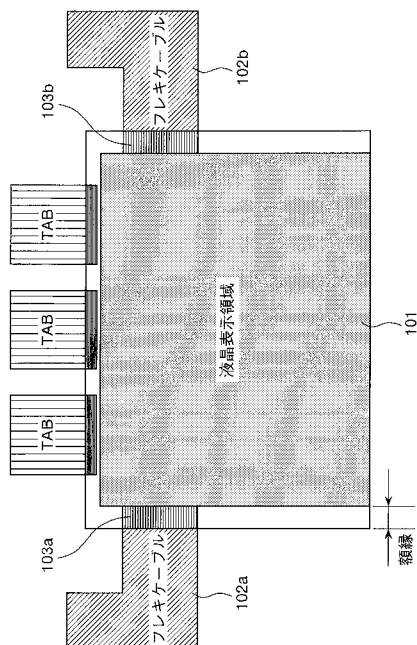
【図 6】



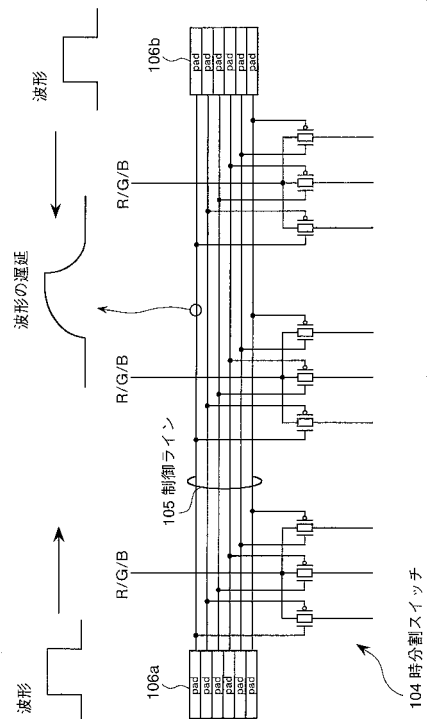
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 8 0 G
G 0 2 F	1/133	5 5 0
G 0 9 G	3/20	6 2 3 V
G 0 9 G	3/20	6 1 1 J

F ターム(参考)	2H092	GA40	GA50	GA59	JA24	JB22	JB31	NA25	PA06
	2H093	NA16	NC02	NC09	NC11	NC34	NC35	ND10	ND32
	5C006	AA16	BB16	BC20	BC23	FA41			
	5C080	AA10	BB05	DD22	EE29	FF11	JJ02	JJ03	JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2008097005A	公开(公告)日	2008-04-24
申请号	JP2007263260	申请日	2007-10-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	猪野益充 市川弘明 寺口晋一		
发明人	猪野 益充 市川 弘明 寺口 晋一		
IPC分类号	G02F1/1368 G02F1/1345 G09G3/36 G09G3/20 G02F1/133		
FI分类号	G02F1/1368 G02F1/1345 G09G3/36 G09G3/20.623.B G09G3/20.621.M G09G3/20.641.C G09G3/20.680.G G02F1/133.550 G09G3/20.623.V G09G3/20.611.J		
F-TERM分类号	2H092/GA40 2H092/GA50 2H092/GA59 2H092/JA24 2H092/JB22 2H092/JB31 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NC02 2H093/NC09 2H093/NC11 2H093/NC34 2H093/NC35 2H093/ND10 2H093/ND32 5C006/AA16 5C006/BB16 5C006/BC20 5C006/BC23 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/CB02 2H192/CB05 2H192/DA12 2H192/FA52 2H192/FB06 2H192/FB46 2H193/ZA04 2H193/ZF02		
代理人(译)	船桥 国则		
其他公开文献	JP2008097005A5 JP4760812B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过减小液晶显示面板的左右框架尺寸来提供整体尺寸减小的液晶显示器，并且还可以满足与高分辨率相关的高速驱动。

ŽSOLUTION：在有源矩阵型液晶显示器中，其中用于通过列单元顺序地向每个像素施加信号电压的水平驱动电路22被提供作为液晶显示板14的外部电路，控制线36-1至36从外部发送控制信号S1，XS1，S2，XS2，S3和XS3到分时开关30-1到30-k通过设置在液晶显示器上方的外部电路板29-1到29-k布线面板14与TAB（磁带自动接合）IC（1）28-1至TABIC（k）28-k和控制信号S1，XS1，S2，XS2，S3和XS3从多个部分输入到控制线35-1至35-6连接在液晶显示板14的基板上

