(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-272225
(P2007-272225A)
(43)公開日　平成19年10月18日(2007.10.18)

(51)Int.Cl.			F I			テーマコード（参考）
G02F	1/1368	(2006.01)	G02F	1/1368		2H091
G02F	1/1335	(2006.01)	G02F	1/1335	520	2H092
G02F	1/133	(2006.01)	G02F	1/133	550	2H093
G09G	3/36	(2006.01)	G02F	1/133	575	5C006
G09G	3/20	(2006.01)	G09G	3/36		5C080

審査請求 未請求　請求項の数 25　ＯＬ　（全 24 頁）　最終頁に続く

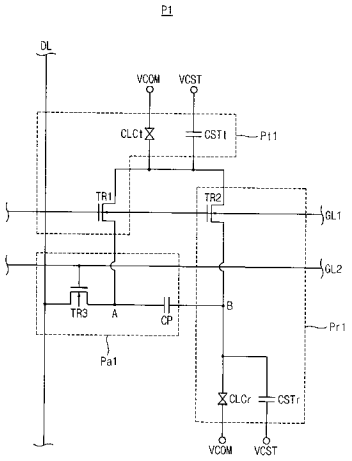
(21)出願番号　特願2007-64346(P2007-64346)
(22)出願日　平成19年3月14日(2007.3.14)
(31)優先権主張番号　10-2006-0029683
(32)優先日　平成18年3月31日(2006.3.31)
(33)優先権主張国　韓国(KR)

(71)出願人　390019839
三星電子株式会社
Ｓａｍｓｕｎｇ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｃｏ．，Ｌｔｄ．
大韓民国京畿道水原市靈通区梅灘洞４１６
(74)代理人　100094145
弁理士　小野　由己男
(74)代理人　100106367
弁理士　稲積　朋子
(72)発明者　李　起　昌
大韓民国ソウル特別市瑞草区盤浦４洞ミドアパート３０９棟８０３号
(72)発明者　金　一　坤
大韓民国ソウル特別市銅雀区上道洞４３１番地来美安上道３次３２７棟８０３号

最終頁に続く

(54)【発明の名称】表示パネルとその製造方法、及び、その表示パネルを搭載した表示装置とその駆動方法

(57)【要約】
【課題】簡単な構成を用いて透過領域と反射領域との間での輝度－電圧曲線の差を補償し、透過領域と反射領域とで同じ印加電圧に対する輝度特性を一致させる表示パネルを提供する。
【解決手段】画素部では、透明電極が第１トランジスタ又は第３トランジスタを通してソース配線に連結され、第２トランジスタを通して反射電極に連結されている。更に、ポンピングキャパシタの第１端が第３トランジスタを通してソース配線に連結され、第２端が反射電極に連結されている。まず、透明電極と反射電極とに対して透過電圧が印加される。次に、反射電極とポンピングキャパシタの第２端とがフローティング状態にされ、ポンピングキャパシタの第１端に対して制御電圧が印加される。それにより、反射領域の液晶キャパシタとポンピングキャパシタとの間で電荷が再配置され、反射電極の電圧が透過電圧から反射電圧に調整される。
【選択図】図4



【特許請求の範囲】
【請求項１】
互いに平行な第１ゲート配線と第２ゲート配線、
前記第１ゲート配線と前記第２ゲート配線とのそれぞれと交差するソース配線、並びに、
前記第１ゲート配線、前記第２ゲート配線、及び前記ソース配線の交差する領域に配列された複数の画素部、
を有する表示パネルであり、
各画素部が、
反射電極が形成された反射領域、
透明電極が形成された透過領域、
前記第１ゲート配線に連結された第１ゲート電極、第１ソース電極、及び、前記透明電極に連結された第１ドレイン電極、を含む第１トランジスタ、
前記第１ゲート配線に連結された第２ゲート電極、前記第１ドレイン電極に連結された第２ソース電極、及び、前記反射電極に連結された第２ドレイン電極、を含む第２トランジスタ、
一端が前記第２ドレイン電極に連結されたポンピングキャパシタ、並びに、
前記第２ゲート配線に連結された第３ゲート電極、前記ソース配線に連結された第３ソース電極、及び、前記ポンピングキャパシタの他端に連結された第３ドレイン電極、を含む第３トランジスタ、
を含む表示パネル。
【請求項２】
前記画素部が、
前記第１ドレイン電極に連結された第１ストレージキャパシタと、
前記第２ドレイン電極に連結された第２ストレージキャパシタと、
を更に含む、請求項１に記載の表示パネル。
【請求項３】
前記第１ゲート配線、前記第２ゲート配線、前記第１トランジスタ、前記第２トランジスタ、前記第３トランジスタ、前記ポンピングキャパシタ、前記第１ストレージキャパシタ、及び前記第２ストレージキャパシタが前記反射領域に形成されている、請求項２に記載の表示パネル。
【請求項４】
前記第１ソース電極が前記ソース配線に連結されている、請求項１に記載の表示パネル。
【請求項５】
前記第１ソース電極が前記第３ドレイン電極に連結されている、請求項１に記載の表示パネル。
【請求項６】
ベース基板上の各画素領域に半導体層を形成する段階、
前記ベース基板の上に、第１ゲート配線、第２ゲート配線、第１共通配線、及び所定の電極パターンを形成して各画素領域で前記半導体層に重ね、前記半導体層と前記電極パターンとの重なり部分からポンピングキャパシタを形成する段階、
前記ベース基板の上に第１絶縁層を形成し、前記第１絶縁層に複数のコンタクトホールを形成して前記コンタクトホールから前記半導体層を露出させる段階、
前記ベース基板の上にソース配線を形成して前記第１ゲート配線、前記第２ゲート配線、及び前記第１共通配線のそれぞれと交差させ、前記ベース基板の各画素領域に第１から第３までのソース電極とドレイン電極との対を形成して前記コンタクトホールを通じて前記半導体層に接触させ、第１のソース電極とドレイン電極との対、及び、前記半導体層に重なっている前記第１ゲート配線の部分から第１トランジスタを形成し、第２のソース電極とドレイン電極との対、及び、前記半導体層に重なっている前記第１ゲート配線の別の

部分から第２トランジスタを形成し、第３のソース電極とドレイン電極との対、及び、前記半導体層に重なっている前記第２ゲート配線の部分から第３トランジスタを形成する段階、

前記ベース基板の上に有機絶縁層を形成し、各画素領域で前記有機絶縁層に第１ビアホールと第２ビアホールとを形成する段階、並びに、

前記ベース基板の各画素領域に透明電極と反射電極とを形成し、前記第１ビアホールを通じて前記透明電極を前記第１トランジスタに連結し、前記第２ビアホールを通じて前記反射電極を前記第２トランジスタに連結する段階、

を有する表示パネルの製造方法。

【請求項７】

前記第１ゲート配線、前記第２ゲート配線、前記第１共通配線、及び前記電極パターンを形成する段階では更に、前記ベース基板の上に前記第１共通配線と平行な第２共通配線を形成して各画素領域で前記半導体層に重ねる、請求項６に記載の表示パネルの製造方法。

【請求項８】

前記ベース基板の各画素領域で、前記半導体層と前記第１共通配線との重なり部分から第１ストレージキャパシタを形成し、前記半導体層と前記第２共通配線との重なり部分から第２ストレージキャパシタを形成する、請求項７に記載の表示パネルの製造方法。

【請求項９】

前記第１から第３までのソース電極とドレイン電極との対を形成する段階では、前記第１ドレイン電極と前記第２ソース電極とを一体に形成し、前記第１ソース電極と前記第３ドレイン電極とを一体に形成し、前記第３ソース電極を前記ソース配線と一体に形成する、請求項６に記載の表示パネルの製造方法。

【請求項１０】

前記第１から第３までのソース電極とドレイン電極との対を形成する段階では、前記第１ドレイン電極と前記第２ソース電極とを一体に形成して前記第１共通配線の一部に重ね、前記第２ドレイン電極を前記第１共通配線の他の部分に重ね、前記第１ソース電極と前記第３ソース電極とを前記ソース配線と一体に形成する、請求項６に記載の表示パネルの製造方法。

【請求項１１】

一体に形成された前記第１ドレイン電極と前記第２ソース電極とが前記第１共通配線の一部と重なっている部分から第１ストレージキャパシタを形成し、前記第１共通配線の他の部分と前記第２ドレイン電極との重なり部分から第２ストレージキャパシタを形成する、請求項１０に記載の表示パネルの製造方法。

【請求項１２】

前記第１ゲート配線と前記第２ゲート配線とを形成する段階では更に、前記ベース基板の各画素領域で、前記半導体層に重なっている前記第１ゲート配線の部分から前記第１トランジスタの第１ゲート電極と第２トランジスタの第２ゲート電極とを形成し、前記半導体層に重なっている前記第２ゲート配線の部分から前記第３トランジスタの第３ゲート電極を形成する、請求項６に記載の表示パネルの製造方法。

【請求項１３】

互いに平行な第１ゲート配線と第２ゲート配線、

前記第１ゲート配線と前記第２ゲート配線とのそれぞれと交差するソース配線、並びに、

前記第１ゲート配線、前記第２ゲート配線、及び前記ソース配線の交差する領域に配列された複数の画素部、

を含む表示パネルであり、各画素部が、

前記第１ゲート配線を通じて伝達される第１ゲート信号がアクティブであるとき、前記ソース配線を通じて伝達される透過電圧を受ける透過部と反射部、及び、

前記第２ゲート配線を通じて伝達される第２ゲート信号がアクティブであるとき、前記

ソース配線を通じて伝達される制御電圧を受け、前記制御電圧に基づいて前記反射部の電圧を反射電圧に変化させる調整部、
を含む表示パネル；
第１期間には前記第１ゲート信号と前記第２ゲート信号との両方をアクティブにし、第２期間には前記第２ゲート信号のみをアクティブにするゲート駆動部；
前記透過電圧を出力するソース駆動部；並びに、
前記第１期間には前記ソース駆動部から出力された透過電圧を前記ソース配線に出力し、前記第２期間には前記制御電圧を前記ソース配線に出力する出力選択部；
を有する表示装置。
【請求項１４】
前記第１期間が一つの水平期間の初期に設定され、前記第２期間が同じ水平期間の後期に設定されている、請求項１３に記載の表示装置。
【請求項１５】
前記透過部が、
前記第１ゲート配線に連結された第１ゲート電極を含む第１トランジスタ、
前記第１トランジスタの第１ドレイン電極に連結された第１液晶キャパシタ、及び、
前記第１ドレイン電極に連結された第１ストレージキャパシタ、
を含む、請求項１３に記載の表示装置。
【請求項１６】
前記反射部が、
前記第１ゲート配線に連結された第２ゲート電極と、前記第１ドレイン電極に連結された第２ソース電極とを含む第２トランジスタ、
前記第２トランジスタの第２ドレイン電極に連結された第２液晶キャパシタ、及び、
前記第２ドレイン電極に連結された第２ストレージキャパシタ、
を含む、請求項１５に記載の表示装置。
【請求項１７】
前記調整部が、
前記第２ゲート配線に連結された第３ゲート電極と、前記ソース配線に連結された第３ソース電極とを含む第３トランジスタ、
前記第３トランジスタの第３ドレイン電極と前記第２ドレイン電極との間に連結されたポンピングキャパシタ、
を含む、請求項１６に記載の表示装置。
【請求項１８】
前記調整部が、
前記第２ゲート配線に連結された第３ゲート電極、前記ソース配線に連結された第３ソース電極、及び前記第１トランジスタの第１ソース電極に連結された第３ドレイン電極、を含む第３トランジスタ、及び、
前記第３ドレイン電極と前記第２ドレイン電極との間に連結されたポンピングキャパシタ、
を含む、請求項１６に記載の表示装置。
【請求項１９】
前記透過電圧と前記反射電圧との間の差が、前記透過電圧と前記制御電圧との間の差に、前記第２液晶キャパシタと前記第２ストレージキャパシタと前記ポンピングキャパシタとでの静電容量の和に対する前記第２ストレージキャパシタの静電容量の比、を乗じた値に等しい、請求項１７又は請求項１８に記載の表示装置。
【請求項２０】
前記第１液晶キャパシタが、前記第１ドレイン電極に連結された透明電極を含み、前記第２液晶キャパシタが、前記第２ドレイン電極に連結された反射電極を含む、請求項１７又は請求項１８に記載の表示装置。
【請求項２１】

前記第１液晶キャパシタと前記第２液晶キャパシタとに対して共通の電圧を出力し、前記第１ストレージキャパシタと前記第２ストレージキャパシタとに対して共通の電圧を出力し、前記出力選択部に対して前記制御電圧を出力する電圧発生部、を更に有する、請求項１７又は請求項１８に記載の表示装置。

【請求項２２】

前記電圧発生部が、前記第１液晶キャパシタ、前記第２液晶キャパシタ、前記第１ストレージキャパシタ、及び前記第２ストレージキャパシタに対し、前記制御電圧と同じレベルの電圧を出力する、請求項２１に記載の表示装置。

【請求項２３】

互いに平行な第１ゲート配線と第２ゲート配線、

前記第１ゲート配線と前記第２ゲート配線とのそれぞれと交差するソース配線、並びに、

前記第１ゲート配線、前記第２ゲート配線、及び前記ソース配線の交差する領域に配列された複数の画素部、

を含む表示装置であり、各画素部が、

前記第１ゲート配線に連結された第１トランジスタ、

前記第１トランジスタに連結された第１液晶キャパシタ、

前記第１ゲート配線と前記第１液晶キャパシタとに連結された第２トランジスタ、

前記第２トランジスタに連結された第２液晶キャパシタ、

前記第２ゲート配線と前記ソース配線とに連結された第３トランジスタ、及び、

前記第２トランジスタと前記第３トランジスタとの間に連結されたポンピングキャパシタ、

を含む表示装置、を駆動するための方法であり、

第１期間に、前記第１ゲート配線を通じて伝達される第１ゲート信号と前記第２ゲート配線を通じて伝達される第２ゲート信号とのそれぞれをアクティブにし、前記第１トランジスタ、前記第２トランジスタ、及び前記第３トランジスタをターンオンさせる段階、

前記第１トランジスタ、前記第２トランジスタ、及び前記第３トランジスタのターンオンにより、前記ソース配線に対して印加された透過電圧を前記第１液晶キャパシタと前記第２液晶キャパシタとのそれぞれに対して印加する段階、

第２期間に、前記第２ゲート信号のみをアクティブにし、前記第１トランジスタと前記第２トランジスタとはターンオフさせ、前記第３トランジスタはターンオンさせる段階、並びに、

前記第３トランジスタのターンオンにより、前記ソース配線に対して印加された制御電圧を前記第２液晶キャパシタに対して印加し、前記第２液晶キャパシタに充電された電圧を反射電圧に変化させる段階、

を有する表示装置の駆動方法。

【請求項２４】

前記ソース配線に対して印加される電圧として、前記第１期間には前記透過電圧を選択し、前記第２期間には前記制御電圧を選択する段階、を更に有する、請求項２３に記載の表示装置の駆動方法。

【請求項２５】

前記第１期間を一つの水平期間の初期に設定し、前記第２期間を同じ水平期間の後期に設定する、請求項２３に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は表示装置に関し、特にそれに搭載される表示パネルとその駆動方法に関する。

【背景技術】

【０００２】

液晶表示パネルでは一般に、互いに向かい合っている下部基板と上部基板との間に液晶層が形成されている。液晶表示装置は、下部基板と上部基板との間の電圧を画素ごとに調整して各画素の液晶層に対して電界を印加して液晶分子の配向方向を変化させる。それにより、各画素の光透過率／反射率が調整されるので、液晶表示パネルには画像が表示される。

【０００３】

液晶表示パネルは、画像表示に利用する光源の形態に応じ、反射型、透過型、及び反射－透過型に分類される。反射型液晶表示パネルは、前面に入射する外部光を反射することで画像を表示する。透過型液晶表示パネルは、背面に入射する内部光を透過させることで画像を表示する。反射－透過型液晶表示パネルは反射型と透過型との両方の構造を併せ持ち、外部光と内部光との両方を画像表示に利用できる。

【０００４】

図2に示されているように、反射－透過型液晶表示パネルは透過領域と反射領域とを有する。透過領域では、液晶表示パネルの後方（図2では下方）から液晶表示パネルの背面（図2では下面）に入射する内部光L1が、透明電極TEと液晶層130とを透過して前方（図2では上方）に放出される。ここで、その透過率は、透過領域での液晶分子131の配向方向によって決まる。反射領域では、液晶表示パネルの後方から液晶表示パネルの背面に入射する内部光L1と、液晶表示パネルの前方から液晶表示パネルの前面に入射する外部光L2とがいずれも反射電極REで反射される。外部光L2は液晶層130を二度透過して液晶表示パネルの前方に放出される。ここで、その反射率は、反射領域での液晶分子131の配向方向によって決まる。

【発明の開示】

【発明が解決しようとする課題】

【０００５】

反射－透過型液晶表示パネルでは、図2からわかるように、透過領域と反射領域とで光路に差がある。それにより、透過領域に対して印加される電圧と透過率との間の関係が、反射領域に対して印加される電圧と反射率との間の関係とは異なる。その結果、例えばノーマリブラック型の液晶表示パネルでは図1に示されているように、透過領域での輝度－電圧曲線T－Vが反射領域での輝度－電圧曲線R－Vからずれている。ここで、画像表示に透過領域を利用する状態（透過モード）と反射領域を利用する状態（反射モード）とで、目標の輝度と画素に対する印加電圧との間の関係を共通に設定すれば、一つの画素の透過領域と反射領域とに対して同じ電圧が印加される。しかし、透過領域と反射領域との間では輝度－電圧曲線T－V、R－Vが異なるので、その差異に応じて実際の相対輝度（輝度の最大値に対する割合）が異なる。それ故、透過領域と反射領域とで表示パネルの構造を共通にし、又は透過モードと反射モードとで印加電圧の設定を共通にするという条件下では、両方のモード間で画質を更に揃えることが困難である。特に両方のモードを交互に切り換えながら画像表示を行う場合、モードの切り換えに伴う輝度の変動が更なる高画質化を阻む。一方、透過領域と反射領域とでセルギャップを変化させて両領域間で光路差を揃えること、及び、透過モードと反射モードとで印加電圧の設定を変化させて光路差を補償することはいずれも液晶表示装置の構成を複雑にする。従って、液晶表示装置の高い信頼性を確保することが困難である。

【０００６】

本発明の目的は、簡単な構成を用いて透過領域と反射領域との間での輝度－電圧曲線の差異を補償し、同じ印加電圧に対する透過領域の透過率と反射領域の反射率とを一致させることができる表示パネル、を提供することにある。

【課題を解決するための手段】

【０００７】

本発明の第１の観点による表示パネルは、互いに平行な第１ゲート配線と第２ゲート配線、各ゲート配線と交差するソース配線、並びに、それらの交差する領域に配列された複数の画素部を有する。各画素部は、反射電極が形成された反射領域、透明電極が形成され

た透過領域、第１トランジスタ、第２トランジスタ、ポンピングキャパシタ、及び第３トランジスタを含む。第１トランジスタは、第１ゲート配線に連結された第１ゲート電極、第１ソース電極、及び、透明電極に連結された第１ドレイン電極を含む。第２トランジスタは、第１ゲート配線に連結された第２ゲート電極、第１ドレイン電極に連結された第２ソース電極、及び、反射電極に連結された第２ドレイン電極を含む。ポンピングキャパシタの一端は第２ドレイン電極に連結されている。第３トランジスタは、第２ゲート配線に連結された第３ゲート電極、ソース配線に連結された第３ソース電極、及び、ポンピングキャパシタの他端に連結された第３ドレイン電極を含む。ここで、透明電極と反射電極とのそれぞれは好ましくは、液晶層を隔てて対向する共通電極と共に、異なる液晶キャパシタを形成している。

【０００８】

本発明の第１の観点による表示パネルは好ましくは、以下の段階を順番に含む方法で製造される：ベース基板上の各画素領域に半導体層を形成する段階；ベース基板上に、第１ゲート配線、第２ゲート配線、第１共通配線、及び所定の電極パターンを形成して各画素領域で半導体層に重ね、半導体層とその電極パターンとの重なり部分からポンピングキャパシタを形成する段階；ベース基板上に第１絶縁層を形成し、その第１絶縁層に複数のコンタクトホールを形成して各コンタクトホールから半導体層を露出させる段階；ベース基板上にソース配線を形成して第１ゲート配線、第２ゲート配線、及び第１共通配線のそれぞれと交差させ、ベース基板の各画素領域に第１から第３までのソース電極とドレイン電極との対を形成して上記のコンタクトホールを通じて半導体層に接触させ、第１のソース電極とドレイン電極との対、及び、半導体層に重なっている第１ゲート配線の部分から第１トランジスタを形成し、第２のソース電極とドレイン電極との対、及び、半導体層に重なっている第１ゲート配線の別の部分から第２トランジスタを形成し、第３のソース電極とドレイン電極との対、及び、半導体層に重なっている第２ゲート配線の部分から第３トランジスタを形成する段階；ベース基板上に有機絶縁層を形成し、各画素領域で有機絶縁層に第１ビアホールと第２ビアホールとを形成する段階；ベース基板の各画素領域に透明電極と反射電極とを形成し、第１ビアホールを通じて透明電極を第１トランジスタに連結し、第２ビアホールを通じて反射電極を第２トランジスタに連結する段階。

【０００９】

本発明の第２の観点による表示パネルは、互いに平行な第１ゲート配線と第２ゲート配線、各ゲート配線と交差するソース配線、並びに、それらの交差する領域に配列された複数の画素部を有する。各画素部は、透過部、反射部、及び調整部を含む。第１ゲート配線を通じて伝達される第１ゲート信号がアクティブであるとき、透過部と反射部とは、ソース配線を通じて伝達される透過電圧を受ける。ここで、透過部は透過領域を含み、反射部は反射領域を含む。更に、透過電圧は、透過領域の目標の透過率に対応づけられている電圧であり、透過領域に含まれている第１液晶キャパシタの両端電圧を決める。一方、第２ゲート配線を通じて伝達される第２ゲート信号がアクティブであるとき、調整部は、ソース配線を通じて伝達される制御電圧を受け、その制御電圧に基づいて反射領域の電圧を反射電圧に変化させる。ここで、反射電圧は、反射領域の目標の反射率に対応づけられている電圧であり、反射領域に含まれている第２液晶キャパシタの両端電圧を決める。好ましくは、本発明の第２の観点による表示パネルの具体的な構造が、本発明の第１の観点による表示パネルによって実現される。

【００１０】

本発明による表示装置は、本発明の第２の観点による表示パネル、ゲート駆動部、ソース駆動部、及び出力選択部を含む。ゲート駆動部は、第１期間には第１ゲート信号と第２ゲート信号との両方をアクティブにし、第２期間には第２ゲート信号のみをアクティブにする。ソース駆動部は透過電圧を出力する。出力選択部は、第１期間にはソース駆動部から出力された透過電圧をソース配線に出力し、第２期間には制御電圧をソース配線に出力する。

【００１１】

本発明の第３の観点による表示パネルは、互いに平行な第１ゲート配線と第２ゲート配線、各ゲート配線と交差するソース配線、並びに、それらの交差する領域に配列された複数の画素部を有する。各画素部は、第１ゲート配線に連結された第１トランジスタ、第１トランジスタに連結された第１液晶キャパシタ、第１ゲート配線と第１液晶キャパシタとに連結された第２トランジスタ、第２トランジスタに連結された第２液晶キャパシタ、第２ゲート配線とソース配線とに連結された第３トランジスタ、及び、第２トランジスタと第３トランジスタとの間に連結されたポンピングキャパシタを含む。好ましくは、本発明の第３の観点による表示パネルの更に具体的な構造が、本発明の第１の観点による表示パネルによって実現される。特に、第１液晶キャパシタが透明電極を含み、第２液晶キャパシタが反射電極を含む。

【００１２】

本発明による表示装置の駆動方法は、本発明の第３の観点による表示パネルを含む表示装置を駆動する方法であり、次の段階を順番に有する：第１期間に、第１ゲート配線を通じて伝達される第１ゲート信号と第２ゲート配線を通じて伝達される第２ゲート信号とのそれぞれをアクティブにし、第１トランジスタ、第２トランジスタ、及び第３トランジスタをターンオンさせる段階；第１トランジスタ、第２トランジスタ、及び第３トランジスタのターンオンにより、ソース配線に対して印加された透過電圧を第１液晶キャパシタと第２液晶キャパシタとのそれぞれに対して印加する段階；第２期間に、第２ゲート信号のみをアクティブにし、第１トランジスタと第２トランジスタとはターンオフさせ、第３トランジスタはターンオンさせる段階；第３トランジスタのターンオンにより、ソース配線に対して印加された制御電圧を第２液晶キャパシタに対して印加し、第２液晶キャパシタに充電された電圧を反射電圧に変化させる段階。

【００１３】

本発明による上記の表示パネルはいずれも反射－透過型であり、図2に示されているように、各画素部が透過領域と反射領域とに分かれている。透過領域では、表示パネルの後方から入射する光L1の透過率が透明電極TEの電圧で決まり、反射領域では表示パネルの前方から入射する光L2の反射率が反射電極REの電圧で決まる。透過領域と反射領域とでは光路に差があるので、透過領域での輝度（すなわち透過率）－電圧曲線T－Vは反射領域での輝度（すなわち反射率）－電圧曲線R－Vとは異なる（図1参照）。特に、輝度が高いほど両曲線間の差が大きい。従って、輝度の目標値が高いほど、反射電圧が、同じ目標値に対する透過電圧から大きくずれる。具体的には、例えば本発明による表示パネルが図1に示されているノーマリブラック型である場合、透過モードでは印加電圧が5Vであるときに輝度が最も高く、反射モードでは印加電圧が3.5Vであるときに輝度が最も高い。すなわち、画素部の輝度をホワイトに調整するには、透過電圧が5Vに調整されねばならないのに対し、反射電圧は5Vではなく、それよりも低い3.5Vに調整されねばならない。

【００１４】

本発明による上記の表示装置は各画素部の調整部、又は三つのトランジスタとポンピングキャパシタとの組み合わせを利用し、透過領域と反射領域との間での輝度－電圧曲線の差異を以下のように補償し、同じ印加電圧に対する透過領域の透過率と反射領域の反射率とを（すなわち、両領域の輝度特性を）実質的に一致させる。

【００１５】

本発明による上記の表示パネルでは、各画素部に含まれている反射部と調整部との等価回路が、図3に示されている部分を含む。ポンピングキャパシタCPの第１端Aは第３トランジスタを通してソース配線に連結されている（図3には示されていない）。ポンピングキャパシタCPの第２端Bは電圧配線VLに連結されている。第２液晶キャパシタCLCは、液晶層を隔てて互いに対向する反射電極と共通電極との対に等価である。第２液晶キャパシタCLCの一端、すなわち共通電極に対しては第１共通電圧VCOMが印加される。第２液晶キャパシタCLCの他端、すなわち反射電極は電圧配線VLに連結されている。電圧配線VLは第２トランジスタを通して透過部（特に透明電極）に連結されている（図3には示されていない）。透過部では透明電極が第１トランジスタ又は第３トランジスタを通してソース配線に

連結されている（図3には示されていない）。尚、図3に示されているように、反射部が第２ストレージキャパシタCSTを含んでいても良い。その場合、第２ストレージキャパシタCSTの一端に対しては第２共通電圧VSTGが印加される。第２ストレージキャパシタCSTの他端は電圧配線VLに連結されている。

【００１６】

第１期間では、第１～第３トランジスタのターンオンにより、透過電圧が、透明電極、電圧配線VL、及びポンピングキャパシタCPの第１端Aに対して印加される。それにより、第２液晶キャパシタCLCの両端電圧が透過電圧と第１共通電圧VCOMとの間の差に一致し、第２ストレージキャパシタCSTの両端電圧が透過電圧と第２共通電圧VSTGとの間の差に一致する。一方、ポンピングキャパシタCPの両端電圧、すなわち第１端Aと第２端Bとの間の電圧は0に維持されている。

【００１７】

第２期間では、第２トランジスタとのターンオフにより、電圧配線VLが透明電極から切断され、フローティング状態になる。一方、第３トランジスタのターンオンにより、ポンピングキャパシタCPの第１端Aに対して制御電圧が印加される。すなわち、第１端Aの電圧が透過電圧から制御電圧に変化する。それにより、第２液晶キャパシタCLC、第２ストレージキャパシタCST、及びポンピングキャパシタCPの間で電荷の再配置が生じる。その結果、各キャパシタの両端電圧が変化する。具体的には、ポンピングキャパシタCPの第１端Aでの電圧の変化量、すなわち透過電圧と制御電圧との間の差をΔV2とし、各キャパシタCLC、CST、CPの静電容量をそれぞれ、C_{LC}、C_{ST}、C_Pとすると、ポンピングキャパシタCPの第２端B、従って反射電極の電圧の変化量、すなわち透過電圧と反射電圧との間の差ΔV1は次式（1）で表される：

【００１８】

【数１】

$$\Delta V1 = \Delta V2 \times Q_{ratio}, \quad Q_{ratio} = \frac{C_P}{C_{LC} + C_P + C_{ST}}。 \qquad (1)$$

【００１９】

例えば図1の場合、好ましくは、上記の静電容量比Q_{ratio}が0.3に設定され、透過電圧と制御電圧との間の差ΔV2が5Vに設定される。それにより、透過電圧と反射電圧との間の差ΔV1は1.5V（＝5V×0.3）となる。従って、第１期間での反射電極の電圧、すなわち、第１共通電圧VCOMに対する透過電圧が5Vである場合、第２期間では反射電極の電圧が5Vから1.5Vだけ降下するので、第１共通電圧VCOMに対する反射電圧が3.5Vとなる。それ故、第１期間が透過モードに設定され、第２期間が反射モードに設定されている場合、第１期間での透過領域の輝度と第２期間での反射領域の輝度とがいずれも最大、すなわちホワイトになる。

【００２０】

好ましくは、制御電圧が透過電圧の下限（ノーマリブラックではブラックに対応する電圧）に等しく固定されている。図1に示されているように、同じ輝度に対する透過電圧と反射電圧との間の差はそれぞれの上限の間で最大であり、各電圧が低いほど両者の差は減少する。従って、上記のように、透過電圧が上限に設定されているときに反射電圧がその上限に調整されるようにすれば、透過電圧が他のレベルに設定されているときにも、式（1）で得られる反射電圧が目標のレベルと実質的に等しい。

例えば図1に示されているノーマリブラックである場合、制御電圧が、透過電圧の下限と同じく、（第１共通電圧VCOMに対して）0Vに設定される。それにより、表1に示されているように、透過電圧が下限に設定されれば反射電圧が下限になるので、透過領域と反射領域との各輝度がいずれもブラックになる。一方、透過電圧が上限に設定されれば反射電圧が上限になるので、透過領域と反射領域との各輝度がいずれもホワイトになる。

【００２１】

【表１】

	透過電圧	制御電圧	第1端Aでの電圧変化	第2端Bでの電圧変化	反射電圧
ブラック	0V	0V	0V→0V	0V→0V	0V
ホワイト	5V	0V	5V→0V	5V→1.5V	3.5V

【００２２】

図19に示されている曲線Rc－Vは、式(1)により透過電圧と制御電圧との組み合わせから得られる反射電圧に対応する反射領域の相対輝度（輝度の最大値に対する割合）を、その透過電圧に対してプロットしたものである。図19に示されているとおり、この曲線Rc－Vは透過領域での輝度－電圧曲線T－Vと良く一致している。従って、本発明による表示装置は、透過モードと反射モードとの両方で共通の透過電圧を用い、同じ画素の透過領域と反射領域との各輝度特性を精度良く一致させることができる。

【発明の効果】

【００２３】

本発明による表示装置は、同じ画素部に含まれている透過部と反射部とに対し、まず、透過電圧を共通に印加する。次に、反射部をフローティング状態にした上で、調整部に対して制御電圧を印加する。それにより、反射領域の液晶キャパシタと調整部のポンピングキャパシタとの間で電荷が再配置され、反射領域の電圧が透過電圧から反射電圧に自動的に調整される。その結果、透過領域と反射領域とでセルギャップと印加電圧とがいずれも共通に設定されたままでも、両領域間での輝度－電圧曲線の差異（図1に示されている曲線T－V、R－V参照）が補償される。すなわち、表示装置の構成を簡単なものに維持したまま、両領域の輝度特性を精度良く一致させることができる。こうして、本発明による反射－透過型液晶表示装置は、製造コストを低く維持したまま、更なる高画質化を実現可能である。

【発明を実施するための最良の形態】

【００２４】

以下、添付の図面を参照しながら、本発明の好ましい実施形態を詳細に説明する。

図4に、本発明の第１実施例による画素部の等価回路図を示す。第１画素部P1は、第１透過部Pt1、第１反射部Pr1、及び第１調整部Pa1を含む。第１画素部P1には、ソース配線DL、第１ゲート配線GL1、及び第２ゲート配線GL2が連結され、各配線を通して外部の駆動装置から駆動信号が伝達される。各駆動信号によって第１透過部Pt1、第１反射部Pr1、及び第１調整部Pa1が駆動される。

【００２５】

第１透過部Pt1は、第１トランジスタTR1、第１液晶キャパシタCLCt、第１ストレージキャパシタCSTtを含む。第１液晶キャパシタCLCtは、第１画素部P1の透過領域に含まれる透明電極、及び、液晶層を隔てて透明電極と対向する共通電極の部分に等価である。第１トランジスタTR1の第１ゲート電極は第１ゲート配線GL1に連結され、第１ソース電極は第１調整部Pa1の第３トランジスタTR3に連結され、第１ドレイン電極は第１液晶キャパシタCLCtの第１電極、すなわち透明電極に連結されている。第１液晶キャパシタCLCtの第２電極、すなわち共通電極に対しては第１共通電圧VCOMが印加される。第１ストレージキャパシタCSTtの第１電極は第１ドレイン電極に連結され、第２電極に対しては第２共通電圧VCSTが印加される。

【００２６】

第１反射部Pr1は、第２トランジスタTR2、第２液晶キャパシタCLCr、及び第２ストレージキャパシタCSTrを含む。第２液晶キャパシタCLCrは、第１画素部P1の反射領域に含まれる反射電極、及び、液晶層を隔てて反射電極と対向する共通電極の部分に等価である。第２トランジスタTR2の第２ゲート電極は第１ゲート配線GL1に連結され、第２ソース電極は第１液晶キャパシタCLCtの第１電極、すなわち透明電極に連結され、第２ドレイン電極は第２液晶キャパシタCLCrの第１電極、すなわち反射電極に連結されている。第２液晶キャ

パシタCLCrの第２電極に対しては、第１共通電圧VCOMが印加される。第２ストレージキャパシタCSTrの第１電極は第２ドレイン電極に連結され、第２電極に対しては第２共通電圧VCSTが印加される。

【００２７】

第１調整部Pa1は第３トランジスタTR3及びポンピングキャパシタCPを含む。第３トランジスタTR3の第３ゲート電極は第２ゲート配線GL2に連結され、第３ソース電極はソース配線DLに連結され、第３ドレイン電極は第１ソース電極とポンピングキャパシタCPの第１電極Aとに連結されている。ポンピングキャパシタCPの第２電極Bは第２液晶キャパシタCLCrの第１電極、すなわち反射電極と第２ストレージキャパシタCSTrの第１電極とに連結されている。

【００２８】

図5には、本発明の第２実施例による画素部の等価回路図を示す。第２画素部P2は、第２透過部Pt2、第２反射部Pr2、及び第２調整部Pa2を含む。第２画素部P2には、ソース配線DL、第１ゲート配線GL1、及び第２ゲート配線GL2が連結され、各配線を通して外部の駆動装置から駆動信号が伝達される。各駆動信号によって第２透過部Pt2、第２反射部Pr2、及び第２調整部Pa2が駆動される。

【００２９】

第２画素部P2の等価回路は、図4に示されている第１画素部P1の等価回路と比べ、透過部に含まれている第１トランジスタの配線が異なる。具体的には、第２透過部Pt2の第１トランジスタTR4では、第１ゲート電極が第１ゲート配線GL1に連結され、第１ソース電極がソース配線DLに連結され、第１ドレイン電極が第１液晶キャパシタCLCtの第１電極、すなわち透明電極に連結されている。第２画素部P2のその他の構成要素及び配線の設計は第１画素部P1のそれらの設計と実質的に同じである。従って、それらについては、第１画素部P1についての説明を援用する。尚、図5では、第２反射部Pr2が第２トランジスタTR5を含み、第２調整部Pa2が第３トランジスタTR6を含む。

【００３０】

図4、5のいずれでも、ポンピングキャパシタCP、第２液晶キャパシタCLCr、及び第２ストレージキャパシタCSTrが図3に示されているように連結されている。更に、ポンピングキャパシタCPの第１端Aが第３トランジスタTR3、TR6を通してソース配線DLに連結され、第2端Bが第２トランジスタTR2、TR5を通じて第１液晶キャパシタCLCtの第１電極、すなわち透明電極に連結されている。従って、図3を用いて説明したとおり、ポンピングキャパシタCP、第２液晶キャパシタCLCr、及び第２ストレージキャパシタCSTrの間での電荷の再配置により、反射電極に対して印加された透過電圧が反射電圧に自動的に調整される。

【００３１】

反射電圧の調整は具体的には以下のように行われる。図6に、図4に示されている等価回路の駆動に利用される各駆動信号のタイミング図を示す。まず、各水平期間1Hが第１期間l1と第２期間l2とに分けられている。

【００３２】

第１期間I1では、第１ゲート配線GL1と第２ゲート配線GL2とのそれぞれを通して伝達される第１ゲート信号G1と第２ゲート信号G2とがいずれもアクティブにされる（図6では各信号G1、G2のハイレベルがアクティブ状態に設定されている）。それらの第１ゲート配線GL1と第２ゲート配線GL2とに連結された第１画素部P1では、第１～第３トランジスタTR1、TR2、TR3がいずれもターンオンする。第１期間l1では更に、その第１画素部P1に連結されたソース配線DLに対し、所定のレベルの透過電圧Vdtが印加される。従って、第１画素部P1では、透過電圧Vdtが第３トランジスタTR3及び第１トランジスタTR1を経由して第１液晶キャパシタCLCt及び第１ストレージキャパシタCSTtの各第１電極に対して印加され、更に、第２トランジスタTR2を経由して第２液晶キャパシタCLCr及び第２ストレージキャパシタCSTrの各第１電極に対して印加される。従って、第１共通電圧VCOMに対する透明電極の電圧VPt1と反射電極の電圧VPr1とがいずれも透過電圧Vdtに等しい。すなわち、第１液晶キャパシタCLCtと第２液晶キャパシタCLCrとの各両端電圧は透過電圧Vdtと第１共通

電圧VCOMとの間の差に等しく、第１ストレージキャパシタCSTtと第２ストレージキャパシタCSTrとの各両端電圧は透過電圧Vdtと第２共通電圧VCSTとの間の差に等しい。一方、ポンピングキャパシタCPの第１電極A及び第２電極Bに対しては同じ透過電圧Vdtが印加される。従って、ポンピングキャパシタCPの両端電圧は0に維持されている。

【００３３】

第２期間I2では、第１ゲート信号G1がローレベルに変化する。一方、第２ゲート信号G2はハイレベル（アクティブ状態）に維持される。それにより、第１トランジスタTR1及び第２トランジスタTR2はターンオフする一方、第３トランジスタTR3はオン状態を維持する。従って、第１液晶キャパシタCLCtの第１電極（透明電極）と第１ストレージキャパシタCSTtの第１電極とがフローティング状態に維持され、第２液晶キャパシタCLCrの第１電極（反射電極）、第２ストレージキャパシタCSTrの第１電極、及びポンピングキャパシタCPの第２電極Bがフローティング状態に維持される。第２期間I2では更に、ソース配線DLに対し、透過電圧Vdtに代え、制御電圧Vcが印加される。ここで、制御電圧Vcは透過電圧Vdtの下限、すなわち第１共通電圧VCOMと等しい。制御電圧Vcは、第３トランジスタTR3を通じてポンピングキャパシタCPの第１電極Aに対して印加される。第１電極Aの電圧が透過電圧Vdtから制御電圧Vcに変化することにより、第２液晶キャパシタCLCr、第２ストレージキャパシタCSTr、及びポンピングキャパシタCPの間で電荷が再配置される。その結果、反射電極の電圧Vpr1が透過電圧Vdtから、式(1)で表される電圧差ΔV1だけ降下する。こうして、反射電極の電圧Vpr1が自動的に調整され、目標の反射電圧Vdrに実質的に一致する。

【００３４】

図4に示されている等価回路は好ましくは、図7及び図8に示されている具体的な構造で実現される。図8に示されているように、表示パネル100－1では、第１基板110－1と第２基板120とが液晶層130を隔てて互いに対向している。図7、8に示されているように、第１基板110－1には、第１方向に延びているソース配線DL、及び、第１方向と交差する第２方向に延びているゲート配線GL1、GL2と共通配線CVLt、CVLrが形成されている。第１基板110－1では更に、それらの配線によって複数の画素領域が仕切られている。

【００３５】

各画素領域P1は透過領域TAと反射領域RAとに分けられている。透過領域TAでは、第１基板110－1の背面（図8では下面）に入射する内部光L1が透過し、第２基板120の前面（図8では上面）から放出される。反射領域RAでは、第２基板120の前面（図8では上面）に入射する外部光L2が反射され、第２基板120の前面から放出される。反射領域RAには、図4に示されている各駆動素子CLCt、CSTt、TR1、CLCr、CSTr、TR2、TR3、及びCPが形成されている。

【００３６】

図7、8に示されている第１基板110－１の積層構造は好ましくは図9～12に示されている工程順に形成される。

第１工程では、図9に示されているように、第１ベース基板101の反射領域RAにチャンネルパターン102が形成される。ここで、チャンネルパターン102は半導体層から成る。後述のように、チャンネルパターン102の各領域に、第１～第３トランジスタTR1、TR2、TR3が形成される。チャンネルパターン102と第１ベース基板101との上には更に、第１絶縁層103が形成される。

【００３７】

第２工程では、図10に示されているように、第１絶縁層103の上にゲート金属パターンが形成される。ゲート金属パターンは、第１ゲート配線GL1、第２ゲート配線GL2、第１共通配線CVLt、第２共通配線CVLr、及び電極パターンCPEを含む。第１絶縁層103を隔てて対向するチャンネルパターン102と第１共通配線CVLtとによって第１透過部Pt1の第１ストレージキャパシタCSTtが形成される。第１絶縁層103を隔てて対向するチャンネルパターン102と第２共通配線CVLrとによって第１反射部Pr1の第２ストレージキャパシタCSTrが形成される。第１絶縁層103を隔てて対向するチャンネルパターン102と電極パターンCPEとによって第１調整部Pa1のポンピングキャパシタCPが形成される。

【００３８】
第３工程では、図11に示されているように、ゲート金属パターンと第１絶縁層103との上に第２絶縁層104が形成される。更に、第２絶縁層104の上にソース金属パターンが形成される。ソース金属パターンはソース配線DLと第１～第３ソース金属パターンMP1、MP2、MP3とを含む、ソース配線DLは第３トランジスタTR3の第３ソース電極と一体に形成される。第１ソース金属パターンMP1では、第１トランジスタTR1の第１ドレイン電極と第２トランジスタTR2の第２ソース電極とが一体に形成される。第１ソース金属パターンMP1は更に、第１コンタクトホールC1を通じてチャンネルパターン102に連結される。第２ソース金属パターンMP2では、第１トランジスタTR1の第１ソース電極と第３トランジスタTR3の第３ドレイン電極とが一体に形成される。第２ソース金属パターンMP2は更に、第２コンタクトホールC2を通じてチャンネルパターン102に連結され、第４コンタクトホールC4を通じて電極パターンCPEに連結される。こうして、ポンピングキャパシタCPの両端が、第２ソース金属パターンMP2に連結される。第３ソース金属パターンMP3は第２トランジスタTR2の第２ドレイン電極を含む。第３ソース金属パターンMP3は更に、第３コンタクトホールC3を通じてチャンネルパターン102に連結される。

【００３９】
第４工程では、図12に示されているように、ソース金属パターンと第２絶縁層104との上に有機絶縁層105が形成される。有機絶縁層105は好ましくは、反射領域RAと透過領域TAとで均一の厚みに形成されている。それにより、反射領域RAと透過領域TAとでは２枚の基板110－1、120の間隔、すなわちセルギャップが等しい。更に好ましくは、有機絶縁層105の表面には波状の凹凸パターンが形成される。

【００４０】
各画素領域P1では、有機絶縁層105の上に画素電極が形成される。画素電極は透明電極TE1と反射電極RE1とを含む。透明電極TE1は透過領域TAを覆い、第１基板110－1の後方から入射する内部光L1を透過させる。反射電極RE1は反射領域RAを覆い、第１基板110－1の前方から入射する外部光L2を反射する。ここで、有機絶縁層105の表面に波状の凹凸パターンが形成されている場合、反射電極RE1にも同様なパターンが形成される。それにより、反射電極RE1では外部光L2が乱反射されるので、表示パネル110－1の画面には外部の物体が映らない。透明電極TE1は第１ビアホールVH1を通じて第１ソース金属パターンMP1に連結される。特に、透明電極TE1は第１トランジスタTR1の第１ドレイン電極に連結され、第１液晶キャパシタCLCtの第１電極として利用される。反射電極RE1は第２ビアホールVH2を通じて第３ソース金属パターンMP3に連結される。特に、反射電極RE1は第２トランジスタTR2の第２ドレイン電極に連結され、第２液晶キャパシタCLCrの第１電極として利用される。

【００４１】
図8に示されているように、第２基板120は第２ベース基板121を含む。第２ベース基板121の上にはカラーフィルタ層122及び共通電極層123が形成されている。カラーフィルタ層122は各画素領域に形成され、好ましくは、レッド、グリーン、及びブルーのいずれかの色を示す。図8には示されていないが、カラーフィルタ層122では好ましくは、反射領域RAの一部分に対向する領域にライトホールが形成されている。ライトホールは、第２基板120の前面に入射する外部光L2をそのまま透過させる。共通電極層123は、第１基板110－1に対向する第２基板120の表面全体を覆い、特に透明電極TE1及び反射電極RE1に対向している。共通電極層123が、第１液晶キャパシタCLCt及び第２液晶キャパシタCLCrの各第２電極として利用される。

【００４２】
液晶層130は複数の液晶分子を含む。液晶分子の配向方向は、第１基板110－1の画素電極RE1、TE1と第２基板120の共通電極層123との間の電位差によって変化する。更に、透過領域TAを透過する内部光L1の強度、及び反射領域RAで反射される外部光L2の強度が、各領域に含まれる液晶層130での液晶分子の配向方向に応じて変化する。従って、画素電極RE1、TE1と共通電極層123との間の電位差が各画素領域で調整されることにより、各画素領域

の輝度が所望の階調に設定される。液晶層130は好ましくはノーマリブラック型である。ノーマリブラック型では、画素電極と共通電極層との間の電位差が大きいほど画素領域の輝度が高い。液晶層130はその他にノーマリホワイト型であっても良い。ノーマリホワイト型では、画素電極と共通電極層との間の電位差が小さいほど画素領域の輝度が高い。

【００４３】

図5に示されている等価回路は好ましくは、図13、14に示されている具体的な構造で実現される。図14に示されているように、表示パネル100－2では、第１基板110－2と第２基板120とが液晶層130を隔てて互いに対向している。図13、14に示されているように、第１基板110－2には、第１方向に延びているソース配線DL、及び、第１方向と交差する第２方向に延びているゲート配線GL1、GL2と共通配線CVLが形成されている。第１基板110－2では更に、それらの配線によって複数の画素領域が仕切られている。

【００４４】

各画素領域P2は透過領域TAと反射領域RAとに分けられている。透過領域TAでは、第１基板110－2の背面（図14では下面）に入射する内部光L1が透過し、第２基板120の前面（図14では上面）から放出される。反射領域RAでは、第２基板120の前面（図14では上面）に入射する外部光L2が反射され、第２基板120の前面から放出される。反射領域RAには、図5に示されている各駆動素子CLCt、CSTt、TR4、CLCr、CSTr、TR5、TR6、及びCPが形成されている。

【００４５】

図14に示されているように、第１基板110－2は第１ベース基板101を含む。第１ベース基板101の上では各画素領域P2にチャンネルパターン102が形成されている。チャンネルパターン102は好ましくは半導体層から成る。第１～第３トランジスタTR4、TR5、TR6はチャンネルパターン102の上に形成されている。

【００４６】

チャンネルパターン102と第１ベース基板101との上には第１絶縁層103が形成されている。第１絶縁層103の上には更にゲート金属パターンが形成されている。ゲート金属パターンは、共通配線CVL、第１ゲート配線GL1、第２ゲート配線GL2、及びポンピングキャパシタCPの第１電極である電極パターンCPEを含む。

【００４７】

ゲート金属パターンと第１絶縁層105との上には第２絶縁層104が形成されている。第２絶縁層104の上には更にソース金属パターンが形成されている。ソース金属パターンはソース配線DLと第１～第３ソース金属パターンMP11、MP22、MP33とを含む。ソース配線DLは第１トランジスタTR4の第１ソース電極と第３トランジスタTR6の第３ソース電極と一体に形成されている。第１ソース金属パターンMP11では、第１トランジスタTR4の第１ドレイン電極と第２トランジスタTR5の第２ソース電極とが一体に形成されている。第１ソース金属パターンMP11は更に、第１コンタクトホールC11を通じてチャンネルパターン102に連結されている。第２ソース金属パターンMP22は第２トランジスタTR5の第２ドレイン電極を含み、第２コンタクトホールC22を通じてチャンネルパターン102に連結されている。第３ソース金属パターンMP33は第３トランジスタTR6の第３ドレイン電極を含む。第３ソース金属パターンMP33は更に、第３コンタクトホールC33を通じてチャンネルパターン102に連結され、第４コンタクトホールC44を通じて電極パターンCPEに連結されている。こうして、第１ソース金属パターンMP11と共通配線CVLとが重なる領域に第１ストレージキャパシタCSTtが形成され、第２ソース金属パターンMP22と共通配線CVLとが重なる領域に第２ストレージキャパシタCSTrが形成されている。更に、チャンネルパターン102と電極パターンCPEとによってポンピングキャパシタCPが形成されている。

【００４８】

ソース金属パターンと第２絶縁層104との上には有機絶縁層105が形成されている。有機絶縁層105は反射領域RAと透過領域TAとで均一な厚みに形成されている。それにより、反射領域RAと透過領域TAとでは２枚の基板110－1、120の間隔、すなわちセルギャップが等しい。更に好ましくは、有機絶縁層105の表面には波状の凸凹パターンが形成されている

。

【００４９】

各画素領域P2では、有機絶縁層105の上に画素電極が形成されている。画素電極は透明電極TE2と反射電極RE2とを含む。透明電極TE2は透過領域TAを覆い、第１基板110－2の後方から入射する内部光L1を透過させる。反射電極RE2は反射領域RAを覆い、第１基板110－2の前方から入射する外部光L2を反射する。ここで、有機絶縁層105の表面に波状の凹凸パターンが形成されている場合、反射電極RE2にも同様なパターンが形成される。それにより、反射電極RE2では外部光L2が乱反射されるので、表示パネル110－2の画面には外部の物体が映らない。透明電極TE2は第１ビアホールVH11を通じて第１ソース金属パターンMP11に連結されている。特に、透明電極TE2は第１トランジスタTR4の第１ドレイン電極に連結され、第１液晶キャパシタCLCtの第１電極として利用される。反射電極RE2は第２ビアホールVH22を通じて第２ソース金属パターンMP22に連結されている。特に、反射電極RE2は第２トランジスタTR5の第２ドレイン電極に連結され、第２液晶キャパシタCLCrの第１電極として利用される。

第２基板120及び液晶層130は、図8に示されているそれらと実質的に同じである。従って、それらについては図8に関する説明を援用する。

【００５０】

以上述べた本発明の実施例による表示パネルは好ましくは、以下のような表示装置に搭載される。図15に、本発明の実施例による表示装置のブロック図を示す。その表示装置は、液晶表示パネル100、駆動装置200、及びフレキシブル印刷回路基板300を含む。

フレキシブル印刷回路基板（ＦＰＣ）300は外部装置（図示せず）と駆動装置200との間を電気的に連結している。

【００５１】

液晶表示パネル100は第１基板110と第２基板120とを含む。第１基板110と第２基板120との間には液晶層が挟まれている（図示せず）。液晶表示パネル100は表示領域と周辺領域とに分けられている。

【００５２】

表示領域には、m本のソース配線DL1、…、DLmと2n本のゲート配線GL1、…、GL2nとが形成されている（n、m：自然数）。ゲート配線GL1、…、GL2nはソース配線DL1、…、DLmと交差している。表示領域では更に、ソース配線DL1、…、DLmとゲート配線GL1、…、GL2nとによってm×n個の画素部Pが仕切られている。各画素部Pは上記の実施例によるものであり、透過部Pt、反射部Pr、及び調整部Paを含む（図15には一例として、図4の画素部が示されている）。各画素部Pには、ソース配線DL、第１ゲート配線GL1、及び第２ゲート配線GL2が連結されている。それらの配線を通して伝達される駆動信号により、透過部Pt、反射部Pr、及び調整部Paが駆動される。透過部Ptは、第１トランジスタTR1、第１液晶キャパシタCLCt、及び第１ストレージキャパシタCSTtを含む。反射部Prは、第２トランジスタTR2、第２液晶キャパシタCLCr、及び第２ストレージキャパシタCSTrを含む。調整部Paは第３トランジスタTR3及びポンピングキャパシタCPを含む。

【００５３】

液晶表示パネル100の周辺領域は表示領域を囲んでいる。周辺領域には駆動装置200が設置されている。駆動装置200は、メイン駆動部210、出力選択部220、及びゲート駆動部230を含む。

メイン駆動部210は好ましくは単一のチップに実装されている。メイン駆動部210は、フレキシブル印刷回路基板300から制御信号及びデータ信号を受け、それらを利用して画素部Pに対する駆動信号を生成する。駆動信号は特に、上記の透過電圧Vdtをデータ電圧として含み、更に上記の制御電圧Vcを含む（図6参照）。

出力選択部220は、メイン駆動部210から出力されるデータ電圧Vdtと制御電圧Vcとのいずれかを選択して目標のソース配線DLに出力する。出力選択部220は特に、第１期間ではデータ電圧Vdtを選択し、第２期間では制御電圧Vcを選択する。

ゲート駆動部230は、メイン駆動部210とは別のチップに実装されている。ゲート駆動部

230は、メイン駆動部210から提供される駆動信号に基づいてゲート配線GL1、…、GL2nにゲート信号を出力する。

【００５４】

図16に、メイン駆動部及び出力選択部の各内部の詳細なブロック図を示す。メイン駆動部210は好ましくは、制御部211、メモリ213、電圧発生部215、及びソース駆動部217を含む。

【００５５】

制御部211は、フレキシブル印刷回路基板300からデータ信号210aと制御信号210bとを受ける。制御信号210bは好ましくは、水平同期信号、垂直同期信号、メインクロック信号、データイネーブル信号を含む。制御部211は更に、制御信号210bに基づいてデータ信号210aをメモリ213に記録し、又はメモリ213から読み出す。制御部211はゲート駆動部230にはゲート制御信号211aを出力する。ゲート制御信号211aは好ましくは、垂直開始信号、第１クロック信号、第２クロック信号、及びゲート電圧を含む。一方、制御部211はソース駆動部217には、ソース制御信号211bと、メモリ213から読み出されたデータ信号211dとを出力する。ソース制御信号211bは好ましくは、水平開始信号、ロード信号、及び反転信号を含む。制御部211は電圧発生部215には、メインクロック信号や反転信号等を含む制御信号211cを出力する。制御部211は出力選択部220には選択信号211eを出力する。

【００５６】

電圧発生部215は、外部電源からの電圧210cを利用して駆動電圧を生成する。駆動電圧は好ましくは、制御部211に提供されるゲート電圧215a、ソース駆動部217に提供される基準ガンマ電圧215b、液晶表示パネル100に提供される共通電圧215c、及び、出力選択部220に提供される制御電圧215dを含む。共通電圧215cは、第２基板120の共通電極層123に対して印加される第１共通電圧VCOM、及び第１基板110の共通配線CVLt、CVLr、CVLに対して印加される第２共通電圧VCSTを含む（図4、5、7、8、13、14参照）。好ましくは、第１共通電圧VCOMと第２共通電圧VCSTとは実質的にレベルが等しい（VCOM＝VCST）。制御電圧215dは上記の制御電圧Vcであり（図6参照）、好ましくは第１共通電圧VCOMとレベルが等しい。

【００５７】

ソース駆動部217は、メモリ213から読み出されたデータ信号211dを、基準ガンマ電圧215bに基づいてデータ電圧に変換する。変換されたデータ電圧は出力選択部220に出力される。

出力選択部220は、ソース駆動部217の出力端子と同数（すなわち、ソース配線DL1、…、DLmと同数であるm個）のスイッチSW1、…、SWmを含む。各スイッチSW1、…、SWmは入力端子を二つずつ含む。第１入力端子はソース駆動部217の出力端子に連結され、そこからデータ電圧（すなわち透過電圧）Vdtを受ける。第２入力端子は電圧発生部215に連結され、そこから制御電圧215dを受ける。各スイッチSW1、…、SWmの出力端子はソース配線DL1、…、DLmに１本ずつ連結されている。各スイッチSW1、…、SWmは、制御部211から提供された選択信号211eに基づき、第１入力端子に入力された透過電圧Vdtと第２入力端子に入力された制御電圧215dとのいずれかを選択し、出力端子からソース配線DL1、…、DLmに出力する。

【００５８】

図16に示されている駆動装置は各駆動信号を、好ましくは図17に示されているように変化させる。

まず、電圧発生部215が液晶表示パネル100に第１共通電圧 VCOMと第２共通電圧VCSTとを出力する。好ましくは、第１共通電圧VCOMと第２共通電圧VCSTとはレベルが等しい（VCOM＝VCST）。更に好ましくは、電圧発生部215が各共通電圧VCOM、VCSTのレベルを、水平期間1Hごとに二値的に変化させる。電圧発生部215は更に、出力選択部220に制御電圧Vcを出力する。好ましくは、制御電圧Vcは第１共通電圧VCOMとレベルが等しい。

【００５９】

各水平期間1Hの第１期間I1では、ソース駆動部217が一つのラインに対するデータ電圧D

ATAを出力する。一方、ゲート駆動部230が、そのライン上の画素部に連結されている第１ゲート配線GL1及び第２ゲート配線GL2のそれぞれで、第１ゲート信号G11及び第２ゲート信号G12をアクティブにする（図17ではハイレベルに変化させる）。第１ゲート信号G11のパルス幅W1は第１期間I1の長さに等しい。第２ゲート信号G12のパルス幅W2は第１ゲート信号G11のパルス幅W1より大きく、好ましくは水平期間1Hの長さと等しい。従って、第１ゲート信号G11は第２期間I2では非アクティブ状態（図17ではローレベル）に維持され、第２ゲート信号G12はその水平期間1Hの全体でアクティブ状態（図17ではハイレベル）に維持される。

【００６０】

制御部211は選択信号SCを、各水平期間1Hの第２期間I2の一部でアクティブにし（図17ではハイレベルに変化させ）、その他の期間では非アクティブ状態（図17ではローレベル）に維持する。ここで、選択信号SCのパルス幅W3は好ましくは、第２期間I2の長さより短い。出力選択部220は、選択信号SCが非アクティブ状態（ローレベル）に維持されている期間ではデータ電圧DATAを選択し、アクティブ状態（ハイレベル）に維持されている期間では制御電圧Vcを選択する。

【００６１】

例えば、ゲート駆動部230が、ある水平期間1Hの第１期間I1に、あるラインの画素部に連結された第１ゲート配線GL1及び第２ゲート配線GL2のそれぞれにハイレベルの第１ゲート信号G11及び第２ゲート信号G12を出力する。出力選択部220は選択信号SCに基づき、その第１期間I1では、ソース駆動部217から出力されるそのラインのデータ電圧1L＿DATAを選択し、ソース配線DL1、…、DLmに出力する。例えば図4に示されている画素部P1では、ソース配線DLに対して印加されたデータ電圧（すなわち透過電圧）Vdtが第３トランジスタTR3及び第１トランジスタTR1を経由して第１液晶キャパシタCLCt及び第１ストレージキャパシタCSTtに対して印加され、更に第２トランジスタTR2を経由して第２液晶キャパシタCLCr及び第２ストレージキャパシタCSTrに対して印加される。それにより、第１液晶キャパシタCLCtの第１電極（すなわち透明電極）の電圧1L＿Pt、及び、第２液晶キャパシタCLCrの第１電極（すなわち反射電極）の電圧1L＿Prがいずれも、第１共通電圧VCOMよりデータ電圧1L＿DATAだけ高いレベルに維持される。一方、ポンピングキャパシタCPの第１電極Aと第２電極Bとに対しては同じデータ電圧Vdtが印加されるので、ポンピングキャパシタCPの両端電圧は0に維持される。

【００６２】

同じ水平期間1Hの第２期間I2では、ゲート駆動部230が第１ゲート配線GL1にはローレベルの第１ゲート信号G11を出力し、第２ゲート配線GL2ではハイレベルの第２ゲート信号G12を維持する。一方、出力選択部220は、第２期間I2のうち、選択信号SCのアクティブ期間に制御電圧Vcを選択し、ソース配線DL1、…、DLmに出力する。例えば図4に示されている画素部P1では、第１液晶キャパシタCLCtと第１ストレージキャパシタCSTtとの第１電極の対、並びに、第２液晶キャパシタCLCt、第２ストレージキャパシタCSTt、及びポンピングキャパシタCPの各第２電極の組がそれぞれフローティング状態に維持される。従って、第１液晶キャパシタCLCtの第１電極（すなわち透明電極）の電圧1L＿Ptは、第１共通電圧VCOMよりデータ電圧1L＿DATAだけ高いレベルに維持される。一方、ソース配線DLに対して印加された制御電圧Vcが第３トランジスタTR3を経由してポンピングキャパシタCPの第１電極Aに対して印加される。それにより、第１電極Aの電圧がデータ電圧Vdtから制御電圧Vcに降下するので、第２液晶キャパシタCLCt、第２ストレージキャパシタCSTt、及びポンピングキャパシタCPの間で電荷の再配置が生じる。その結果、ポンピングキャパシタCPの第２電極Bの電圧が降下し、式（1）で決まる反射電圧Vdrに調整される。すなわち、第２液晶キャパシタCLCrの第１電極（すなわち反射電極）の電圧1L＿Prが第１共通電圧VCOMより反射電圧Vdrだけ高いレベルに調整される。

【００６３】

次の水平期間では、次のラインの画素部が同様に駆動される。但し、第１共通電圧VCOMのレベルが所定量だけ上昇している。その結果、そのラインの透過部では、第１共通電圧

VCOMに対する透明電極の電圧2L＿Ptが、前のラインに対するデータ電圧とは逆極性のデータ電圧－Vdtに維持され、反射部では、第１共通電圧VCOMに対する反射電極の電圧2L＿Prが、前のラインに対する反射電圧とは逆極性の反射電圧－Vdrに調整される。尚、これらの極性反転により、ライン反転駆動が実現される。

【００６４】

データ電圧DATAは更に、図18に示されているように、Ｒ、Ｇ、Ｂの色別に異なるタイミングで出力されても良い。すなわち、ソース駆動部217は、各水平期間1Hの第１期間l1に、各ラインを構成する第１色（例えばＲ）の画素部、第２色（例えばＧ）の画素部、及び第３色（例えばＢ）の画素部のそれぞれに対し、第１色（Ｒ）のデータ電圧、第２色（Ｇ）のデータ電圧、及び第３色（Ｂ）のデータ電圧を順番に出力する。

【００６５】

以上、本発明の好ましい実施例について詳細に説明した。しかし、本発明の実施形態は上記のものには限定されない。当業者であれば本発明の思想と精神とを離れることなく、本発明の上記の実施形態を修正し、または変更できる。従って、それらの修正や変更も当然に、本発明の技術的範囲に属すると解されるべきである。

【図面の簡単な説明】

【００６６】

【図１】一般的なノーマリブラック型反射－透過型表示装置について、透過領域での輝度－電圧曲線T－Vと反射領域での輝度－電圧曲線R－Vとを示すグラフ

【図２】一般的な反射－透過型表示装置の模式的な断面図

【図３】本発明による画素部に含まれている反射部と調整部との等価回路の要部

【図４】本発明の第１実施例による画素部の等価回路図

【図５】本発明の第２実施例による画素部の等価回路図

【図６】図4に示されている等価回路の駆動に利用される各駆動信号のタイミング図

【図７】本発明の第１実施例による第１基板の平面図

【図８】図7に示されている折線I－I’に沿って切断された表示パネルの断面の展開図

【図９】図8に示されている第１基板の製造方法の第１工程で得られる断面の展開図

【図１０】図8に示されている第１基板の製造方法の第２工程で得られる断面の展開図

【図１１】図8に示されている第１基板の製造方法の第３工程で得られる断面の展開図

【図１２】図8に示されている第１基板の製造方法の第４工程で得られる断面の展開図

【図１３】本発明の第２実施例による第１基板の平面図

【図１４】図13に示されている折線II－II’に沿って切断された表示パネルの断面の展開図

【図１５】本発明の実施例による表示装置のブロック図

【図１６】図15に示されているメイン駆動部及び出力選択部の各内部の詳細なブロック図

【図１７】本発明の実施例による表示装置の駆動に利用される各駆動信号のタイミング図

【図１８】本発明の実施例による表示装置の駆動に利用される各駆動信号の別のタイミング図

【図１９】本発明による反射－透過型表示装置について、透過領域での輝度と透過電圧との間の関係を表す曲線T－V、反射領域での輝度と反射電圧との間の関係を表す曲線R－V、及び、式(1)に基づいて調整された反射領域での輝度と透過電圧との間の関係を表す曲線Rc－Vを示すグラフ

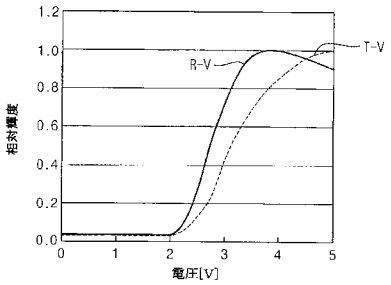
【符号の説明】

【００６７】

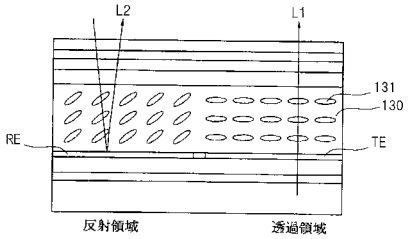
100　表示パネル
102　チャンネルパターン
103　第１絶縁層
104　第２絶縁層
105　有機絶縁層
200　駆動装置

210　メイン駆動部
220　出力選択部
P　画素部
Pt　透過部
Pr　反射部
Pa　調整部
TR1、TR2、TR3　第１、第２、第３トランジスタ
CLCt、CLCr　第１、第２液晶キャパシタ
CSTt、CSTr　第１、第２ストレージキャパシタ

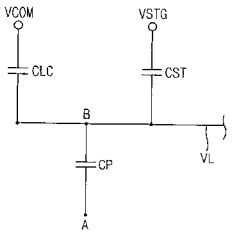
【図１】



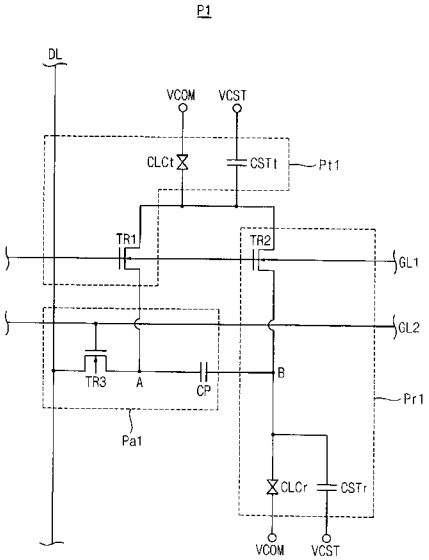
【図２】



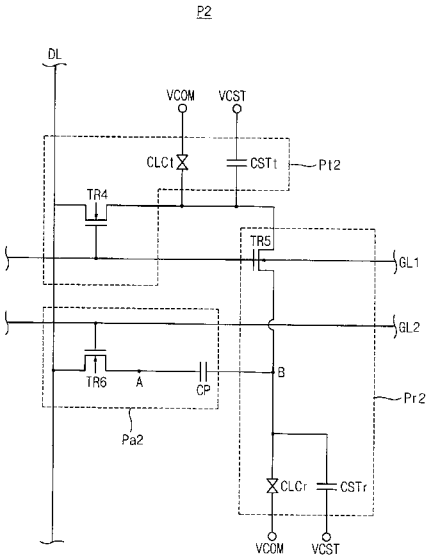
【図３】



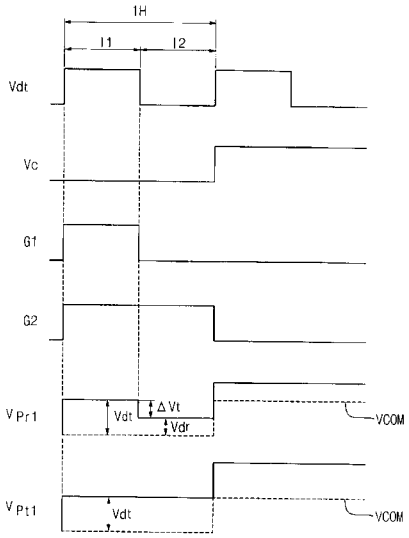
【図４】



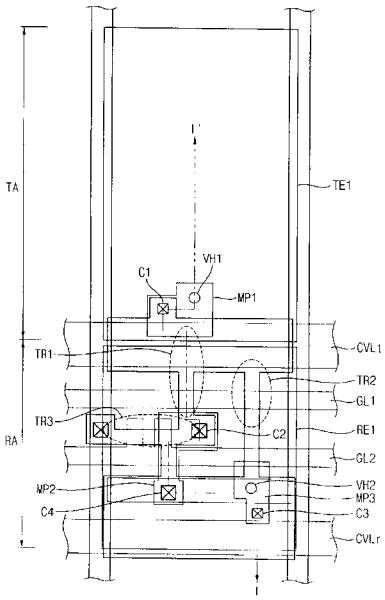
【図５】


P2
DL
VCOM
VCST
CLC1
CST1
Pt2
TR4
TR5
GL1
GL2
TR6
A
CP
B
Pr2
Pa2
CLCr
CSTr
VCOM
VCST

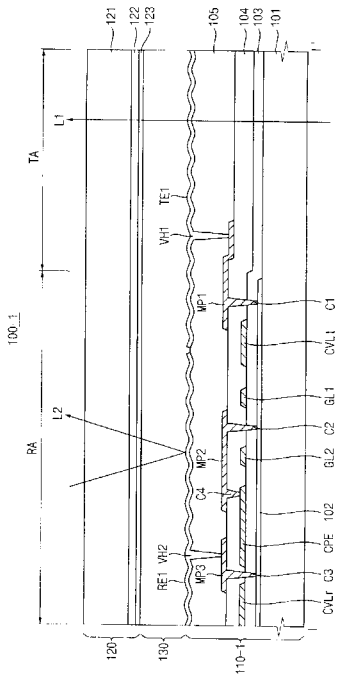
【図６】


1H
t1
t2
Vdt
Vc
G1
G2
VPr1
Vdt
ΔVt
Vdr
VCOM
VPt1
Vdt
VCOM

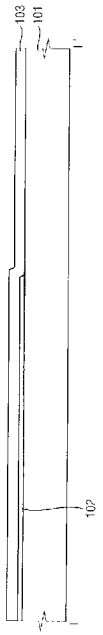
【図７】


TA
RA
TE1
VH1
C1
MP1
TR1
CVLt
TR2
GL1
TR3
C2
RE1
GL2
MP2
VH2
MP3
C4
C3
CVLr

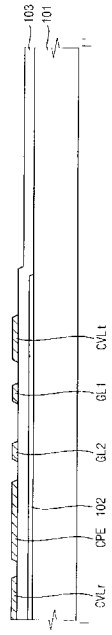
【図８】


121
122
123
105
104
103
101
L1
TA
TE1
VH1
MP1
C1
CVLt
100_1
GL1
C2
L2
RA
MP2
GL2
C4
102
CPE
VH2
RE1
MP3
C3
CVLr
120
130
110-1

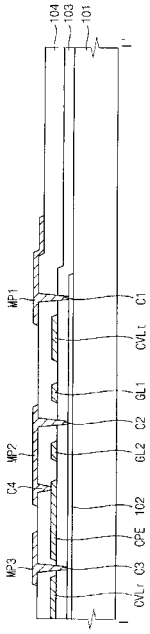
【図９】



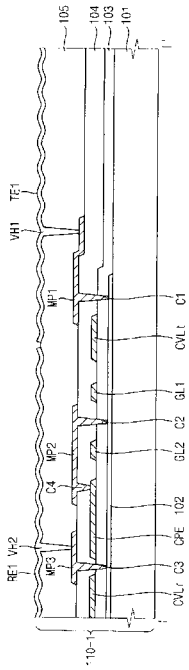
【図１０】



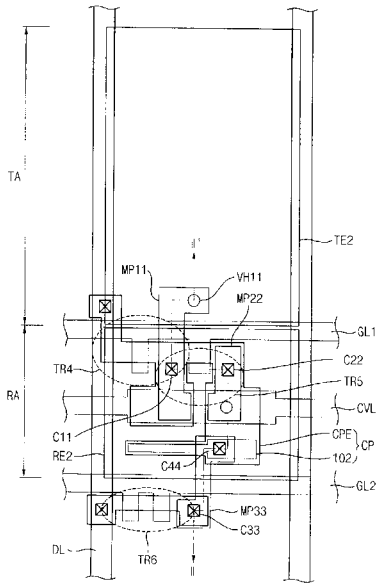
【図１１】



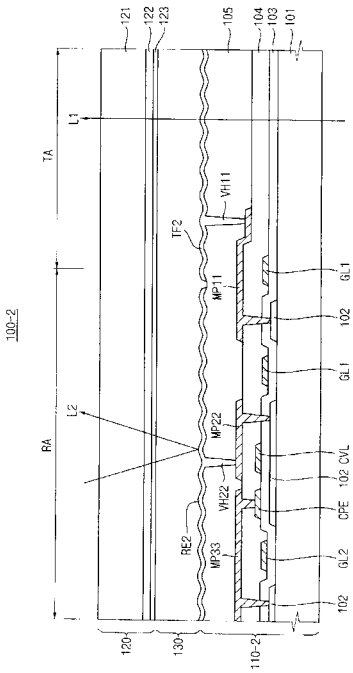
【図１２】



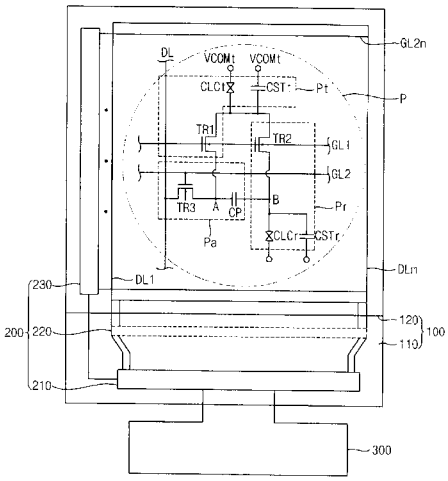
【図１３】



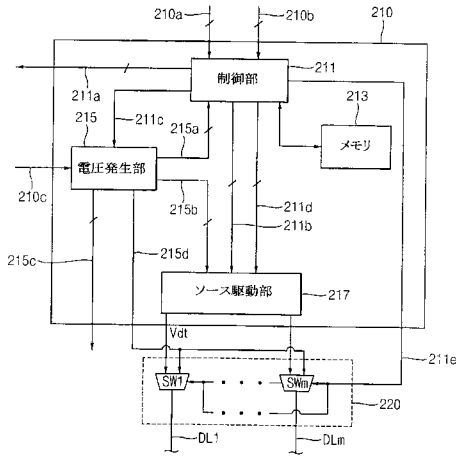
【図１４】



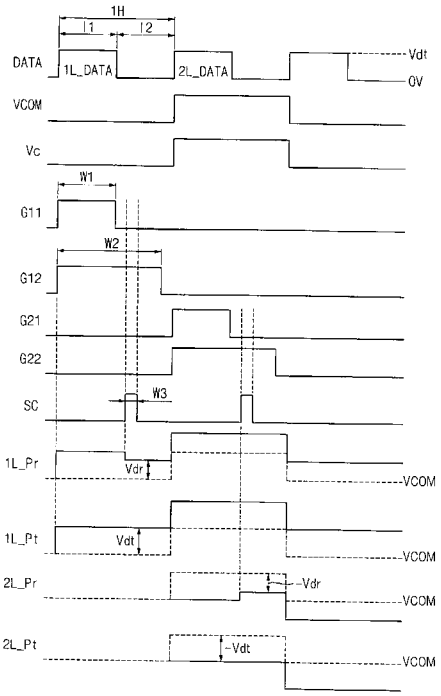
【図１５】



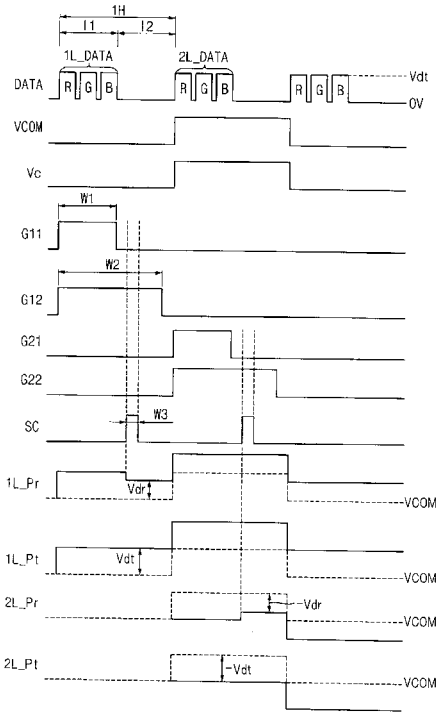
【図１６】



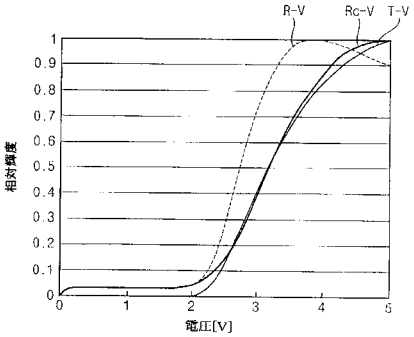
【図１７】


1H
t1
t2
DATA
1L_DATA
2L_DATA
Vdt
0V
VCOM
Vc
W1
G11
W2
G12
G21
G22
SC
W3
1L_Pr
Vdr
VCOM
1L_Pt
Vdt
VCOM
2L_Pr
-Vdr
VCOM
2L_Pt
-Vdt
VCOM

【図１８】


1H
t1
t2
1L_DATA
2L_DATA
DATA
R
G
B
Vdt
0V
VCOM
Vc
W1
G11
W2
G12
G21
G22
SC
W3
1L_Pr
Vdr
VCOM
1L_Pt
Vdt
VCOM
2L_Pr
-Vdr
VCOM
2L_Pt
-Vdt
VCOM

【図１９】


R-V
Rc-V
T-V
相対輝度
電圧[V]
0
0.1
0.2
0.3
0.4
0.5
0.6
0.7
0.8
0.9
1
0
1
2
3
4
5

フロントページの続き

(51)Int.Cl.	ＦＩ		テーマコード（参考）
	Ｇ０９Ｇ 3/20	６８０Ｈ	
	Ｇ０９Ｇ 3/20	６２４Ｂ	
	Ｇ０９Ｇ 3/20	６４２Ａ	

(72)発明者 金 哲 民
大韓民国ソウル特別市江南区大峙洞銀馬アパート２７棟６０７号
(72)発明者 朴 俊 河
大韓民国釜山広域市釜山鎭区開琴洞９２－１番地現代アパート１０２棟８０７号

Ｆターム(参考) 2H091 FA14Y FA15Y FD23 GA03 GA07 GA11 GA13 LA17
2H092 GA19 JA24 JA37 JB07 JB22 JB31 JB42 JB63 JB64 JB67
NA01 PA06 PA12
2H093 NA16 NA42 NA53 NB30 NC10 NC12 NC13 NC34 NC35 NC40
NC58 NC59 ND03 ND60 NE03 NE06
5C006 BB16 BB28 BC06 BF34 BF37 FA03 FA18 FA21 FA41
5C080 AA10 BB05 DD03 DD22 EE29 FF07 FF11 JJ02 JJ03 JJ04
JJ05 JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2007272225A5	公开(公告)日	2010-04-30
申请号	JP2007064346	申请日	2007-03-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李起昌 金一坤 金哲民 朴俊河		
发明人	李 起 昌 金 一 坤 金 哲 民 朴 俊 河		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G02F1/13624 G02F2203/09 G09G3/3659 G09G2320/0233		
FI分类号	G02F1/1368 G02F1/1335.520 G02F1/133.550 G02F1/133.575 G09G3/36 G09G3/20.680.H G09G3/20.624.B G09G3/20.642.A		
F-TERM分类号	2H091/FA14Y 2H091/FA15Y 2H091/FD23 2H091/GA03 2H091/GA07 2H091/GA11 2H091/GA13 2H091/LA17 2H092/GA19 2H092/JA24 2H092/JA37 2H092/JB07 2H092/JB22 2H092/JB31 2H092/JB42 2H092/JB63 2H092/JB64 2H092/JB67 2H092/NA01 2H092/PA06 2H092/PA12 2H093/NA16 2H093/NA42 2H093/NA53 2H093/NB30 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC34 2H093/NC35 2H093/NC40 2H093/NC58 2H093/NC59 2H093/ND03 2H093/ND60 2H093/NE03 2H093/NE06 5C006/BB16 5C006/BB28 5C006/BC06 5C006/BF34 5C006/BF37 5C006/FA03 5C006/FA18 5C006/FA21 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD22 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H191/FA31Y 2H191/GA04 2H191/GA17 2H191/GA19 2H191/LA21 2H191/NA09 2H191/NA13 2H192/AA24 2H192/BC24 2H192/BC31 2H192/BC63 2H192/BC72 2H192/BC82 2H192/CB02 2H192/CB12 2H192/CC24 2H192/DA12 2H192/DA81 2H192/EA67 2H192/FA73 2H192/FB22 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZA46 2H193/ZB08 2H193/ZB14 2H193/ZC22 2H193/ZD23 2H193/ZE23 2H193/ZF22 2H193/ZF36 2H193/ZH21 2H193/ZP03 2H291/FA31Y 2H291/GA04 2H291/GA17 2H291/GA19 2H291/LA21 2H291/NA09 2H291/NA13		
优先权	1020060029683 2006-03-31 KR		
其他公开文献	JP2007272225A		

摘要(译)

透射区域和用简单的结构的反射区域之间的亮度 - 以补偿电压曲线的差别，在于提供一种显示面板，以匹配用于在透过区域相同的施加电压和反射区域的亮度特性。 在像素部分中，透明电极通过第一晶体管或第三晶体管连接到源极布线，并且通过第二晶体管连接到反射电极。此外，泵电容器的第一端通过第三晶体管连接到源极线，第二端连接到反射电极。首先，将透射电压施加到透明电极和反射电极。然后使反射电极和泵浦电容器的第二端浮置，并将控制电压施加到泵浦电容器的第一端。结果，在反射区域中的液晶电容器和泵浦电容器之间重新排列电荷，并且从透射电压到反射电压调节反射电极的电压。 点域4