

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-241029

(P2007-241029A)

(43) 公開日 平成19年9月20日(2007.9.20)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 621A	5C006
G02F 1/133 (2006.01)	G09G 3/20 622D	5C080
	G09G 3/20 623U	
	G09G 3/20 612K	
審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2006-65302 (P2006-65302)
 (22) 出願日 平成18年3月10日 (2006.3.10)

(71) 出願人 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

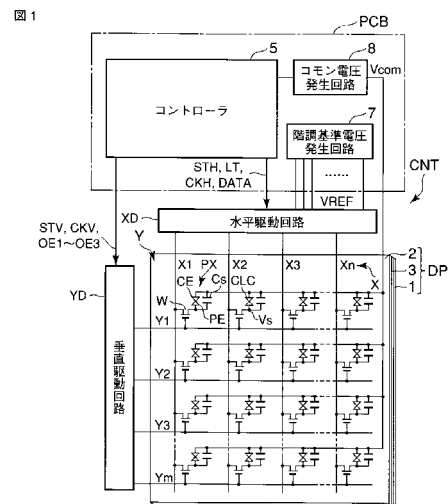
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 周期的な映像信号表示および非映像信号表示で生じるフリッカを低減する。

【解決手段】 液晶表示装置は複数の液晶画素PXと、これら画素PXの行を映像信号書込用および非映像信号書込用に選択する垂直駆動回路YDと、映像信号書込用に選択された行の画素PXに対して映像信号を書き込み、非映像信号書込用に選択された行の画素PXに対して非映像信号を書込む水平駆動回路XDと、複数の画素PXに対する映像信号書込みを1垂直走査期間において1行単位に順次行い、複数の画素PXに対する非映像信号書込みを最初の映像信号書込みから垂直走査期間よりも短い時間遅れて少なくとも1行単位に順次行うように水平駆動回路XDおよび垂直駆動回路YDを制御するコントローラ5とを備える。特に、垂直駆動回路YDは各行の画素PXに対する映像信号書込用の選択期間と他の行の画素PXに対する非映像信号書込用の選択期間とを重複させない選択パターンをコントローラ5から供給されるイネーブル信号OE1~OE3に基づいて設定する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

略マトリクス状に配置される複数の液晶画素と、前記複数の液晶画素の行を映像信号書込用および非映像信号書込用にそれぞれ選択する垂直駆動回路と、映像信号書込用に選択された行の液晶画素に対して映像信号を書き込み、非映像信号書込用に選択された行の液晶画素に対して非映像信号を書込む水平駆動回路と、前記複数の液晶画素に対する映像信号書込みを 1 垂直走査期間において 1 行単位に順次行い、前記複数の液晶画素に対する非映像信号書込みを最初の映像信号書込みから前記垂直走査期間よりも短い時間遅れて少なくとも 1 行単位に順次行うように前記水平駆動回路および垂直駆動回路の動作タイミングを制御する制御回路とを備え、前記垂直駆動回路は各行の液晶画素に対する映像信号書込用の選択期間と他の行の液晶画素に対する非映像信号書込用の選択期間とを重複させない選択パターンを前記制御回路から供給される少なくとも 2 つのイネーブル信号に基いて設定するように構成されることを特徴とする液晶表示装置。 10

【請求項 2】

前記複数の液晶画素は、前記複数行の液晶画素の行に沿って配置される複数のゲート線、および前記複数の液晶画素に隣接してそれぞれ配置され選択行の液晶画素に対応するゲート線が駆動されたときに前記選択行の液晶画素に対する前記水平駆動回路による書込みを許可するように導通する複数の画素スイッチング素子と一緒に表示パネルを構成することを特徴とする請求項 1 に記載の液晶表示装置。 20

【請求項 3】

前記垂直駆動回路は前記制御回路から 1 垂直走査期間毎に供給される第 1 および第 2 のスタートパルスを受取って前記複数の液晶画素の行に対する映像信号書込用および非映像信号書込用の選択をそれぞれ開始し、前記制御回路から供給されるクロック信号に同期して変更される映像信号書込用の選択行および非映像信号書込用の選択行にそれぞれ対応するゲート線に対して駆動電圧を出力するゲートドライバと、前記ゲートドライバから出力される映像信号書込用の駆動電圧および非映像信号書込用の駆動電圧を前記少なくとも 2 つのイネーブル信号の組合せ変更によって切換えて時分割的に出力する出力切換部とを含むことを特徴とする請求項 2 に記載の液晶表示装置。 30

【請求項 4】

前記制御回路は前記第 2 のスタート信号の制御によって前記複数の液晶画素を 2 行以上である所定行数ずつ非映像信号書込用に一緒に選択する場合に前記クロック信号のパルスを周期的に間引くように構成されることを特徴とする請求項 3 に記載の液晶表示装置。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば OCB (Optically Compensated Bend) モードの液晶表示パネルに映像信号表示および非映像信号表示を周期的に行わせる液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置に代表される平面表示装置は、コンピュータ、カーナビゲーションシステム、あるいはテレビ受信機等において画像を表示するために広く利用されている。液晶表示装置は、一般に複数の液晶画素のマトリクスアレイを含む液晶表示パネル、およびこの表示パネルを制御する表示パネル制御回路を有する。液晶表示パネルはアレイ基板および対向基板間に液晶層を挟持した構造である。 40

【0003】

アレイ基板は略マトリクス状に配置される複数の画素電極、複数の画素電極の行に沿って配置される複数のゲート線、複数の画素電極の列に沿って配置される複数のソース線、複数のゲート線および複数のソース線の交差位置近傍に配置される複数のスイッチング素子を有する。各スイッチング素子は例えば薄膜トランジスタ (TFT) からなり、1 ゲート線が駆動されたときに導通して 1 ソース線の電位を 1 画素電極に印加する。対向基板に 50

は、共通電極がアレイ基板に配置された複数の画素電極に対向するように設けられる。画素電極および共通電極はこれら電極間に位置する液晶層の一部である画素領域と共に画素を構成し、画素電極および共通電極間の電位差である液晶駆動電圧に対応した電界によって画素領域内の液晶分子配向を制御する。表示パネル制御回路は垂直駆動回路として複数のゲート線を駆動するゲートドライバ、水平駆動回路として複数のソース線を駆動するソースドライバ、および外部からの画像情報および同期信号に基いてこれらゲートドライバおよびソースドライバの動作タイミングを制御するタイミングコントローラ等を含む。

主に動画を表示するテレビ受信機用の液晶表示装置には、液晶分子が良好な応答性を示すOCBモードの液晶表示パネルの導入が検討されている（特許文献1を参照）。液晶分子配向は画素電極および共通電極上で互いに平行にラビングされた配向膜によって電源投入前においてほとんど寝ているスプレイ配向になる。この液晶表示パネルは、電源投入に伴って印加される比較的強い電界によりスプレイ配向をベンド配向に転移させる初期化後に表示動作を行う。

10

【0004】

液晶分子配向が電源投入前にスプレイ配向となる理由は、スプレイ配向が液晶駆動電圧の無印加状態でエネルギー的にベンド配向よりも安定であるためである。液晶分子配向は一旦ベンド配向に転移しても、スプレイ配向のエネルギーとベンド配向のエネルギーとが拮抗するレベル以下の電圧印加状態や電圧無印加状態が長期間続く場合に再びスプレイ配向に逆転移してしまうという性質を有する。スプレイ配向では、視野角特性がベンド配向に対して大きく異なることから表示異常となる。

20

【0005】

従来、ベンド配向からスプレイ配向への逆転移を防止するため、例えば1フレームの画像を表示するフレーム期間の一部で大きな電圧をOCB液晶画素に印加する駆動方式がとられている。ノーマリホワイトの液晶表示パネルでは、この電圧が黒表示電圧に相当するため、黒挿入駆動と呼ばれる。

【特許文献1】特開2002-202491号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

従来の黒挿入駆動方式では、図6に示すゲート線Y1～Ymが2垂直走査期間においてゲートドライバによって黒挿入書込用および映像信号書込用に2回走査される。ゲートドライバは各垂直走査期間毎に供給される垂直スタートパルスSTVを垂直クロック信号CKVに同期してシフトするシフトレジスタを有し、この垂直スタートパルスのシフト位置に基いてゲート線Y1～Ymを順次選択して駆動する。ソース線X1～Xnはゲート線Y1～Ymの各々が駆動される間にソースドライバによって並列的に駆動される。ソースドライバは、水平走査期間毎に供給される水平スタートパルスSTHを水平クロック信号CKHに同期してシフトするシフトレジスタを有し、この水平走査期間において順次供給される1行（水平ライン）分の画素データDATA（映像信号Sまたは黒表示信号B）をこの水平スタートパルスのシフト位置に基いて取込みそれぞれ画素電圧に変換し、ラッチ出力パルスLTに応答してこれら画素電圧を並列的に複数のソース線X1～Xnに出力する。

30

40

【0007】

しかしながら、このような黒挿入駆動方式では、先頭行から最終行までの画素が順次書き込まれた画素電圧を1垂直走査期間ずつ保持して映像信号表示を行い、さらに順次書き込まれた画素電圧を1垂直走査期間ずつ保持して黒挿入表示（非映像信号表示）を行うことになる。映像信号Sは最小階調の黒表示レベルから最大階調の白表示レベルの範囲にあるが、すべて白表示レベルであるとすれば、次のような表示が繰り返される。すなわち、黒表示領域が黒挿入書込走査に伴って表示パネルの上端から下端に向って増大し、この後白表示領域が映像信号書込走査に伴って表示パネルの上端から下端に向って増大する。表示パネルの観察者はこのようにして生じる画面の輝度変化をフリッカ（ちらつき）と

50

して認識することになる。

【0008】

本発明の目的は、映像信号表示および非映像信号表示を周期的に行なうことにより生じるフリッカを低減できる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0009】

本発明によれば、略マトリクス状に配置される複数の液晶画素と、複数の液晶画素の行を映像信号書込用および非映像信号書込用にそれぞれ選択する垂直駆動回路と、映像信号書込用に選択された行の液晶画素に対して映像信号を書き込み、非映像信号書込用に選択された行の液晶画素に対して非映像信号を書込む水平駆動回路と、複数の液晶画素に対する映像信号書込みを1垂直走査期間において1行単位に順次行い、複数の液晶画素に対する非映像信号書込みを最初の映像信号書込みから垂直走査期間よりも短い時間遅れて少なくとも1行単位に順次行うように水平駆動回路および垂直駆動回路の動作タイミングを制御する制御回路とを備え、垂直駆動回路は各行の液晶画素に対する映像信号書込用の選択期間と他の行の液晶画素に対する非映像信号書込用の選択期間とを重複させない選択パターンを制御回路から供給される少なくとも2つのイネーブル信号に基いて設定するように構成される液晶表示装置が提供される。

【発明の効果】

【0010】

この液晶表示装置では、各行の液晶画素に対する映像信号書込用の選択期間が他の行の液晶画素に対する非映像信号書込用の選択期間と重複することがなく、さらに最初の映像信号書込みから非映像信号書込みまでの時間を調整することにより全表示画面に占める非映像信号の表示領域を所望の割合にして平均的な輝度を安定化することができる。すなわち、非映像信号の表示領域が時間的に変化しないため、映像信号表示および非映像信号表示を周期的に行なうことにより生じるフリッカを低減できる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の一実施形態に係る液晶表示装置について添付図面を参照して説明する。図1はこの液晶表示装置の回路構成を概略的に示す。液晶表示装置はOCBモードの液晶表示パネルDP、および表示パネルDPに接続される表示パネル制御回路CNTを備える。液晶表示パネルDPは一对の電極基板であるアレイ基板1および対向基板2間に液晶層3を挟持した構造である。液晶層3は、液晶分子配向が電圧無印加状態でスプレイ配向となる液晶材料を含む。ノーマリホワイトの表示動作を可能にするため、表示パネル制御回路CNTは電源投入に伴って液晶分子配向をスプレイ配向からベンド配向に転移させる比較的大きな転移電圧をアレイ基板1および対向基板2から液晶駆動電圧として液晶層3に印加することによって表示パネルDPを初期化する。液晶表示パネルDPの表示動作では、液晶駆動電圧が液晶表示パネルDPの透過率を制御するように液晶層3にされ、さらに黒表示電圧がベンド配向からスプレイ配向への逆転移を阻止するために周期的に液晶駆動電圧として液晶層3に印加される。

【0012】

アレイ基板1は、例えばガラス等の透明絶縁基板上に略マトリクス状に配置される複数の画素電極PE、複数の画素電極PEの行に沿って配置される複数のゲート線Y（Y0～Ym）、複数の画素電極PEの列に沿って配置される複数のソース線X（X1～Xn）、並びにこれらゲート線Yおよびソース線Xの交差位置近傍に配置され各々対応ゲート線Yを介して駆動されたときに対応ソース線Xおよび対応画素電極PE間で導通して複数の画素スイッチング素子Wを有する。各画素スイッチング素子Wは例えば薄膜トランジスタからなり、薄膜トランジスタのゲートがゲート線Yに接続され、ソースドレインパスがソース線Xおよび画素電極PE間に接続される。

【0013】

対向基板2は例えばガラス等の透明絶縁基板上に配置されるカラーフィルタ、および複

数の画素電極 P E に対向してカラーフィルタ上に配置される共通電極 C E 等を含む。複数の画素電極 P E および共通電極 C E は例えば I T O 等の透明電極材料からなり、互いに平行にラビング処理される配向膜でそれぞれ覆われる。各画素電極 P E および共通電極 C E はこれら電極 P E, C E 間に位置する液晶層の一部である画素領域と共に液晶画素 P X を構成し、電極 P E, C E 間に得られる液晶容量 C L C およびこの液晶容量 C L C に並列にそれぞれ接続される補助容量 C s により保持される液晶駆動電圧に対応する電界によって画素領域内の液晶分子配向を制御する。複数の液晶画素 P X は複数の画素電極 P E の配置に従ってマトリクス状に配置される。

【0014】

表示パネル制御回路 C N T は、複数の液晶画素 P X の行を映像信号書込用および黒挿入書込（非映像信号書込）用にそれぞれ選択する垂直駆動回路 Y D と、映像信号書込用に選択された行の液晶画素 P X に対して映像信号を画素電圧 V s として書き込み、黒挿入書込用に選択された行の液晶画素 P X に対して黒表示信号（非映像信号）を画素電圧 V s として書込む水平駆動回路 X D と、複数の液晶画素 P X に対する映像信号書込みを 1 垂直走査期間において 1 行単位に順次行い、複数の液晶画素 P X に対する黒挿入書込みを最初の映像信号書込みから垂直走査期間よりも短い時間遅れて少なくとも 1 行単位に順次行うように水平駆動回路 X D および垂直駆動回路 Y D の動作タイミングを制御する制御回路であるコントローラ 5 とを備える。表示パネル制御回路 C N T には、さらに所定数の階調基準電圧 V R E F を発生する階調基準電圧発生回路 7、およびコモン電圧 V c o m を発生するコモン電圧発生回路 8 等が設けられる。液晶駆動電圧は、画素電圧 V s によって設定される画素電極 P E の電位とコモン電圧 V c o m に設定される共通電極 C E の電位との電位差であり、例えばフレーム反転駆動およびライン反転駆動を行うように極性反転される。

【0015】

垂直駆動回路 Y D および水平駆動回路 X D は例えばアレイ基板 1 の外縁に沿って配置されるフレキシブル配線シートにマウントされた集積回路（I C）チップである。また、コントローラ 5、階調基準電圧発生回路 7、およびコモン電圧発生回路 8 は液晶表示パネル D P から独立したプリント配線板 P C B 上に配置される。

【0016】

図 2 は垂直駆動回路 Y D の構成をさらに詳細に示す。垂直駆動回路 Y D はコントローラ 5 から 1 垂直走査期間において供給される第 1 および第 2 の垂直スタートパルス S T V を受取って複数の液晶画素 P X の行に対する映像信号書込用および黒挿入書込用の選択をそれぞれ開始し、コントローラ 5 から順次供給される垂直クロック信号 C K V に同期して変更される映像信号書込用の選択行および黒挿入書込用の選択行にそれぞれ対応するゲート線 Y に対して駆動電圧を出力するゲートドライバ 1 1 と、ゲートドライバ 1 1 から出力される映像信号書込用の駆動電圧および黒挿入書込用の駆動電圧を少なくとも 2 つのイネーブル信号の組合せ変更によって切換えて時分割的に出力する出力切換部 1 2 とを含む。

【0017】

具体的には、ゲートドライバが垂直スタートパルス S T V を垂直クロック信号 C K V に同期してシフトするシフトレジスタを有し、選択行の液晶画素 P X を表す垂直スタートパルス S T V のシフト位置に基づいて駆動電圧を順次ゲート線 Y 1 ~ Y m に対して出力する。複数の画素スイッチング素子 W は選択行の液晶画素 P X に対応するゲート線 Y からの駆動電圧によって駆動されたときに選択行の液晶画素 P X に対する水平駆動回路 X D による書込みを許可するように導通する。

【0018】

ここでは、イネーブル信号 O E 1 ~ O E 3 がコントローラ 5 から出力切換部 1 2 に供給される。このため、出力切換部 1 2 は例えばゲートドライバ 1 1 からゲート線 Y 1, Y 4, Y 7, ..., Y m - 2 に対して出力される駆動電圧を制御するように接続される m / 3 個のスイッチングトランジスタ 1 3、ゲートドライバ 1 1 からゲート線 Y 2, Y 5, Y 8, ..., Y m - 1 に対して出力される駆動電圧を制御するように接続される m / 3 個のスイッチングトランジスタ 1 4、ゲートドライバ 1 1 からゲート線 Y 3, Y 6, Y 9, ..., Y m

に対して出力される駆動電圧を制御するように接続される $m/3$ 個のスイッチングトランジスタ15、およびスイッチングトランジスタ13, 14, 15のゲートにイネーブル信号OE1～OE3の反転信号を出力する3個のインバータ回路16を有する。

【0019】

水平駆動回路XDは、1水平走査期間毎に供給される水平スタートパルスSTHを水平クロック信号CKHに同期してシフトするシフトレジスタを有し、この水平走査期間において順次供給される1行（水平ライン）分の画素データDATA（映像信号Sまたは黒表示信号B）をこの水平スタートパルスSTHのシフト位置に基いて取込み、階調基準電圧VREFを参照してそれぞれ画素電圧Vsに変換し、さらにラッチ出力パルスLTに 응답してこれら画素電圧Vsを並列的に複数のソース線X1～Xnに出力する。

10

【0020】

各行の液晶画素PXは映像信号書込みから黒挿入書込みまでの期間だけ映像信号の画素電圧Vsを保持して映像信号表示を行い、さらに黒挿入書込みから次の映像信号書込みまでの期間だけ黒表示信号の画素電圧Vsを保持して黒挿入（非映像信号）表示を行うことになる。

【0021】

図3はこの液晶表示装置の動作において得られる信号波形を示す。垂直駆動回路YDは第1の垂直スタートパルスSTVの供給に伴って映像信号書込用に複数の液晶画素PXを1行単位に順次選択し、さらに第2の垂直スタートパルスSTVの供給に伴って黒挿入書込用に複数の液晶画素PXを1行単位に順次選択する。垂直クロック信号CKVは1水平走査期間に等しいクロック周期を有し、ゲートドライバ11はこの垂直クロック信号CKVに同期して変更される選択行に対応するゲート線Yに対して1水平走査期間ずつ駆動電圧を出力する。映像信号書込用の選択では、出力切換部12がイネーブル信号OE1～OE3の組合せに基いて選択行に対応するゲート線Yに対する駆動電圧の出力を1水平走査期間の前半において禁止し、この水平走査期間の後半において許可する。また、黒挿入書込用の選択では、出力切換部12がイネーブル信号OE1～OE3の組合せに基いて選択行に対応するゲート線Yに対する駆動電圧の出力を1水平走査期間の前半において許可し、この水平走査期間の後半において禁止する。これにより、各行の液晶画素PXに対する映像信号書込用の選択期間と他の行の液晶画素に対する非映像信号書込用の選択期間とを重複させない選択パターンが設定される。

20

30

【0022】

ゲート線Y1～Ymは1垂直走査期間において1水平走査期間ずつ映像信号書込用に順次選択され、各々対応水平走査期間Hの後半で出力される駆動電圧により駆動される。映像信号S, S, S, …の各々は対応水平走査期間の後半において画素電圧Vsに変換されて、並列的にソース線X1～Xnに出力される。これら画素電圧Vsはゲート線Y1～Ymの各々が対応水平走査期間Hの後半で駆動される間に1行目, 2行目, 3行目, …の液晶画素PXに書き込まれる。

【0023】

また、最初に選択された行の液晶画素PXの映像信号保持期間が経過すると、ゲート線Y1～Ymは黒挿入書込用に1水平走査期間ずつ順次選択され、各々対応水平走査期間Hの前半で出力される駆動電圧により駆動される。黒表示信号B, B, B, …の各々は対応水平走査期間Hの前半において画素電圧Vsに変換されて、並列的にソース線X1～Xnに出力される。これら画素電圧Vsはゲート線Y1～Ymの各々が対応水平走査期間Hの前半で駆動される間に1行目, 2行目, 3行目, …の液晶画素PXに書き込まれる。

40

【0024】

図4はこの液晶表示装置の動作により表示される画像を示す。図4に示す3つの黒丸のタイミングで表示される画像を比較すると、映像信号書込位置および黒挿入書込位置間に一定の時間的なオフセットが設けられることがわかる。黒表示領域は全体面積について変化せず、表示画面の上端から下端に向かって移動する。

【0025】

50

本実施形態では、各行の液晶画素 P X に対する映像信号書込用の選択期間が他の行の液晶画素 P X に対する非映像信号書込用の選択期間と重複することが出力切換部 1 2 によって阻止され、さらに最初の映像信号書込みから非映像信号書込みまでの時間が垂直スタートパルス S T V の時間間隔により調整可能である。従って、全表示画面に占める黒表示領域を所望の割合にして平均的な輝度を安定化することができる。すなわち、黒表示領域が時間的に変化しないため、映像信号表示および黒挿入表示（非映像信号表示）を周期的に行なうことにより生じるフリッカを低減できる。

【0026】

また、垂直駆動回路 Y D は、出力切換部 1 2 が従来の黒挿入駆動方式で用いられるような汎用的なゲートドライバ I C を用いて構成することが可能なゲートドライバ 1 1 に付加されたシンプルな構造であるため、各行の液晶画素 P X に対する映像信号書込用の選択期間が他の行の液晶画素 P X に対する非映像信号書込用の選択期間と重複することを回避できるゲートドライバ I C を新規に設計する場合よりも製造コストを低減できる。

【0027】

尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲で様々に変形可能である。

【0028】

図 5 は図 2 に示す垂直駆動回路 Y D に対してコントローラ 5 から供給される垂直スタートパルスおよび垂直クロック信号の波形を異ならせた変形例において得られる信号波形を示す。

【0029】

この変形例では、垂直駆動回路 Y D が第 1 の垂直スタートパルス S T V の供給に伴って映像信号書込用に複数の液晶画素 P X を 1 行単位に順次選択し、さらに第 2 の垂直スタートパルス S T V の供給に伴って黒挿入書込用に複数の液晶画素 P X を 2 行単位に順次選択する。第 1 垂直スタートパルス S T V は垂直クロック信号 C K V の 1 クロック周期分のパルス幅に設定され、第 2 垂直スタートパルス S T V は 1 クロック周期分のパルス幅に設定される。さらに、垂直クロック信号 C K V は 1 水平走査期間に等しいクロック周期を有し、さらに 3 クロック周期当り 1 パルスの割合で間引かれる。これに伴って、イネーブル信号 O E 1 ~ O E 3 の組合せについても、図 6 に示すように変更される。これにより、各行の液晶画素 P X に対する映像信号書込用の選択期間と他の行の液晶画素に対する非映像信号書込用の選択期間とを重複させない選択パターンが設定される。

【0030】

上述の実施形態および変形例では、垂直スタートパルス S T V および垂直クロック信号 C K V が出力切換部 1 2 に供給される 3 つのイネーブル信号 O E 1 ~ O E 3 一緒に用いられたが、これらイネーブル信号は少なくとも 2 つに変更してもよい。

【図面の簡単な説明】

【0031】

【図 1】 本発明の一実施形態に係る液晶表示装置の回路構成を概略的に示す図である。

【図 2】 図 1 に示す垂直駆動回路の構成をさらに詳細に示す図である。

【図 3】 図 1 に示す液晶表示装置の動作において得られる信号波形を示す図である。

【図 4】 図 1 に示す液晶表示装置の動作により表示される画像を示す図である。

【図 5】 図 2 に示す垂直駆動回路に対してコントローラから供給される垂直スタートパルスおよび垂直クロック信号の波形を異ならせた変形例において得られる信号波形を示す図である。

【図 6】 従来の黒挿入駆動方式について説明するための図である。

【符号の説明】

【0032】

1 … アレイ基板、 2 … 対向基板、 3 … 液晶層、 5 … コントローラ、 7 … 階調基準電圧発生回路、 1 1 … ゲートドライバ、 1 2 … 出力切換部、 1 3, 1 4, 1 5 … スイッチングトランジスタ、 1 6 … インバータ回路、 P … 液晶表示パネル、 P E … 画素電極、 C E … 共通

10

20

30

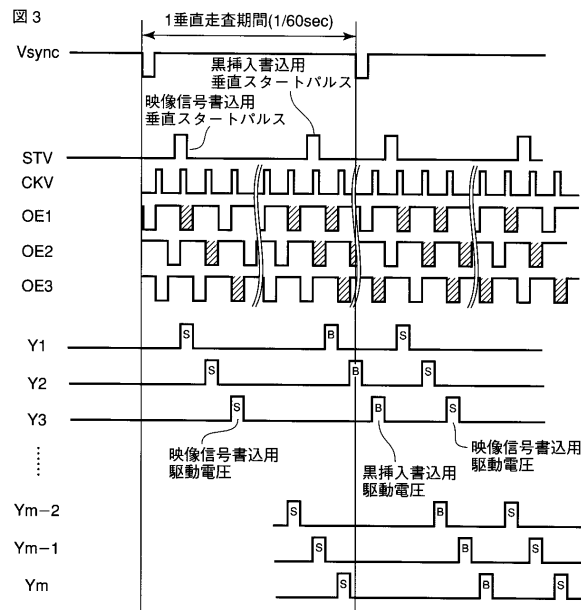
40

50

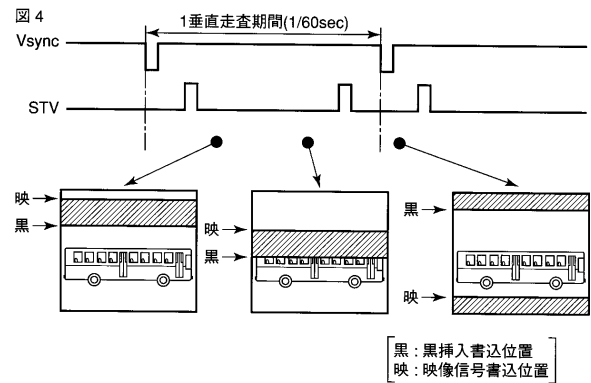
【図 1】

[illegible]

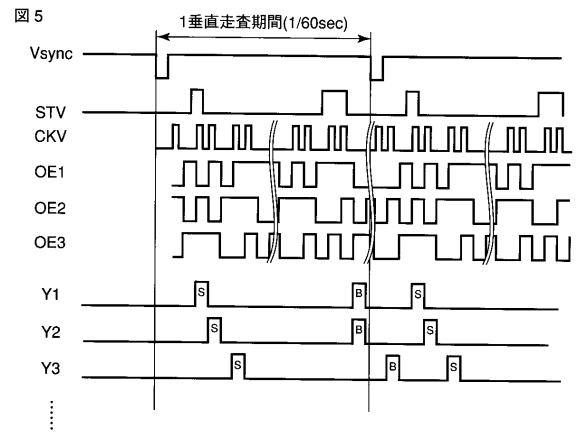
【図 3】



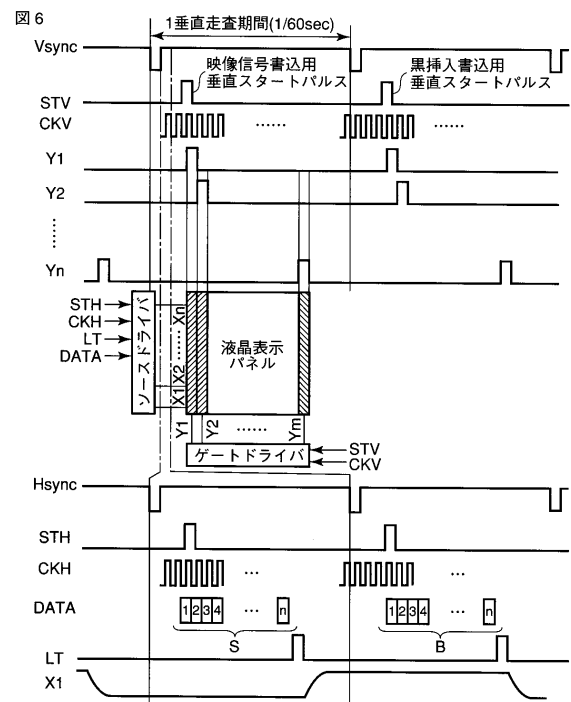
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 1 E
	G 0 9 G 3/20	6 1 2 L
	G 0 2 F 1/133	5 5 0

(74)代理人 100109830
弁理士 福原 淑弘

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 寺西 謙太郎
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA16 NC09 NC10 NC11 NC12 NC22 NC41 ND10 NE03 NF04
NF09
5C006 AF42 AF44 AF59 AF71 AF72 BA15 BB16 BC03 BC12 BF34
FA16 FA23
5C080 AA10 BB05 DD06 FF11 JJ01 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2007241029A	公开(公告)日	2007-09-20
申请号	JP2006065302	申请日	2006-03-10
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	寺西謙太郎		
发明人	寺西 謙太郎		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3677 G09G2300/0491 G09G2310/061		
FI分类号	G09G3/36 G09G3/20.621.A G09G3/20.622.D G09G3/20.623.U G09G3/20.612.K G09G3/20.611.E G09G3/20.612.L G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NC09 2H093/NC10 2H093/NC11 2H093/NC12 2H093/NC22 2H093/NC41 2H093/ND10 2H093/NE03 2H093/NF04 2H093/NF09 5C006/AF42 5C006/AF44 5C006/AF59 5C006/AF71 5C006/AF72 5C006/BA15 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BF34 5C006/FA16 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD06 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZE02 2H193/ZF22 2H193/ZF36 2H193/ZP03 2H193/ZQ08 2H193/ZQ14		
代理人(译)	河野 哲 中村 诚		
其他公开文献	JP2007241029A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少周期性图像信号显示和非图像信号显示中出现的闪烁。ZOLUTION：液晶显示器包括多个液晶像素PX；垂直驱动电路YD，用于选择像素PX的行，用于图像信号写入和非图像信号写入；用于将图像信号写入到为图像信号选择的行的像素PX的水平驱动电路XD，写入非图像信号，并将非图像信号写入为非图像信号写入选择的行的像素PX；控制器5，用于控制水平驱动电路XD和垂直驱动电路YD，以便在一个垂直扫描周期中逐行地将图像信号逐行写入多个像素PX，并将非图像信号写入到多个像素PX至少逐行排列，从图像信号的第一次写入延迟比垂直扫描周期短的时间。垂直驱动电路YD具体设置选择模式，其中用于相对于每条线的像素PX写入图像信号的选择周期与用于将非图像信号写入到像素PX的选择周期不一致。其他线路基于从控制器5提供的使能信号OE1-OE3

