

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-171225
(P2007-171225A)

(43) 公開日 平成19年7月5日(2007.7.5)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623B	5C006
G02F 1/133 (2006.01)	G09G 3/20 623R	5C080
	G09G 3/20 621F	
	G09G 3/20 621L	
審査請求 有 請求項の数 9 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2005-364232 (P2005-364232)	(71) 出願人 000002185
(22) 出願日 平成17年12月19日 (2005.12.19)	ソニー株式会社 東京都港区港南1丁目7番1号
	(74) 代理人 100080160 弁理士 松尾 憲一郎
	(72) 発明者 川口 景子 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内
	(72) 発明者 塚本 耕治 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内
	Fターム(参考) 2H093 NA16 NA53 NC13 NC24 NC34 ND06 ND39 ND49
	最終頁に続く

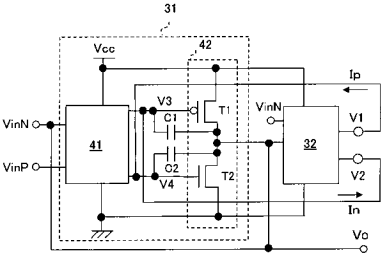
(54) 【発明の名称】 増幅回路、液晶表示装置用駆動回路及び液晶表示装置

(57) 【要約】

【課題】消費電力を抑えながら、しかも安定性を損なうことがない増幅回路を提供すること。

【解決手段】 入力信号を増幅する差動増幅器と、この差動増幅器からの信号を出力端子へ出力する第1のトランジスタと第2のトランジスタからなる出力増幅器と、第1のトランジスタのゲートと出力端子との間に接続された第1の容量素子と、第2のトランジスタのゲートと出力端子との間に接続された第2の容量素子と、入力信号の電圧が出力端子の電圧より所定値以上高いとき、第1の容量素子または第2の容量素子、もしくは第1、第2の容量素子両方の電荷の放電を行い、入力信号の電圧が前出力端子の電圧より所定値以上低いとき、第1の容量素子または第2の容量素子、もしくは第1、第2の容量素子両方の電荷の充電を行なうブースト回路とを備えた。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

入力信号を増幅して出力端子から出力する増幅器と、
前記入力信号の電圧と前記出力端子の電圧との差が所定以上のとき、前記増幅器の所定部位へ正又は負の定電流を供給して前記増幅器の出力応答性を高めるブースト回路と、を備えた増幅回路。

【請求項 2】

前記増幅器は、
入力信号を増幅する差動増幅器と、
前記差動増幅器からの信号を前記出力端子へ出力するトランジスタと、このトランジスタのゲートと前記出力端子との間に接続された容量素子と有する出力増幅器とを備え、
前記ブースト回路は、
負又は正の前記定電流を前記所定部位である前記容量素子に供給することにより、前記容量素子へ電荷を充電又は放電して前記増幅器の出力応答性を高める請求項 1 に記載の増幅回路。 10

【請求項 3】

前記増幅器は、
入力信号を増幅する差動増幅器と、
前記差動増幅器からの信号を前記出力端子へ出力するトランジスタを有する出力増幅器とを備え、
前記ブースト回路は、前記所定部位である前記出力端子へ負又は正の前記定電流を供給して前記増幅器の出力応答性を高める請求項 1 に記載の増幅回路。 20

【請求項 4】

前記増幅器は、
入力信号を増幅する差動増幅器と、
前記差動増幅器からの信号を前記出力端子へ出力するトランジスタを有する出力増幅器とを備え、
前記ブースト回路は、前記所定部位であるバイアス電流供給ノードに正の前記定電流を流すことにより前記差動増幅器のバイアス電流を増加させて前記増幅器の出力応答性を高める請求項 1 に記載の増幅回路。 30

【請求項 5】

前記出力増幅器は、第 1 のトランジスタと第 2 のトランジスタからなり、
前記容量素子は、第 1 のトランジスタのゲートと出力端子との間に接続された第 1 の容量素子と、第 2 のトランジスタのゲートと出力端子との間に接続された第 2 の容量素子とからなり、
前記ブースト回路は、
前記入力信号の電圧が前記出力端子の電圧より所定値以上高いとき、前記第 1 の容量素子または第 2 の容量素子、もしくは第 1、第 2 の容量素子両方の電荷の放電を行い、前記入力信号の電圧が前記出力端子の電圧より所定値以上低いとき、前記第 1 の容量素子または第 2 の容量素子、もしくは第 1、第 2 の容量素子両方の電荷の充電を行なう請求項 2 に記載の増幅回路。 40

【請求項 6】

前記ブースト回路は、
第 1 の電位と第 2 の電位との間に、第 1 のカレントミラー回路と、第 3 及び第 4 のトランジスタの出力とが順に直列的に接続される一方、前記第 1 の電位と前記第 2 の電位との間に、第 5 及び第 6 のトランジスタの出力、第 2 のカレントミラー回路とが順に直列的に接続され、さらに、前記第 3 のトランジスタのゲート及び前記第 6 のトランジスタのゲートには前記入力信号が接続され、前記第 4 のトランジスタのゲート及び前記第 5 のトランジスタのゲートには前記出力端子が接続されることを特徴とする請求項 5 に記載の増幅回路。

【請求項 7】

前記入力信号が前記差動増幅器の非反転入力端子に入力されると共に、前記出力端子が前記差動増幅器の反転入力端子に接続される請求項 2～6 のいずれか 1 項に記載の増幅回路。

【請求項 8】

画像を表示するための液晶表示部に設けられた各画素を駆動させるための駆動信号を出力する液晶表示用駆動回路であって、

入力信号を増幅して出力端子から出力する増幅器と、

前記入力信号の電圧と前記出力端子の電圧との差が所定以上のとき、前記増幅器の所定部位へ正又は負の定電流を供給して前記増幅器の出力応答性を高めるブースト回路と、を備えた液晶表示用駆動回路。 10

【請求項 9】

画像を表示するための液晶表示部に設けられた各画素を駆動させるための駆動信号を出力する駆動回路を有する液晶表示装置であって、

前記駆動回路は、

入力信号を増幅して出力端子から出力する増幅器と、

前記入力信号の電圧と前記出力端子の電圧との差が所定以上のとき、前記増幅器の所定部位へ正又は負の定電流を供給して前記増幅器の出力応答性を高めるブースト回路と、を備えた液晶表示装置。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、増幅回路、液晶表示装置用駆動回路及び液晶表示装置に関し、さらに詳細には、液晶表示装置用の駆動回路に用いることができる増幅回路及びそれを内蔵した駆動回路並びにそれを用いた液晶表示装置に関する。

【背景技術】

【0002】

近年、表示装置として、液晶表示装置（LCD：Liquid Crystal Device）が幅広く普及している。この液晶表示装置は、薄型、軽量及び低消費電力を特徴とすることから、特に携帯電話機、PDA（Personal Digital Assistance）、ノートパソコン、携帯用TVなどのいわゆるモバイル端末に利用される機会が増えている。 30

【0003】

また、大型の液晶表示装置の開発も進んでおり、据え置き型の大画面表示装置や大画面テレビなどへの用途も広がりつつある。

【0004】

このような液晶表示装置においては、応答速度や画像品質などの面で優れ、高精細表示を可能とするアクティブマトリクス駆動方式が主流となっている。この種の液晶表示装置における液晶表示部の各画素には、トランジスタあるいはダイオードなどの非線形な素子が用いられており、これらの素子を駆動させることによって液晶表示部上に画像を表示するものである。 40

【0005】

より具体的には、透明な画素電極と薄膜トランジスタ（TFT；thin film transistor）とを配置した半導体基板と、表示部全体に一つの透明な電極を形成した対向基板とを設け、これらの基板を対向させて液晶を封入した構造を有している。そして、スイッチング機能をもつTFTを制御することによって、各画素電極に画素階調に応じた電圧を印加し、各画素電極と対向基板の電極との間の電位差を発生させることにより液晶の透過率を変化させて画像を表示するものである。

【0006】

ところで、半導体基板上には、各画素電極へ階調に応じた電圧（以下、「階調電圧」とする。）を印加するための複数のデータ線と、TFTのスイッチングさせるための制御信 50

号を印加する走査線とが配置されている。そして、各画素電極への階調電圧の印加はデータ線を介して行われ、画像表示の1フレーム期間にデータ線に接続される全ての画素電極への階調電圧の印加が行われることによって、液晶表示部に画像を表示するようにしている。

【0007】

ところが、このデータ線は、階調電圧を印加する駆動回路（以下、「ソースドライバ」ともいう。）側からみると、対向する基板電極間に挟まれる液晶容量や各走査線との交差部に生じる容量などにより大きな容量性負荷となっている。

【0008】

そのため、このようなデータ線を駆動させるための駆動回路は、容量負荷が大きなデータ線を高い電圧精度で、高速に駆動する必要がある、この要求を満たすために様々なデータ線駆動回路の開発が行なわれてきた（例えば、特許文献1参照。）。

【0009】

このようなデータ線駆動回路の例を、以下図面を参照して具体的に説明する。このデータ線駆動回路は、出力増幅器として用いるオペアンプ100によって高精度化及び高速化を図ったものである。図8は、データ線駆動回路の出力増幅回路として用いるオペアンプ100の概略構成を示す図である。

【0010】

図8に示すように、オペアンプ100は、差動増幅器110と出力増幅器120とにより構成されるボルテージフォロアタイプのオペアンプである。そして、このオペアンプ100は、入力端子 V_{in} の電圧と等しい電圧を出力端子 V_o に出力する。

【0011】

差動増幅器110は、定電流回路I100と、同一特性を有するPMOSトランジスタT100、T101と、同一特性を有するNMOSトランジスタT102、T103とから構成される。

【0012】

定電流回路I100は、第1の電位（ここでは、 V_{cc} ）とPMOSトランジスタT100、T101のソースとの間に接続される。なお、PMOSトランジスタT100、T101のソースは共通接続されている。

【0013】

また、PMOSトランジスタT100のゲートは入力端子 V_{in} に接続され、そのドレインは、NMOSトランジスタT102のドレインに接続される。また、PMOSトランジスタT101のドレインは、NMOSトランジスタT103のドレインに接続され、そのゲートは出力端子 V_o に接続される。

【0014】

NMOSトランジスタT102、T103のソースは、共通に第2の電位（ここでは、 GND ）へ接続され、これらのゲートは共通にNMOSトランジスタT103のドレインに共通に接続される。

【0015】

一方、出力増幅器120は、定電流回路I101、NMOSトランジスタT105と、容量素子C100とから構成される。

【0016】

定電流回路I101は、第1の電位と出力端子 V_o との間に接続される。また、NMOSトランジスタT105のドレインは出力端子 V_o に接続され、そのソースは第2の電位に接続されると共に、そのゲートはPMOSトランジスタT100のドレイン及びNMOSトランジスタT102のドレインに接続される。容量素子C100は、位相を補償するために位相補償容量として設けられるものであり、NMOSトランジスタT105のドレイン及びゲート間に接続される。

【0017】

なお、ここでは、定電流回路I100で制限される電流をI100、定電流回路I101で制限される電流をI101とする。また、出力端子 V_o には容量性負荷を有するデータ線が接続さ

10

20

30

40

50

れるものとする。

【0018】

このようにオペアンプ100は、出力端子 V_o の電圧を差動増幅器110に帰還、すなわちPMOSトランジスタT101のゲートに入力しており、電圧増幅率が1で、かつ電流供給能力の高いボルテージフォロアを構成している。以下、このように構成されたオペアンプ100の動作につき、具体的に説明する。

【0019】

このオペアンプ100において、出力端子 V_o の電圧が入力端子 V_{in} の電圧よりも低いとき、NMOSトランジスタT105のゲート電圧が引き下げられ、NMOSトランジスタT105は一時的にオフ状態になる。そのため、定電流回路I101からの電流I101によって出力端子 V_o の電圧は引き上げられる。 10

【0020】

一方、出力端子 V_o の電圧が入力端子 V_{in} の電圧よりも高いとき、NMOSトランジスタT105のゲート電圧が引き上げられ、NMOSトランジスタT105によって出力端子 V_o の電圧は引き下げられる。このとき、PMOSトランジスタT100、T101は、それぞれソースドレイン間に等しい電流を流すように作用するので、出力端子 V_o の電圧は減衰しながら速やかに入力端子 V_{in} の電圧レベルに収束する。

【0021】

このように、オペアンプ100では、画素ごとに階調電圧が順次切替られながら入力信号が入力端子 V_{in} に入力された場合であっても、出力端子 V_o に接続された容量性負荷を有するデータ線に対して、高速に高い電圧精度かつ高い電流供給能力で階調電圧の高速な駆動が可能となる。 20

【特許文献1】特開2001-42287号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

ところで、上述のようなオペアンプの高速な駆動、すなわちオペアンプのスルーレートは、差動増幅器110内に流す電流値が増加するのに比例して向上し、位相補償容量の容量値が増加するのに比例して低下する。そのため、容量性負荷を有するデータ線に対して高速に階調電圧を切り替ながら出力することができるよう、スルーレートを向上させるためには、差動増幅器110内に流す電流を増加させるか、若しくは位相補償容量の容量値を小さくすることが必要となる。 30

【0023】

しかしながら、差動増幅器110内の電流値を増加させると消費電力が大きくなり、一方で位相補償容量の容量値を小さくするとオペアンプ100の安定性が低下することになる。

【0024】

本発明は、このような課題を解決するためになされたものであり、消費電力を抑えながら、しかも安定性を損なうことがない増幅回路を提供することを目的とする。

【課題を解決するための手段】

【0025】

請求項1に記載の発明は、入力信号を増幅して出力端子から出力する増幅器と、前記入力信号の電圧と前記出力端子の電圧との差が所定以上のとき、前記増幅器の所定部位へ正又は負の定電流を供給して前記増幅器の出力応答性を高めるブースト回路とを備える。 40

【0026】

また、請求項2に記載の発明は、請求項1に記載の発明であって、前記増幅器は、入力信号を増幅する差動増幅器と、前記差動増幅器からの信号を前記出力端子へ出力するトランジスタと、このトランジスタのゲートと前記出力端子との間に接続された容量素子とを有する出力増幅器とを備え、前記ブースト回路は、負又は正の前記定電流を前記所定部位である前記容量素子に供給して前記容量素子へ電荷を充電又は放電して前記増幅器の出力応答性を高める。 50

【0027】

また、請求項3に記載の発明は、請求項1に記載の発明であって、前記増幅器は、入力信号を増幅する差動増幅器と、前記差動増幅器からの信号を前記出力端子へ出力するトランジスタを有する出力増幅器とを備え、前記ブースト回路は、前記所定部位である前記出力端子へ負又は正の前記定電流を供給して前記増幅器の出力応答性を高める。

【0028】

また、請求項4に記載の発明は、請求項1に記載の発明であって、前記増幅器は、入力信号を増幅する差動増幅器と、前記差動増幅器からの信号を前記出力端子へ出力するトランジスタを有する出力増幅器とを備え、前記ブースト回路は、前記所定部位であるバイアス電流供給ノードに正の前記定電流を供給することにより前記差動増幅器のバイアス電流を増加させて前記増幅器の出力応答性を高める。 10

【0029】

また、請求項5に記載の発明は、請求項2に記載の発明であって、前記出力増幅器は、第1のトランジスタと第2のトランジスタからなり、前記容量素子は、第1のトランジスタのゲートと出力端子との間に接続された第1の容量素子と、第2のトランジスタのゲートと出力端子との間に接続された第2の容量素子とからなり、前記ブースト回路は、前記入力信号の電圧が前記出力端子の電圧より所定値以上高いとき、前記第1の容量素子または第2の容量素子、もしくは第1、第2の容量素子両方の電荷の放電を行い、前記入力信号の電圧が前記出力端子の電圧より所定値以上低いとき、前記第1の容量素子または第2の容量素子、もしくは第1、第2の容量素子両方の電荷の充電を行なう。 20

【0030】

また、請求項6に記載の発明は、請求項5に記載の発明であって、前記ブースト回路は、第1の電位と第2の電位との間に、第1のカレントミラー回路と、第3及び第4のトランジスタの出力とが順に直列的に接続される一方、前記第1の電位と前記第2の電位との間に、第5及び第6のトランジスタの出力、第2のカレントミラー回路とが順に直列的に接続され、さらに、前記第3のトランジスタのゲート及び前記第6のトランジスタのゲートには前記入力信号が接続され、前記第4のトランジスタのゲート及び前記第5のトランジスタのゲートには前記出力端子が接続される。

【0031】

また、請求項7に記載の発明は、請求項2～6のいずれか1項に記載の発明であって、前記入力信号が前記差動増幅器の非反転入力端子に入力されると共に、前記出力端子が前記差動増幅器の反転入力端子に接続される。 30

【0032】

また、請求項8に記載の発明は、画像を表示するための液晶表示部に設けられた各画素を駆動させるための駆動信号を出力する液晶表示用駆動回路であって、入力信号を増幅して出力端子から出力する増幅器と、前記入力信号の電圧と前記出力端子の電圧との差が所定以上のとき、前記増幅器の所定部位へ正又は負の定電流を供給することにより、前記増幅器の出力応答性を高めるブースト回路とを備える。

【0033】

また、請求項9に記載の発明は、画像を表示するための液晶表示部に設けられた各画素を駆動させるための駆動信号を出力する駆動回路を有する液晶表示装置であって、前記駆動回路は、入力信号を増幅して出力端子から出力する増幅器と、前記入力信号の電圧と前記出力端子の電圧との差が所定以上のとき、前記増幅器の所定部位へ正又は負の定電流を供給することにより、前記増幅器の出力応答性を高めるブースト回路とを備える。 40

【発明の効果】

【0034】

請求項1に記載の発明によれば、入力信号を増幅して出力端子から出力する増幅器と、入力信号の電圧と出力端子の電圧との差が所定以上のとき、増幅器の所定部位へ正又は負の定電流を供給して増幅器の出力応答性を高めるブースト回路とを備えたので、消費電力を抑えながら、しかも安定性を損なうことがない増幅回路を提供することができる。 50

【0035】

また、請求項2に記載の発明によれば、差動増幅器からの信号を出力端子へ出力するトランジスタと、このトランジスタのゲートと出力端子との間に接続された容量素子と有する出力増幅器とを備え、増幅器は、入力信号を増幅する差動増幅器と、この差動増幅器からの信号を出力端子へ出力するトランジスタと、このトランジスタのゲートと出力端子との間に接続された容量素子と有する出力増幅器とを備え、ブースト回路は、負又は正の定電流を所定部位である容量素子に供給することにより、容量素子へ電荷を充電又は放電して増幅器の出力応答性を高めるので、消費電力を抑えながら、しかも安定性を損なうことがない増幅回路を提供することができる。

【0036】

また、請求項3に記載の発明によれば、増幅器は、入力信号を増幅する差動増幅器と、差動増幅器からの信号を出力端子へ出力するトランジスタを有する出力増幅器とを備え、ブースト回路は、所定部位である出力端子へ負又は正の定電流を供給して増幅器の出力応答性を高めるので、消費電力を抑えながら、しかも安定性を損なうことがない増幅回路を提供することができる。

【0037】

また、請求項4に記載の発明によれば、増幅器は、入力信号を増幅する差動増幅器と、差動増幅器からの信号を出力端子へ出力するトランジスタを有する出力増幅器とを備え、ブースト回路は、所定部位であるバイアス電流供給ノードに正の定電流を供給することにより差動増幅器のバイアス電流を増加させて増幅器の出力応答性を高めるので、消費電力を抑えながら、しかも安定性を損なうことがない増幅回路を提供することができる。

【0038】

また、請求項5に記載の発明によれば、出力増幅器は、第1のトランジスタと第2のトランジスタからなり、容量素子は、第1のトランジスタのゲートと出力端子との間に接続された第1の容量素子と、第2のトランジスタのゲートと出力端子との間に接続された第2の容量素子とからなり、ブースト回路は、入力信号の電圧が出力端子の電圧より所定値以上高いとき、第1の容量素子または第2の容量素子、もしくは第1、第2の容量素子両方の電荷の放電を行い、入力信号の電圧が出力端子の電圧より所定値以上低いとき、第1の容量素子または第2の容量素子、もしくは第1、第2の容量素子両方の電荷の充電を行なうので、消費電力を抑えながら、しかも安定性を損なうことがない増幅回路を提供することができる。

【0039】

また、請求項6に記載の発明によれば、ブースト回路は、第1の電位と第2の電位との間に、第1のカレントミラー回路と、第3及び第4のトランジスタの出力とが順に直列的に接続される一方、第1の電位と第2の電位との間に、第5及び第6のトランジスタの出力、第2のカレントミラー回路とが順に直列的に接続され、さらに、第3のトランジスタのゲート及び第6のトランジスタのゲートには入力信号が接続され、第4のトランジスタのゲート及び第5のトランジスタのゲートには出力端子が接続されるので、簡単な構成でブースト回路を提供することができる。

【0040】

また、請求項7に記載の発明によれば、入力信号が差動増幅器の非反転入力端子に入力されると共に、出力端子が差動増幅器の反転入力端子に接続されるので、ボルテージフォロアとなり、高い電圧精度かつ高い電流供給能力の増幅回路を提供することができる。

【0041】

また、請求項8に記載の発明によれば、画像を表示するための液晶表示部に設けられた各画素を駆動させるための駆動信号を出力する液晶表示用駆動回路であって、入力信号を増幅して出力端子から出力する増幅器と、入力信号の電圧と出力端子の電圧との差が所定以上のとき、増幅器の所定部位へ正又は負の定電流を供給して増幅器の出力応答性を高めるブースト回路とを備えたので、消費電力を抑えながら、しかも安定性を損なうことがない液晶表示用駆動回路を提供することができる。

10

20

30

40

50

【0042】

また、請求項9に記載の発明によれば、画像を表示するための液晶表示部に設けられた各画素を駆動させるための駆動信号を出力する駆動回路を有する液晶表示装置であって、駆動回路は、入力信号を増幅して出力端子から出力する増幅器と、入力信号の電圧と出力端子の電圧との差が所定以上のとき、増幅器の所定部位へ正又は負の定電流を供給して増幅器の出力応答性を高めるブースト回路とを備えたので、消費電力を抑えながら、しかも安定性を損なうことがない液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0043】

(第1実施形態)

以下、本発明の実施形態における液晶表示装置の構成及びその動作について順に説明する。

【0044】

まず、図1を参照して、液晶表示装置1の構成を説明する。図1は液晶表示装置1の概略ブロック図である。

【0045】

図1に示すように、液晶表示装置1は、液晶表示部(LCD)2と、複数のソースドライバ回路11を有する水平駆動回路3と、複数のゲートドライバ回路12を有する垂直駆動回路4と、インターフェイス回路5と、階調電源6とを有している。なお、ソースドライバ回路11は、液晶表示用駆動回路に対応する。

【0046】

液晶表示部2は、透明な画素電極とTFTとを配置した半導体基板と、表示部全体に一つの透明な電極を形成した対向基板とを有しており、これらの基板間に液晶が封入された構造を有している。そして、スイッチング機能をもつTFTを制御することによって、各画素電極に画素階調に応じた電圧を印加し、各画素電極と対向基板の電極との間の電位差を発生させることにより液晶の透過率を変化させて画像を表示する。

【0047】

なお、この液晶表示部2は、これらの画素電極が垂直方向及び水平方向にマトリックス状に配置されている。また、液晶表示部2の半導体基板上には、垂直方向に配列された各画素電極を接続し、各画素電極へ階調電圧を印加するための複数のデータ線と、TFTの

【0048】

各画素電極への階調電圧の印加は、データ線を介し、ソースドライバ回路11から出力される駆動信号によって行われる。すなわち、この駆動信号によって、画像表示の1フレーム期間にデータ線に接続される全ての画素電極への階調電圧の印加が行われ、画素電極が駆動され液晶表示部2に画像が表示される。

【0049】

ソースドライバ回路11は、インターフェイス回路5から出力される信号に基づいて、データ線に駆動信号を水平ライン毎に順次切り替えて出力する。

【0050】

このソースドライバ回路11は、図2に示すように、インターフェイス回路5から供給されるシリアル画像信号をデコードすると共に、液晶表示部2の垂直ライン毎の駆動用デジタル信号を出力するデコーダ回路21と、これらの駆動用デジタル信号をそれぞれ駆動用アナログ信号に変換するデジタルーアナログ変換回路ブロック(DACブロック)22と、このDACブロック22から出力される垂直ライン毎の駆動用アナログ信号を電流増幅して液晶表示部2に出力する増幅回路ブロック(AMPブロック)23とを有している。

【0051】

ゲートドライバ回路12は、水平ライン毎にTFTのスイッチングさせるための制御信号を順次出力し、これにより一水平ラインずつオンしながらソースドライバ回路11から出力される駆動信号に基づいて液晶表示部2に画像を表示していく。

10

20

30

40

50

【0052】

インターフェイス回路5は、外部から供給される映像信号（例えば、垂直スタート信号、垂直クロック、イネーブル信号、垂直スタート信号、水平クロック、シリアル画像データR、G、B、基準電圧等）を入力する。また、インターフェイス回路5は、シリアル画像データ信号、水平駆動処理用のタイミングパルス信号である水平スタート信号、水平クロック、出力イネーブル信号等を各ソースドライバ回路11へ供給すると共に、垂直駆動処理用のタイミングパルス信号であるイネーブル信号、垂直クロック、垂直スタート信号などを各ゲートドライバ回路12へ供給する。

【0053】

次に、増幅回路ブロック23を構成する増幅回路30について、以下図面を参照して具体的に説明する。増幅回路30の概略構成の一例として、図3及び図4にブロック図を示す。なお、この増幅回路30はデータ線ごとに設けられるものである。 10

【0054】

図3に示すように、増幅回路30は、オペアンプ31とブースト回路32とから構成され、DACブロック22に入力端子Vinが接続されており、DACブロック22から出力される駆動用アナログ信号S1が入力端子Vinに入力される。

【0055】

オペアンプ31は、非反転入力端子VinPと、反転入力端子VinNとを備え、これらの入力端子VinP、VinNに入力される電圧に応じた電圧を出力端子Voへ出力するように動作する。なお、出力端子Voには液晶表示部2のデータ線が接続されている。すなわち、この増幅回路30には容量性負荷が接続されている。 20

【0056】

また、このオペアンプ31は、入力端子Vinと非反転入力端子VinPとが接続され、かつ反転入力端子VinNと出力端子Voとが接続されることによって、ボルテージフォロアとして動作する。

【0057】

一方、ブースト回路32は、出力端子Voと入力端子Vinとが接続されており、DACからの入力信号S1とオペアンプ31の出力信号S2とが入力される。また、ブースト回路32は、出力端子V1と出力端子V2とを有しており、入力信号S1及び出力信号S2に応じた電流が出力端子V1又は出力端子V2からオペアンプ31に供給される。 30

【0058】

オペアンプ31は、例えば図4に示すように、差動増幅器41と、出力増幅器42とから構成され、出力増幅器42は、PMOSトランジスタT1とNMOSトランジスタT2とから構成される。また、第1の容量素子C1と、第2の容量素子C2を有している。なお、PMOSトランジスタT1が第1のトランジスタに対応し、NMOSトランジスタT2が第2のトランジスタに対応する。

【0059】

差動増幅器41は、上述のようにその入力として、非反転入力端子VinPと反転入力端子VinNとを有している。また、入力信号S1の電圧に基づいて、電圧V3及び電圧V4を出力する。 40

【0060】

PMOSトランジスタT1は、そのゲートが差動増幅器41の出力に接続され、出力電圧V3に応じて動作する。また、NMOSトランジスタT2は、そのゲートが差動増幅器41の出力に接続され、出力電圧V4に応じて動作する。

【0061】

また、PMOSトランジスタT1のソースは、第1の電位（本実施形態においては、Vcc電位であるとする。）に接続され、PMOSトランジスタT1のドレインは出力端子Voに接続される。さらに、NMOSトランジスタT2のソースは、第2の電位（本実施形態においては、グランド電位であるとする。）に接続され、NMOSトランジスタT2のドレインは出力端子Voに接続される。 50

【0062】

また、PMOSトランジスタT1のゲート及びドレイン間には、位相補償用として第1の容量素子C1が接続されており、同様に、NMOSトランジスタT2のゲート及びドレイン間にも、位相補償用として第2の容量素子C2が接続される。

【0063】

そして、ブースト回路32の出力端子V1は、NMOSトランジスタT2のゲートに接続され、出力端子V2はPMOSトランジスタT1のゲートに接続される。

【0064】

以上のように増幅回路30が構成されているため、この増幅回路30は以下のように動作する。

【0065】

まず、表示すべき画素電極の水平ラインが切り替わることにより、たとえば、入力信号S1が急激に所定電位差（たとえば、1.2V）以上高く変動したとすると、その変動の瞬間的に非反転入力端子VinPの電圧が反転入力端子VinNの電圧（出力端子Voの電圧）よりも所定電位差以上大きくなるため、差動増幅器41は、その電圧差がなくなるように出力V3の電圧を引き下げようとして動作する。

【0066】

ここでブースト回路32がなければ、差動増幅器41が出力V3を引き下げようとしても、引き下げようとする電圧になるまで第1の容量素子C1から電荷の放電が行なわれるために、PMOSトランジスタT1がすぐには追従できない。

【0067】

一方、本実施の形態における増幅回路30においては、ブースト回路32が設けられているため、入力信号S1が急激に所定電位差以上高く変動したとすると、ブースト回路32において入力信号S1と出力信号S2との電圧の比較が行なわれる。そして、所定電位差以上の電圧差があるため、出力端子V2へ電流Inがブースト回路32に流れ込む。したがって、この電流Inによって第1の容量素子C1への急速放電が行なわれることになり、入力信号S1の変動に対してすぐにPMOSトランジスタT1を追従させることができる。

【0068】

また、逆に入力信号S1が急激に所定電位差以上低く変動したとすると、その変動の瞬間的に非反転入力端子VinPの電圧が反転入力端子VinNの電圧（出力端子Voの電圧）よりも小さくなるため、差動増幅器41は、その電圧差がなくなるように出力V4の電圧を引き上げようとして動作する。ここで、ブースト回路32がなければ、差動増幅器41が出力V4を引き上げようとしても、引き上げようとする電圧になるまで第2の容量素子C2へ電荷の充電が行なわれるために、すぐにはNMOSトランジスタT2を追従できない。

【0069】

一方、本実施の形態における増幅回路30においては、ブースト回路32が設けられているため、入力信号S1が急激に所定電位差以上低く変動したとすると、ブースト回路32において入力信号S1と出力信号S2との比較が行なわれる。そして、所定電位差以上の電圧差があるため、出力端子V1から電流Ipが出力される。したがって、この電流Ipによって第2の容量素子C2への急速充電が行なわれることになり、入力信号S1の変動に対してすぐにNMOSトランジスタT2を追従させることができる。

【0070】

このように本実施形態における増幅回路30では、入力信号S1の電圧と出力端子Voの電圧とが所定電位以上の差があるとき、第1、第2の容量素子C1、C2へ電荷を充電又は放電するブースト回路を有しているため、容量素子C1、C2が存在している場合であっても、入力信号S1に対するスルーレート（出力応答性）を向上させることが可能となる。すなわち、ブースト回路32によって、入力信号S1の電圧と出力端子Voの電圧との差が所定以上のとき、正又は負の定電流を所定部位である容量素子C1、C2に供給することにより、オペアンプの出力応答性を高める。

【0071】

10

20

30

40

50

図 5 に、上述した増幅回路を更に具体的に構成した増幅回路 50 を示し、以下この増幅回路 50 の構成を具体的に説明する。なお、増幅回路 30 と同様の機能を有するものには便宜上同一の符号を付すものとする。

【0072】

増幅回路 50 は、差動増幅器 41 と、出力増幅器 42 と、ブースト回路 32 とから構成される。

【0073】

差動増幅器 41 は、PMOS トランジスタ T 3, T 6, T 7, T 10, T 11 と、NMOS トランジスタ T 4, T 5, T 8, T 12 ~ T 14 とから構成される。

【0074】

PMOS トランジスタ T 10, T 11 は、共にそのソースを第 1 の電位に接続している。また、PMOS トランジスタ T 10 は、そのゲートとドレインを接続しており、更にそのドレインは NMOS トランジスタ T 12 のドレインに接続される。一方、PMOS トランジスタ T 11 は、そのゲートとドレインを接続しており、更にそのドレインは NMOS トランジスタ T 13 のドレインに接続される。

【0075】

また、NMOS トランジスタ T 12 のゲートは反転入力端子 V_{inN} に接続され、一方 NMOS トランジスタ T 13 のゲートは非反転入力端子 V_{inP} に接続される。そして、NMOS トランジスタ T 12 と T 13 のソースはそれぞれ共通に接続されると共に、定電流回路 44 に接続される。なお、定電流回路 44 は、NMOS トランジスタ T 14 から構成され、 V_5 によって制御される。

【0076】

PMOS トランジスタ T 7 のゲートは、PMOS トランジスタ T 11 のゲートに接続され、PMOS トランジスタ T 7 及び T 11 とでカレントミラー回路を構成している。また、PMOS トランジスタ T 7 のソースは第 1 の電位に接続され、そのドレインは NMOS トランジスタ T 8 のドレインに接続される。

【0077】

NMOS トランジスタ T 8 のソースは、第 2 の電位に接続される。そして、NMOS トランジスタ T 8 のゲートは、そのドレイン及び NMOS トランジスタ T 4 のゲートに接続され、NMOS トランジスタ T 8 及び T 4 とでカレントミラー回路を構成している。また、NMOS トランジスタ T 4 のソースは第 2 の電位に接続されると共に、そのドレインはバイアス印加回路 45 に接続され、かつ NMOS トランジスタ T 2 のゲートに接続される。なお、このバイアス印加回路 45 は、NMOS トランジスタ T 5 及び PMOS トランジスタ T 6 とから構成され、PMOS トランジスタ T 1 及び NMOS トランジスタ T 2 へのバイアスを印加する機能を有する。このバイアスは V_7 及び V_8 によって制御することができる。

【0078】

PMOS トランジスタ T 3 のゲートは、PMOS トランジスタ T 10 のゲートに接続され、PMOS トランジスタ T 3 及び T 10 とでカレントミラー回路を構成している。また、PMOS トランジスタ T 3 のソースは第 1 の電位に接続され、そのドレインは PMOS トランジスタ T 1 のゲート及びバイアス印加回路 45 に接続される。

【0079】

また、出力増幅器 42 は、PMOS トランジスタ T 1 と、NMOS トランジスタ T 2 とから構成される。さらに、PMOS トランジスタ T 1 のゲートとドレイン間には第 1 の容量素子 C 1 が接続され、NMOS トランジスタ T 2 のゲートとドレイン間には第 2 の容量素子 C 2 が接続される。

【0080】

PMOS トランジスタ T 1 のゲートは、PMOS トランジスタ T 3 のドレインに接続されており、そのソースは第 1 の電位に、そのドレインは出力端子 V_o に接続される。

【0081】

また、NMOS トランジスタ T 2 のゲートは、NMOS トランジスタ T 4 のドレインに

10

20

30

40

50

接続されており、そのソースは第2の電位に、そのドレインは出力端子V_oに接続される。

【0082】

ブースト回路32は、PMOSトランジスタT₂₁、T₂₃、T₂₄、T₂₅と、NMOSトランジスタT₂₀、T₂₂、T₂₆、T₂₇とから構成される。

【0083】

入力端子V_{in}は、PMOSトランジスタT₂₁のゲート及びNMOSトランジスタT₂₂のゲートに接続される。出力端子V_oはNMOSトランジスタT₂₀のゲート及びPMOSトランジスタT₂₃のゲートに接続される。このNMOSトランジスタT₂₀及びPMOSトランジスタT₂₁がそれぞれ第3及び第4のトランジスタに対応する。また、このNMOSトランジスタT₂₂及びPMOSトランジスタT₂₃がそれぞれ第5及び第6のトランジスタに対応する。

10

【0084】

ここで、入力信号S₁が出力信号S₂よりも、V_{gs}×2（以下、「所定電位差」とする。）以上小さければ、NMOSトランジスタT₂₀及びPMOSトランジスタT₂₁がそれぞれONして、PMOSトランジスタT₂₄に電流が流れる。また、入力信号S₁が出力信号S₂よりも、所定電位差以上大きければ、NMOSトランジスタT₂₂及びPMOSトランジスタT₂₃がそれぞれONして、NMOSトランジスタT₂₆に電流が流れる。このように、入力信号S₁と出力信号S₂との差が所定電位差以上あるときに、これらのトランジスタが動作するように構成している。

20

【0085】

また、PMOSトランジスタT₂₄のゲートは、そのドレイン及びPMOSトランジスタT₂₅のゲートに接続されており、このPMOSトランジスタT₂₄とT₂₅とでカレントミラー回路を構成する。このカレントミラー回路が第1のカレントミラー回路に対応する。

【0086】

PMOSトランジスタT₂₄、T₂₅のソースは第1の電位に接続され、PMOSトランジスタT₂₄のドレインはNMOSトランジスタT₂₀のドレインに接続され、PMOSトランジスタT₂₅のドレインはPMOSトランジスタT₁のゲートに接続される。

【0087】

このように、第1の電位と第2の電位の間には、第1のカレントミラー回路と、第3及び第4のトランジスタの出力とが順に直列的に接続される。

30

【0088】

また、NMOSトランジスタT₂₆のゲートは、そのドレイン及びNMOSトランジスタT₂₇のゲートに接続されており、このNMOSトランジスタT₂₆とT₂₇とでカレントミラー回路を構成する。このカレントミラー回路が第2のカレントミラー回路に対応する。

【0089】

NMOSトランジスタT₂₆、T₂₇のソースは第2の電位に接続され、NMOSトランジスタT₂₆のドレインはPMOSトランジスタT₂₃のドレインに接続され、NMOSトランジスタT₂₇のドレインはNMOSトランジスタT₂のゲートに接続される。

【0090】

このように、第1の電位と第2の電位との間に、第5及び第6のトランジスタの出力と第2のカレントミラー回路とが順に直列的に接続される。

40

【0091】

以上のように増幅回路50が構成されているため、この増幅回路50は以下のように動作する。

【0092】

まず、表示すべき画素電極の水平ラインが切り替わることにより、たとえば、入力信号S₁の電圧が所定電位差以上高く変動したとすると、その変動の瞬間的に非反転入力端子V_{inP}の電圧が反転入力端子V_{inN}の電圧（出力端子V_oの電圧）よりも所定電位差以上大きくなるため、差動増幅器41は、その電位差がなくなるように出力端子V₁、V₂の電

50

圧を引き下げるように動作する。

【0093】

さらに、ブースト回路32において入力信号S1の電圧と出力端子Voの電圧との比較が行なわれる。そして、所定電位差以上であるため、NMOSトランジスタT22及びPMOSトランジスタT23の出力に電流が流れ、出力端子V2から第2のカレントミラー回路を介して電流Inが流れ込む。したがって、この電流Inによって第1、第2の容量素子C1、C2への急速放電が行なわれることになり、入力信号S1の変動に対してすぐにPMOSトランジスタT1とNMOSトランジスタT2が追従する。

【0094】

また、逆に入力信号S1の電圧が所定電位差以上低く変動したとすると、その変動の瞬間的に非反転入力端子VinPの電圧が反転入力端子VinNの電圧（出力端子Voの電圧）よりも所定電位差以上小さくなるため、差動増幅器41は、その電圧差がなくなるように出力端子V1、V2の電圧を引き上げるように動作する。

【0095】

さらに、ブースト回路32において入力信号S1と出力信号S2との比較が行なわれる。そして、所定電位差以上の電圧差があるため、NMOSトランジスタT20及びPMOSトランジスタT21の出力に電流が流れ、第1のカレントミラー回路を介して出力端子V1から電流Ipが出力される。したがって、この電流Ipによって第1、第2の容量素子C1、C2への急速充電が行なわれることになり、入力信号S1の変動に対してすぐにPMOSトランジスタT1とNMOSトランジスタT2が追従する。

【0096】

このように本実施形態における増幅回路50では、増幅回路30と同様に、入力信号S1の電圧と出力端子Voの電圧とが所定値（所定電位差）以上の差があるとき、第1、第2の容量素子C1、C2の電荷を充電又は放電を行うブースト回路を有しているため、安定性を損なうことなく入力信号S1に対するスルーレートを向上させることが可能となる。すなわち、ブースト回路32によって、入力信号S1の電圧と出力端子Voの電圧との差が所定以上のとき、正又は負の定電流を所定部位である容量素子C1、C2に供給することにより、増幅回路50の出力応答性を高める。また、ブースト回路32は、所定電位差以上のときのみ動作し、所定電位差未満の時には動作しないため、無駄な電力消費を抑えることができ効率が良い。また、所定電位差以上のときのみ動作し、所定電位差未満の時には動作しないため、電圧差がなくなると自然とブースト回路32の動作がストップし、ブースト回路を制御する外部からの信号を必要としない。

【0097】

（第2実施形態）

次に、第2実施形態における液晶表示装置について、以下図面を参照して具体的に説明する。第1実施形態においては増幅回路の出力増幅器をAB級出力段として説明したが、本第2実施形態においては出力増幅器をA級出力段として説明する。

【0098】

図6において、増幅回路70aは、差動増幅器61aと、出力増幅器62aと、ブースト回路63aとから構成される。

【0099】

差動増幅器61aは、PMOSトランジスタT31～T33と、NMOSトランジスタT34、T35とから構成される。

【0100】

PMOSトランジスタT31は、定電流回路として動作するものであり、そのソースは第1の電位に接続され、そのドレインはPMOSトランジスタT32、T33のソースに接続される。また、このPMOSトランジスタT31のゲートはVbに接続されており、このVbによってこの定電流回路が制御される。

【0101】

また、PMOSトランジスタT32のドレインはNMOSトランジスタT34のドレインに

10

20

30

40

50

接続され、PMOSトランジスタT33のドレインはNMOSトランジスタT35のドレインに接続される。NMOSトランジスタT34、T35のソースはそれぞれ共通に接続されると共に、第2の電位に接続される。NMOSトランジスタT34、T35のゲートはそれぞれ共通にNMOSトランジスタT35のドレインに接続されている。また、PMOSトランジスタT32のゲートは入力端子Vinに接続される。

【0102】

出力増幅器62aは、PMOSトランジスタT36と、NMOSトランジスタT37とから構成される。NMOSトランジスタT37のゲートとドレイン間にはさらに容量素子C10が接続される。

【0103】

NMOSトランジスタT37のゲートは、PMOSトランジスタT32のドレイン及びNMOSトランジスタT34のドレインに接続されており、そのソースは第1の電位に、そのドレインは出力端子Voに接続される。

【0104】

また、PMOSトランジスタT36は、定電流回路として動作するものであり、そのソースは第1の電位に接続され、そのドレインは出力端子Voに接続される。また、このPMOSトランジスタT36のゲートはVbに接続されており、このVbによってこの定電流回路が制御される。

【0105】

ブースト回路63aは、PMOSトランジスタT38、T39、T41と、NMOSトランジスタT40とから構成される。

【0106】

入力端子Vinは、PMOSトランジスタT41のゲートに接続され、出力端子VoはNMOSトランジスタT40のゲートに接続される。

【0107】

ここで、入力信号S11の電圧が出力端子Voの電圧よりも、 $V_{gs} \times 2$ （以下、「所定電位差」とする。）以上小さければ、NMOSトランジスタT40及びPMOSトランジスタT41がそれぞれONして、PMOSトランジスタT38に電流が流れる。このように、入力信号S11の電圧が出力端子Voの電圧との差が所定電位差以上あるときに、これらのトランジスタが動作するように構成している。

【0108】

また、PMOSトランジスタT38のゲートは、そのドレイン及びPMOSトランジスタT39のゲートに接続されており、このPMOSトランジスタT38とT39とで第1のカレントミラー回路を構成する。

【0109】

PMOSトランジスタT38、T39のソースは第1の電位に接続され、PMOSトランジスタT38のドレインはNMOSトランジスタT40のドレインに接続される。

【0110】

このように、第1の電位と第2の電位の間には、第1のカレントミラー回路と、NMOSトランジスタT40と、PMOSトランジスタT41が順に直列的に接続される。

【0111】

以上のように増幅回路70aが構成されているため、この増幅回路70aは以下のように動作する。

【0112】

まず、表示すべき画素電極の水平ラインが切り替わることにより、たとえば、入力信号S11の電圧が所定電位差以上低く変動した場合、その変動の瞬間的に入力信号S11の電圧が出力端子Voの電圧よりも所定電位差以上小さくなるため、差動増幅器61aは、その電位差がなくなるように出力端子Voの電圧を引き下げるように動作する。

【0113】

さらに、ブースト回路63aにおいて入力信号S11の電圧が出力端子Voの電圧との比較が

10

20

30

40

50

行なわれる。そして、所定電位差以上であるため、N M O S トランジスタ T 40 及び P M O S トランジスタ T 41 の出力に電流が流れ、第 1 のカレントミラー回路に電流 I_{p1} が流れ込む。この電流 I_{p1} が差動増幅器 61a のバイアス電流ノードである P M O S トランジスタ T 31 のドレインに供給されて差動増幅器 61a におけるバイアス電流が増加することになるため容量素子 C 10 への急速放電が行なわれることになり、入力信号 S 11 の電圧変動に対してすぐに N M O S トランジスタ T 37 が追従する。

【0114】

このように本実施形態における増幅回路 70a では、入力信号 S 11 の電圧が出力端子 V o の電圧よりも所定電位差以上小さくなったとき、容量素子 C 10 への急速充電を行うブースト回路 63a を有しているため、安定性を損なうことなく入力信号 S 11 に対するスルーレート 10 を向上させることが可能となる。

また、ブースト回路 63a は、所定電位差以上のときのみに動作し、所定電位差未満の時には動作しないため、無駄な電力消費を抑えることができ効率がよい。また、所定電位差以上のときのみに動作し、所定電位差未満の時には動作しないため、電圧差がなくなると自然とブースト回路の動作がストップし、ブースト回路 63a を制御する外部からの信号を必要としない。

【0115】

ここで、上述の増幅回路 70a では、入力信号 S 11 の電圧が出力端子 V o の電圧よりも所定電位差以上小さくなったときに動作するものであるが、以下に示す増幅回路 70b のような構成にすることにより、入力信号 S 11 の電圧が出力端子 V o の電圧よりも所定電位差以上大 20 大きくなったときにも動作するようにもできる。図 7 は増幅回路 70b の構成を示す図である。

【0116】

図 7 に示すように、増幅回路 70b のブースト回路 63b は、ブースト回路 63a の構成に加え、P M O S トランジスタ T 42、T 43、T 45 及び N M O S トランジスタ T 44 を有している。なお、ブースト回路 63a におけるその他のトランジスタの構成及びその動作についてはすでに説明しているため、ここでは説明を省略する。

【0117】

入力端子 V in は N M O S トランジスタ T 44 のゲートに接続され、出力端子 V o は P M O S トランジスタ T 45 のゲートに接続される。 30

【0118】

ここで、入力信号 S 11 の電圧が出力端子 V o の電圧よりも、 $V_{gs} \times 2$ （以下、「所定電位差」とする。）以上大きければ、N M O S トランジスタ T 44 及び P M O S トランジスタ T 45 がそれぞれ O N して、P M O S トランジスタ T 42 に電流が流れる。このように、入力信号 S 11 の電圧が出力端子 V o の電圧の差が所定電位差以上あるときに、これらのトランジスタが動作するように構成している。

【0119】

また、P M O S トランジスタ T 42 のゲートは、そのドレイン及び P M O S トランジスタ T 43 のゲートに接続されており、この P M O S トランジスタ T 42 と T 43 とで第 2 のカレントミラー回路を構成する。 40

【0120】

P M O S トランジスタ T 42、T 43 のソースは第 1 の電位に接続され、P M O S トランジスタ T 42 のドレインは N M O S トランジスタ T 44 のドレインに接続される。

【0121】

このように、第 1 の電位と第 2 の電位の間には、第 2 のカレントミラー回路と、N M O S トランジスタ T 44 と、P M O S トランジスタ T 45 とが順に直列的に接続される。

【0122】

以上のように増幅回路 70b が構成されているため、この増幅回路 70b は以下のように動作する。

【0123】

まず、表示すべき画素電極の水平ラインが切り替わることにより、たとえば、入力信号 S11の電圧が所定電位差以上高く変動した場合、その変動の瞬間的に入力信号S11の電圧が出力端子 V_oの電圧よりも所定電位差以上大きくなるため、差動増幅器61aは、その電位差がなくなるように出力端子 V_oの電圧を引き上げるように動作する。

【0124】

さらに、ブースト回路63bにおいて入力信号S11の電圧と出力端子 V_oの電圧と比較が行なわれる。そして、所定電位差以上であるため、NMOストランジスタT44及びPMOストランジスタT45の出力に電流が流れ、第2のカレントミラー回路から出力端子 V_oへ電流 I_{p2}が流れ込む。この電流 I_{p2}によって出力電圧 V_oを急速に上昇させることができる。

10

【0125】

このように本実施形態における増幅回路70bでは、入力信号S11の電圧が出力端子 V_oの電圧よりも所定電位差以上小さくなったとき、容量素子C10への急速充電を行うと共に、力端子 V_{in}の電圧が出力端子 V_oの電圧よりも所定電位差以上小さくなったとき、出力端子 V_oに電流を供給するブースト回路63bを有しているため、安定性を損なうことなく入力信号 S11に対するスルーレートを向上させることが可能となる。すなわち、ブースト回路63bによって、入力信号 S11の電圧と出力端子 V_oの電圧との差が所定以上のとき、定電流 I_{p1}, I_{p2}を所定部位である容量素子C10や入力端子 V_oに供給することにより、増幅回路70bの出力応答性を高めることができる。また、ブースト回路63bは、所定電位差以上のときのみに動作し、所定電位差未満の時には動作しないため、無駄な電力消費を抑えることができ効率がよい。また、所定電位差以上のときのみに動作し、所定電位差未満の時には動作しないため、電圧差がなくなると自然とブースト回路63bの動作がストップし、ブースト回路63bを制御する外部からの信号を必要としない。

20

【図面の簡単な説明】

【0126】

【図1】 本発明の一実施形態に係る液晶表示装置の概略ブロック図。

【図2】 ソースドライバの概略ブロック図。

【図3】 増幅回路の概略構成を示す図。

【図4】 増幅回路の概略構成を示す図。

【図5】 増幅回路の具体的な構成を示す図。

30

【図6】 別の増幅回路の具体的な構成を示す図。

【図7】 他の増幅回路の具体的な構成を示す図。

【図8】 従来の増幅回路の構成を示す図。

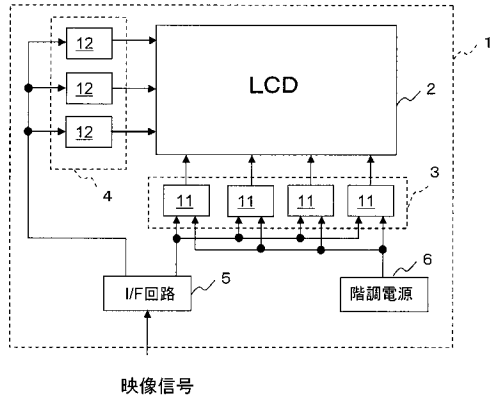
【符号の説明】

【0127】

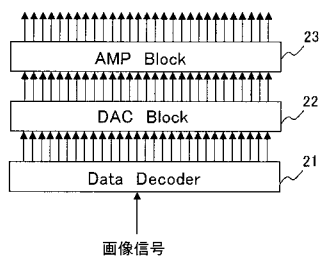
- 1 液晶表示装置
- 11 ソースドライバ回路
- 32 ブースト回路
- 41 差動増幅器
- 42 出力増幅器

40

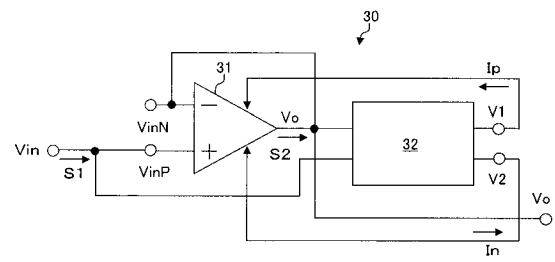
【 図 1 】



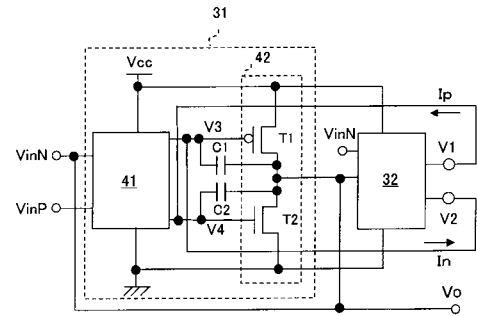
【図 2】



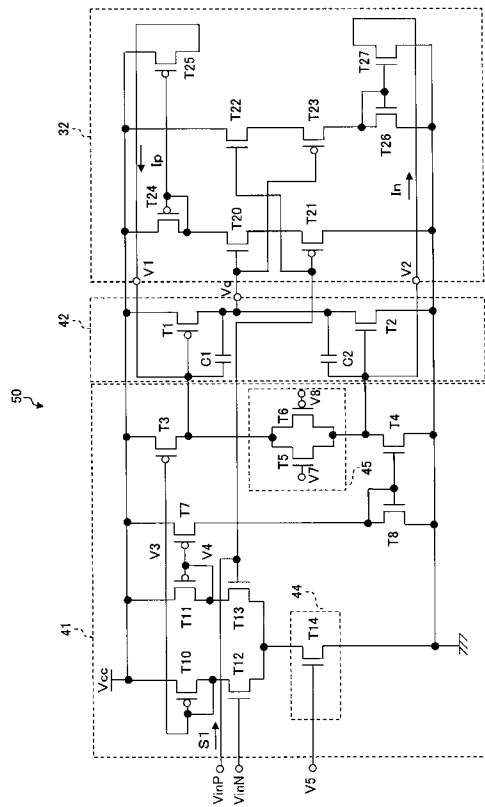
【図 3】



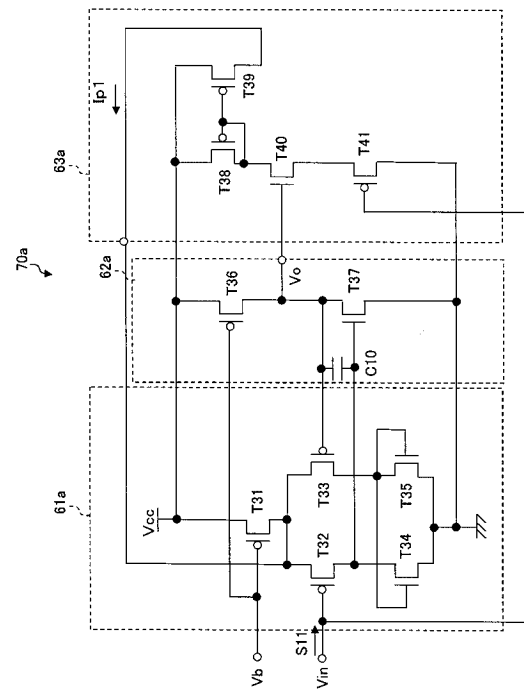
【图 4】



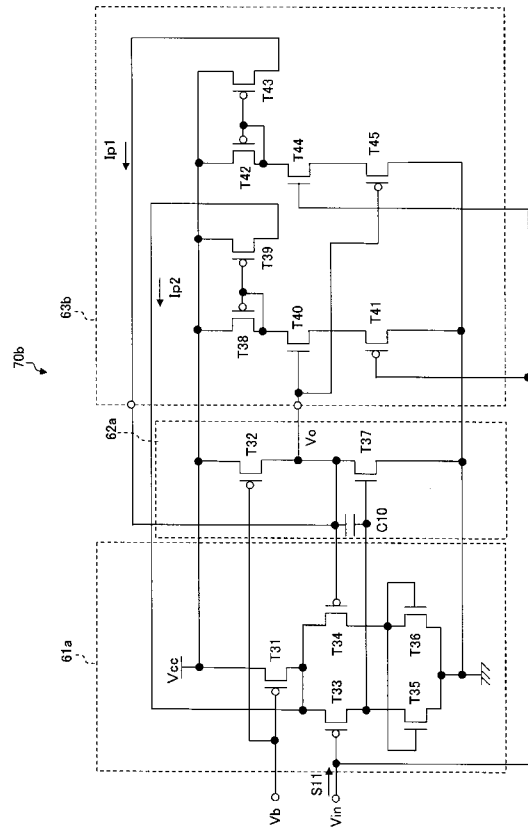
【 図 5 】



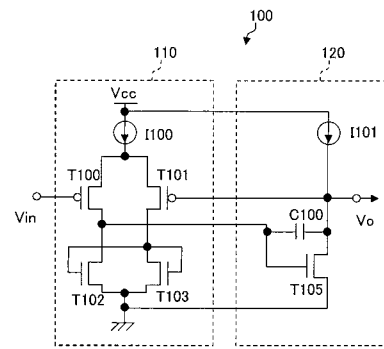
【图 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 1 2 U
	G 0 2 F 1/133	5 0 5

F ターム(参考) 5C006 AC11 AC21 AF43 AF45 AF64 AF69 BB16 BC11 BF25 BF37
FA12
5C080 AA10 BB05 DD08 DD26 EE29 FF11 JJ02 JJ03

专利名称(译)	放大电路，液晶显示装置的驱动电路和液晶显示装置		
公开(公告)号	JP2007171225A	公开(公告)日	2007-07-05
申请号	JP2005364232	申请日	2005-12-19
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	川口 景子 塚本 耕治		
发明人	川口 景子 塚本 耕治		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G5/10 G09G2310/0267 G09G2310/0275		
FI分类号	G09G3/36 G09G3/20.623.B G09G3/20.623.R G09G3/20.621.F G09G3/20.621.L G09G3/20.611.A G09G3/20.612.U G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC13 2H093/NC24 2H093/NC34 2H093/ND06 2H093/ND39 2H093/ND49 5C006/AC11 5C006/AC21 5C006/AF43 5C006/AF45 5C006/AF64 5C006/AF69 5C006/BB16 5C006/BC11 5C006/BF25 5C006/BF37 5C006/FA12 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 2H193/ZA04 2H193/ZD23		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种抑制功耗并且不损害稳定性的放大器电路。一种输出放大器，包括第一晶体管和第二晶体管，用于将来自差分放大器的信号输出到第一晶体管的输出端，栅极和输出端连接的终端，所述第二和所述电容器，所述预定值大于连接所述栅极与所述第二晶体管的输出端之间的输入信号输出端子的电压的电压之间的第一电容元件上述高时，第一电容器或第二电容器或第一，执行第二电容器两者充电的放电，当输入信号的电压低于比上述输出端之前的电压的预定值的情况下，以及升压电路，其对第一电容元件和第二电容元件以及第一和第二电容元件两者的电荷充电。点域4

