

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-337710

(P2006-337710A)

(43) 公開日 平成18年12月14日(2006.12.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 622Q	5C006
G02F 1/133 (2006.01)	G09G 3/20 622B	5C080
	G09G 3/20 621M	
	G09G 3/20 621A	
審査請求 未請求 請求項の数 11 O L (全 30 頁) 最終頁に続く		

(21) 出願番号 特願2005-162209 (P2005-162209)
 (22) 出願日 平成17年6月2日(2005.6.2)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (72) 発明者 鷲尾 一
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 山口 尚宏
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 村上 祐一郎
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

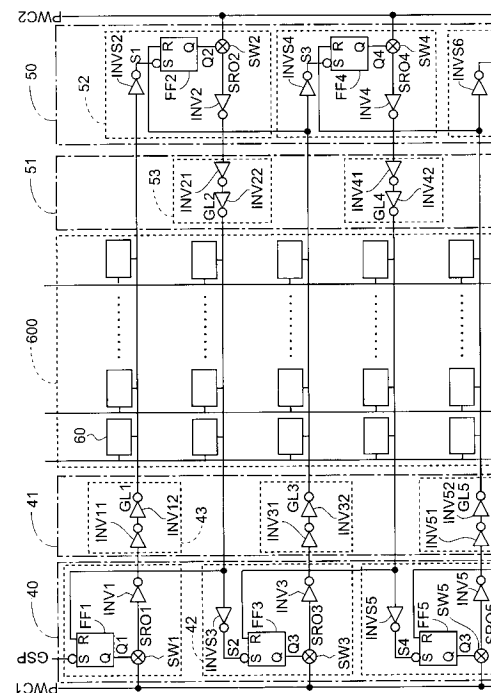
(54) 【発明の名称】 アクティブマトリクス基板およびそれを用いた表示装置

(57) 【要約】

【課題】 アクティブマトリクス基板を用いる液晶表示装置を小型化する。

【解決手段】 表示部600の一侧に第1のゲートドライバ400を備え、他側に第2のゲートドライバ500を備える。第1のゲートドライバ400から出力される第1の走査信号GL1、GL3、・・・、GLm-1は、奇数行目のゲートバスラインを選択するとともに、第2のゲートドライバ500を動作させる。一方、第2のゲートドライバ500から出力される第2の走査信号GL2、GL4、・・・、GLmは、偶数行目のゲートバスラインを選択するとともに、第1のゲートドライバ400を動作させる。第1のゲートドライバ400内のバッファ回路43と第2のゲートドライバ500内のバッファ回路53とを表示部600の左右に千鳥配置し、各バッファ回路内のインバータ回路をソースバスラインの延びる方向に直列に接続する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

表示装置のためのアクティブマトリクス基板であって、
表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部を含み前記画像を表示する表示部と、
前記表示部の一側に設けられ前記複数の走査信号線のうちの奇数行目の走査信号線を駆動する第 1 の走査信号線駆動回路であって、前記第 1 の走査信号線駆動回路の外部から与えられる複数の第 2 の次行駆動信号を受け取り、当該複数の第 2 の次行駆動信号に基づいて、前記奇数行目の走査信号線を駆動するための複数の第 1 の走査信号と当該駆動された奇数行目の走査信号線の次の行の走査信号線を駆動するための複数の第 1 の次行駆動信号とを出力する前記第 1 の走査信号線駆動回路と、
前記表示部の他側に設けられ前記複数の走査信号線のうちの偶数行目の走査信号線を駆動する第 2 の走査信号線駆動回路であって、前記第 2 の走査信号線駆動回路の外部から与えられる前記複数の第 1 の次行駆動信号を受け取り、当該複数の第 1 の次行駆動信号に基づいて、前記偶数行目の走査信号線を駆動するための複数の第 2 の走査信号と、当該駆動された偶数行目の走査信号線の次の行の走査信号線を駆動するための前記複数の第 2 の次行駆動信号とを出力する前記第 2 の走査信号線駆動回路と
を備えることを特徴とする、アクティブマトリクス基板。

【請求項 2】

前記第 1 の走査信号線駆動回路は、
前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン/オフ状態に応じて前記第 1 の走査信号を出力する第 1 のスイッチ回路であって、前記奇数行目の走査信号線が駆動されるべき期間を示す第 1 の駆動信号を受け取り、オン状態の期間中には、前記第 1 の駆動信号を前記第 1 の走査信号として出力する前記第 1 のスイッチ回路と、
前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線の前の行の走査信号線を駆動するための前記第 2 の走査信号に対応づけられる前記第 2 の次行駆動信号に基づいて、対応する走査信号線に対応する第 1 のスイッチ回路をオン状態にするための第 1 の双安定回路とを含み、
前記第 2 の走査信号線駆動回路は、
前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン/オフ状態に応じて前記第 2 の走査信号を出力する第 2 のスイッチ回路であって、前記偶数行目の走査信号線が駆動されるべき期間を示す第 2 の駆動信号を受け取り、オン状態の期間中には、前記第 2 の駆動信号を前記第 2 の走査信号として出力する前記第 2 のスイッチ回路と、
前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線の前の行の走査信号線を駆動するための前記第 1 の走査信号に対応づけられる前記第 1 の次行駆動信号に基づいて、対応する走査信号線に対応する第 2 のスイッチ回路をオン状態にするための第 2 の双安定回路とを含むことを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

前記第 1 の双安定回路は、対応する走査信号線の次の行の走査信号線を駆動するための前記第 2 の走査信号に対応づけられる前記第 2 の次行駆動信号に基づいて、対応する走査信号線に対応する前記第 1 のスイッチ回路をオフ状態にし、
前記第 2 の双安定回路は、対応する走査信号線の次の行の走査信号線を駆動するための前記第 1 の走査信号に対応づけられる前記第 1 の次行駆動信号に基づいて、対応する走査信号線に対応する前記第 2 のスイッチ回路をオフ状態にすることを特徴とする、請求項 2 に記載のアクティブマトリクス基板。

【請求項 4】

前記第 1 の双安定回路と前記第 2 の双安定回路とは、セトリセット型のフリップフロップ回路であることを特徴とする、請求項 2 または 3 に記載のアクティブマトリクス基板。

【請求項 5】

前記第 1 の走査信号線駆動回路は、前記第 1 の次行駆動信号として、前記第 1 の走査信号を前記第 2 の走査信号線駆動回路に与え、

前記第 2 の走査信号線駆動回路は、前記第 2 の次行駆動信号として、前記第 2 の走査信号を前記第 1 の走査信号線駆動回路に与えることを特徴とする、請求項 1 から 4 までのいずれか 1 項に記載のアクティブマトリクス基板。

10

【請求項 6】

前記第 1 の走査信号線駆動回路は、

前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン/オフ状態に応じて前記第 1 の走査信号を出力する第 3 のスイッチ回路であって、前記奇数行目の走査信号線が駆動されるべき期間を示す第 1 の駆動信号を受け取り、対応する走査信号線の前の行の走査信号線を駆動するための前記第 2 の走査信号に対応づけられる前記第 2 の次行駆動信号に基づいてオン状態となり、オン状態の期間中には、前記第 1 の駆動信号を前記第 1 の走査信号として出力する前記第 3 のスイッチ回路と、

前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線を駆動するための前記第 1 の走査信号に基づいて前記第 1 の次行駆動信号を出力する第 3 の双安定回路とを含み、

20

前記第 2 の走査信号線駆動回路は、

前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン/オフ状態に応じて前記第 2 の走査信号を出力する第 4 のスイッチ回路であって、前記偶数行目の走査信号線が駆動されるべき期間を示す第 2 の駆動信号を受け取り、対応する走査信号線の前の行の走査信号線を駆動するための前記第 1 の走査信号に対応づけられる前記第 1 の次行駆動信号に基づいてオン状態となり、オン状態の期間中には、前記第 2 の駆動信号を前記第 2 の走査信号として出力する前記第 4 のスイッチ回路と、

前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線を駆動するための前記第 2 の走査信号に基づいて前記第 2 の次行駆動信号を出力する第 4 の双安定回路とを含むことを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

30

【請求項 7】

前記第 3 の双安定回路は、対応する走査信号線の次々行の走査信号線を駆動するための前記第 1 の走査信号に基づいて、対応する走査信号線の次の行の走査信号線に前記第 2 の走査信号を出力するための前記第 4 のスイッチ回路がオフ状態となるように、前記第 1 の次行駆動信号を出力し、

前記第 4 の双安定回路は、対応する走査信号線の次々行の走査信号線を駆動するための前記第 2 の走査信号に基づいて、対応する走査信号線の次の行の走査信号線に前記第 1 の走査信号を出力するための前記第 3 のスイッチ回路がオフ状態となるように、前記第 2 の次行駆動信号を出力することを特徴とする、請求項 6 に記載のアクティブマトリクス基板

40

【請求項 8】

前記第 3 の双安定回路と前記第 4 の双安定回路とは、セトリセット型のフリップフロップ回路であることを特徴とする、請求項 6 または 7 に記載のアクティブマトリクス基板。

【請求項 9】

前記第 1 の走査信号線駆動回路は、前記奇数行目の走査信号線のそれぞれに対応して設けられ前記第 1 の走査信号を増幅させる第 1 のバッファ回路を更に含み、

前記第 2 の走査信号線駆動回路は、前記偶数行目の走査信号線のそれぞれに対応して設けられ前記第 2 の走査信号を増幅させる第 2 のバッファ回路を更に含むことを特徴とする

50

、請求項 1 から 8 までのいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 10】

前記第 1 のバッファ回路と前記第 2 のバッファ回路とは、それぞれのドレイン端子が接続されるように前記複数の走査信号線の延びる方向に並べて配置された N 型 MOS トランジスタと P 型 MOS トランジスタとからなる偶数個のインバータ回路であって、前記複数の映像信号線の延びる方向に直列に接続された前記偶数個のインバータ回路によって構成されていることを特徴とする、請求項 9 に記載のアクティブマトリクス基板。

【請求項 11】

請求項 1 から 10 までのいずれか 1 項に記載のアクティブマトリクス基板を備えることを特徴とする表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、および表示装置等に用いられるアクティブマトリクス基板に関し、特にアクティブマトリクス基板上に形成される走査信号線駆動回路に関する。

【背景技術】

【0002】

図 14 は、従来のアクティブマトリクス型液晶表示装置の全体構成図である。この液晶表示装置は、表示制御回路 200 とソースドライバ 300 とゲートドライバ 700 と表示部 600 とを有している。表示部 600 には、互いに交差（直交）する複数の（ n 本）のソースバスライン $SL1 \sim SLn$ と複数の（ m 本）のゲートバスライン $GL1 \sim GLm$ とが設けられている。ソースバスライン $SL1 \sim SLn$ とゲートバスライン $GL1 \sim GLm$ との交差点には、それぞれ画素形成部 60 が設けられている。ソースバスライン $SL1 \sim SLn$ はソースドライバ 300 と接続され、ゲートバスライン $GL1 \sim GLm$ はゲートドライバ 700 と接続されている。なお、ソースドライバ 300 とゲートドライバ 700 と表示部 600 とは、アクティブマトリクス基板 100 上に設けられている。

20

【0003】

表示制御回路 200 は、画像信号 DAT と、表示部 600 に画像を表示するタイミングを制御するためのソーススタートパルス信号 SPS、ソースクロック信号 SCK、ソースクロック反転信号 SCKB、ゲートスタートパルス信号 GSP、ゲートクロック信号 GCK、ゲートクロック反転信号 GCKB、およびパルス幅制御信号 PWC とを出力する。ソースドライバ 300 は、ソーススタートパルス信号 SPS、ソースクロック信号 SCK、ソースクロック反転信号 SCKB、および画像信号 DAT を受け取り、表示部 600 を駆動するために、駆動用の映像信号を映像信号線 $SL1 \sim SLn$ に印加する。ゲートドライバ 700 は、各ゲートバスライン $GL1 \sim GLm$ を 1 水平走査期間ずつ順次を選択するために、表示制御回路 200 から出力されるゲートスタートパルス信号 GSP、ゲートクロック信号 GCK、ゲートクロック反転信号 GCKB、およびパルス幅制御信号 PWC に基づいて、アクティブな走査信号の各ゲートバスライン $GL1 \sim GLm$ への印加を 1 垂直走査期間を周期として繰り返す。

30

【0004】

図 15 は、このようなアクティブマトリクス型液晶表示装置のゲートドライバ 700 の詳細な構成を示すブロック図である。このゲートドライバ 700 には、シフトレジスタ 70 とバッファ回路群 71 とが含まれている。シフトレジスタ 70 には、D 型フリップフロップ回路 72 と NAND 回路 73 と NOR 回路 74 とが、それぞれ（ $m+1$ ）個ずつ設けられている。これにより、（ $m+1$ ）段のシフトレジスタが形成されている。その（ $m+1$ ）段のシフトレジスタのうちの 2 段目以降は、それぞれゲートバスライン $GL1 \sim GLm$ と対応づけられるようにして設けられている。

40

【0005】

ここで、シフトレジスタ 70 の x 段目に含まれる D 型フリップフロップ回路 72、NAND 回路 73、および NOR 回路 74 の動作について説明する。D 型フリップフロップ回

50

路 7 2 は、ゲートクロック信号 G C K とゲートクロック反転信号 G C K B と (x - 1) 段目の D 型フリップフロップ回路 7 2 からの出力信号 Q x - 2 とを受け取り、出力信号 Q x - 1 を出力する。なお、1 段目の D 型フリップフロップ回路 7 2 については、前段の D 型フリップフロップ回路 7 2 からの出力信号 Q x - 2 に代えて、ゲートスタートパルス信号 G S P を受け取る。N A N D 回路 7 3 は、(x - 1) 段目の D 型フリップフロップ回路 7 2 からの出力信号 Q x - 2 と x 段目の D 型フリップフロップ回路 7 2 からの出力信号 Q x - 1 とを受け取り、それらの否定論理積を示す信号 N O U T _ x - 1 を出力する。N O R 回路 7 4 は、x 段目の N A N D 回路 7 3 からの出力信号 N O U T _ x - 1 とパルス幅制御信号 P W C とを受け取り、それらの否定論理和を示す信号を出力する。

【 0 0 0 6 】

10

バッファ回路群 7 1 には、ゲートバスライン G L 1 ~ G L m に対応するようにして、m 個のバッファ回路 7 5 が設けられている。各バッファ回路 7 5 には、直列に接続された 2 個のインバータ回路 7 6、7 7 が含まれている。これらのインバータ回路 7 6、7 7 は、入力された信号の論理レベルを反転させつつ、その信号の電流を増幅させる。

【 0 0 0 7 】

図 1 6 は、この液晶表示装置における信号波形図である。図 1 6 に示すように、表示制御回路 2 0 0 からゲートドライバ 7 0 0 に、ゲートスタートパルス信号 G S P、ゲートクロック信号 G C K、ゲートクロック反転信号 G C K B、およびパルス幅制御信号 P W C が与えられる。これにより、ゲートバスライン G L 1 ~ G L m が 1 水平走査期間ずつ順次に選択される。なお、本説明においては、1 行目から m 行目のゲートバスラインとそれらの走査信号とは、同じ参照符号「G L 1 ~ G L m」を用いる。

20

【 0 0 0 8 】

このような液晶表示装置において、従来、バッファ回路 7 5 のレイアウトは、図 1 7 に示すようなものであった。上述のとおり、各バッファ回路 7 5 には、それぞれ 2 個のインバータ回路 7 6、7 7 が含まれている。それら 2 個のインバータ回路 7 6、7 7 は、ソースバスライン S L 1 ~ S L n の延びる方向に直列に接続されている。ところで、バッファ回路 7 5 は走査信号の駆動能力を高めるために設けられているが、バッファ回路 7 5 を構成するインバータ回路内のトランジスタのチャンネル幅を大きくするほど走査信号の駆動能力は高められる。ところが、トランジスタのチャンネル幅を大きくすると、ゲート容量が増大するため、走査信号に遅延が生じる。このため、バッファ回路 7 5 内に複数個のインバータ回路を直列に接続する場合には、シフトレジスタ 7 0 に最も近い位置に配置されているインバータ回路から順に約 3 倍程度ずつチャンネル幅が大きくなるように構成されることがある。上述のような液晶表示装置においては、例えば、インバータ回路 7 7 内のトランジスタのチャンネル幅 W 2 は、インバータ回路 7 6 内のトランジスタのチャンネル幅 W 1 の約 3 倍となっている。

30

【 0 0 0 9 】

このような液晶表示装置に関して、近年、表示画像の高精細化が強く要求されている。そのため、表示部 6 0 0 内により多くの画素を形成する必要性が高まっている。しかしながら、バッファ回路 7 5 の構成を図 1 7 に示すようなものにした場合、ゲートバスライン間の距離 W P が大きくなるため、容易に高精細化を実現することができない。

40

【 0 0 1 0 】

そこで、図 1 8 に示すように、バッファ回路 7 5 内の 2 個のインバータ回路 7 6 a、7 7 a をゲートバスライン G L 1 ~ G L m の延びる方向に直列に接続する構成が提案されている。この構成によれば、図 1 7 に示す構成と比べて、ゲートバスライン間の距離 W P を小さくすることができる。ところが、液晶表示装置を携帯電話等の電子機器に適用する場合、ユーザの要望等により、ゲートバスライン G L 1 ~ G L m の延びる方向については、一般的に電子機器の中心位置と表示部 6 0 0 の中心位置とが一致するような構成とされる。図 1 8 に示すような構成の場合、ゲートバスライン G L 1 ~ G L m の延びる方向についてのバッファ回路 7 5 の幅 W B が大きくなる。このため、図 1 9 に示すように、参照符号 7 で示す領域のような無駄な領域が大きくなる。

50

【 0 0 1 1 】

そこで、図 2 0 に示すように、表示部 6 0 0 の左右両側にゲートドライバを備える構成の液晶表示装置が提案されている。この液晶表示装置は、表示制御回路 2 0 0 とソースドライバ 3 0 0 と第 1 のゲートドライバ 8 0 0 と第 2 のゲートドライバ 9 0 0 と表示部 6 0 0 とを備えている。第 1 のゲートドライバ 8 0 0 には、第 1 のシフトレジスタ 8 0 と第 1 のバッファ回路群 8 1 とが含まれている。第 2 のゲートドライバ 9 0 0 には、第 2 のシフトレジスタ 9 0 と第 2 のバッファ回路群 9 1 とが含まれている。

【 0 0 1 2 】

表示制御回路 2 0 0 は、画像信号 D A T と、表示部 6 0 0 に画像を表示するタイミングを制御するためのソーススタートパルス信号 S P S、ソースクロック信号 S C K、ソースクロック反転信号 S C K B、第 1 のゲートスタートパルス信号 G S P 1、第 1 のゲートクロック信号 G C K 1、第 1 のゲートクロック反転信号 G C K B 1、第 1 のパルス幅制御信号 P W C 1、第 2 のゲートスタートパルス信号 G S P 2、第 2 のゲートクロック信号 G C K 2、第 2 のゲートクロック反転信号 G C K B 2、および第 2 のパルス幅制御信号 P W C 2 とを出力する。第 1 のゲートドライバ 8 0 0 は、表示制御回路 2 0 0 から出力される第 1 のゲートスタートパルス信号 G S P 1、第 1 のゲートクロック信号 G C K 1、第 1 のゲートクロック反転信号 G C K B 1、および第 1 のパルス幅制御信号 P W C 1 に基づいて、奇数行目のゲートバスライン G 1、G 3、・・・、G m - 1 を順次を選択する。第 2 のゲートドライバ 9 0 0 は、表示制御回路 2 0 0 から出力される第 2 のゲートスタートパルス信号 G S P 2、第 2 のゲートクロック信号 G C K 2、第 2 のゲートクロック反転信号 G C K B 2、および第 2 のパルス幅制御信号 P W C 2 に基づいて、偶数行目のゲートバスライン G 2、G 4、・・・、G m を順次を選択する。

【 0 0 1 3 】

図 2 1 は、第 1 のゲートドライバ 8 0 0 の詳細な構成を示すブロック図であり、図 2 2 は、第 2 のゲートドライバ 9 0 0 の詳細な構成を示すブロック図である。図 2 1 に示すように、第 1 のシフトレジスタ 8 0 には、奇数行目のゲートバスライン G 1、G 3、・・・、G m - 1 に対応するようにして、D 型フリップフロップ回路 8 2 と N A N D 回路 8 3 と N O R 回路 8 4 とが設けられている。第 1 のバッファ回路群 8 1 には、奇数行目のゲートバスライン G 1、G 3、・・・、G m - 1 に対応するようにして、バッファ回路 8 5 が設けられている。同様に、第 2 のシフトレジスタ 9 0 には、偶数行目のゲートバスライン G 2、G 4、・・・、G m に対応するようにして、D 型フリップフロップ回路 9 2 と N A N D 回路 9 3 と N O R 回路 9 4 とが設けられている。第 2 のバッファ回路群 9 1 には、偶数行目のゲートバスライン G 2、G 4、・・・、G m に対応するようにして、バッファ回路 9 5 が設けられている。このような構成において、図 2 3 に示すように、第 1 のゲートスタートパルス信号 G S P 1、第 1 のゲートクロック信号 G C K 1、第 1 のゲートクロック反転信号 G C K B 1、および第 1 のパルス幅制御信号 P W C 1 が第 1 のゲートドライバ 8 0 0 に与えられ、第 2 のゲートスタートパルス信号 G S P 2、第 2 のゲートクロック信号 G C K 2、第 2 のゲートクロック反転信号 G C K B 2、および第 2 のパルス幅制御信号 P W C 2 が第 2 のゲートドライバ 9 0 0 に与えられる。これにより、ゲートバスライン G L 1 ~ G L m が 1 水平走査期間ずつ順次を選択される。

【 0 0 1 4 】

ここで、この液晶表示装置の第 1 のゲートドライバ 8 0 0 に含まれているバッファ回路 8 5 と第 2 のゲートドライバ 9 0 0 に含まれているバッファ回路 9 5 との位置関係について説明する。図 2 4 は、この液晶表示装置における第 1 のバッファ回路群 8 1 内のバッファ回路 8 5 と第 2 のバッファ回路群 9 1 内のバッファ回路 9 5 のレイアウトを示す図である。バッファ回路 8 5 とバッファ回路 9 5 とは、表示部 6 0 0 を挟んで千鳥状に配置されている。また、ソースバスライン S L 1 ~ S L n の延びる方向に着目した場合、バッファ回路 8 5 とバッファ回路 9 5 とが重複する領域が存在している。例えば、図 2 4 において参照符号 H 1 で示す領域については、表示部 6 0 0 の左側には 1 行目のゲートバスライン G L 1 に対応して設けられているバッファ回路 8 5 の一部が含まれており、表示部 6 0 0

10

20

30

40

50

の右側には２行目のゲートバスラインＧＬ２に対応して設けられているバッファ回路９５の一部が含まれている。バッファ回路８５とバッファ回路９５とをこのように配置することによって、表示部６００の一侧にのみバッファ回路が設けられている構成と比べて、走査信号線間の距離ＷＰが短くなっている。

【００１５】

なお、表示部６００の左右両側にゲートドライバを備える液晶表示装置の構成については、例えば、特許文献１に開示されている。

【特許文献１】特開２００４－６１６７０号公報

【発明の開示】

【発明が解決しようとする課題】

10

【００１６】

ところが、図２０に示すような表示部６００の両側にゲートドライバを備える構成にした場合、２個のゲートドライバをそれぞれ動作させる必要がある。このため、必要とされるクロック信号等の制御信号の数が増大し、回路規模が大きくなる。その結果、機器の額縁等のサイズが大きくなり、小型化が阻害される。

【００１７】

そこで、本発明は、アクティブマトリクス基板を用いる表示装置を小型化することを目的とする。

【課題を解決するための手段】

【００１８】

20

第１の発明は、表示装置のためのアクティブマトリクス基板であって、
表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部を含み前記画像を表示する表示部と、

前記表示部の一侧に設けられ前記複数の走査信号線のうちの奇数行目の走査信号線を駆動する第１の走査信号線駆動回路であって、前記第１の走査信号線駆動回路の外部から与えられる複数の第２の次行駆動信号を受け取り、当該複数の第２の次行駆動信号に基づいて、前記奇数行目の走査信号線を駆動するための複数の第１の走査信号と当該駆動された奇数行目の走査信号線の次の行の走査信号線を駆動するための複数の第１の次行駆動信号とを出力する前記第１の走査信号線駆動回路と、

30

前記表示部の他側に設けられ前記複数の走査信号線のうちの偶数行目の走査信号線を駆動する第２の走査信号線駆動回路であって、前記第２の走査信号線駆動回路の外部から与えられる前記複数の第１の次行駆動信号を受け取り、当該複数の第１の次行駆動信号に基づいて、前記偶数行目の走査信号線を駆動するための複数の第２の走査信号と、当該駆動された偶数行目の走査信号線の次の行の走査信号線を駆動するための前記複数の第２の次行駆動信号とを出力する前記第２の走査信号線駆動回路とを備えることを特徴とする。

【００１９】

第２の発明は、第１の発明において、

40

前記第１の走査信号線駆動回路は、

前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン／オフ状態に応じて前記第１の走査信号を出力する第１のスイッチ回路であって、前記奇数行目の走査信号線が駆動されるべき期間を示す第１の駆動信号を受け取り、オン状態の期間中には、前記第１の駆動信号を前記第１の走査信号として出力する前記第１のスイッチ回路と、

前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線の前の行の走査信号線を駆動するための前記第２の走査信号に対応づけられる前記第２の次行駆動信号に基づいて、対応する走査信号線に対応する第１のスイッチ回路をオン状態にするための第１の双安定回路とを含み、

50

前記第 2 の走査信号線駆動回路は、

前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン/オフ状態に応じて前記第 2 の走査信号を出力する第 2 のスイッチ回路であって、前記偶数行目の走査信号線が駆動されるべき期間を示す第 2 の駆動信号を受け取り、オン状態の期間中には、前記第 2 の駆動信号を前記第 2 の走査信号として出力する前記第 2 のスイッチ回路と、

前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線の前の行の走査信号線を駆動するための前記第 1 の走査信号に対応づけられる前記第 1 の次行駆動信号に基づいて、対応する走査信号線に対応する第 2 のスイッチ回路をオン状態にするための第 2 の双安定回路とを含むことを特徴とする。

10

【0020】

第 3 の発明は、第 2 の発明において、

前記第 1 の双安定回路は、対応する走査信号線の次の行の走査信号線を駆動するための前記第 2 の走査信号に対応づけられる前記第 2 の次行駆動信号に基づいて、対応する走査信号線に対応する前記第 1 のスイッチ回路をオフ状態にし、

前記第 2 の双安定回路は、対応する走査信号線の次の行の走査信号線を駆動するための前記第 1 の走査信号に対応づけられる前記第 1 の次行駆動信号に基づいて、対応する走査信号線に対応する前記第 2 のスイッチ回路をオフ状態にすることを特徴とする。

【0021】

第 4 の発明は、第 2 または第 3 の発明において、

20

前記第 1 の双安定回路と前記第 2 の双安定回路とは、セットリセット型のフリップフロップ回路であることを特徴とする。

【0022】

第 5 の発明は、第 1 から第 4 までのいずれかの発明において、

前記第 1 の走査信号線駆動回路は、前記第 1 の次行駆動信号として、前記第 1 の走査信号を前記第 2 の走査信号線駆動回路に与え、

前記第 2 の走査信号線駆動回路は、前記第 2 の次行駆動信号として、前記第 2 の走査信号を前記第 1 の走査信号線駆動回路に与えることを特徴とする。

【0023】

第 6 の発明は、第 1 の発明において、

30

前記第 1 の走査信号線駆動回路は、

前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン/オフ状態に応じて前記第 1 の走査信号を出力する第 3 のスイッチ回路であって、前記奇数行目の走査信号線が駆動されるべき期間を示す第 1 の駆動信号を受け取り、対応する走査信号線の前の行の走査信号線を駆動するための前記第 2 の走査信号に対応づけられる前記第 2 の次行駆動信号に基づいてオン状態となり、オン状態の期間中には、前記第 1 の駆動信号を前記第 1 の走査信号として出力する前記第 3 のスイッチ回路と、

前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線を駆動するための前記第 1 の走査信号に基づいて前記第 1 の次行駆動信号を出力する第 3 の双安定回路とを含み、

40

前記第 2 の走査信号線駆動回路は、

前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン/オフ状態に応じて前記第 2 の走査信号を出力する第 4 のスイッチ回路であって、前記偶数行目の走査信号線が駆動されるべき期間を示す第 2 の駆動信号を受け取り、対応する走査信号線の前の行の走査信号線を駆動するための前記第 1 の走査信号に対応づけられる前記第 1 の次行駆動信号に基づいてオン状態となり、オン状態の期間中には、前記第 2 の駆動信号を前記第 2 の走査信号として出力する前記第 4 のスイッチ回路と、

前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線を駆動するための前記第 2 の走査信号に基づいて前記第 2 の次行駆動信号を出力する第 4 の双安定回路とを含むことを特徴とする。

50

【 0 0 2 4 】

第 7 の発明は、第 6 の発明において、

前記第 3 の双安定回路は、対応する走査信号線の次々行の走査信号線を駆動するための前記第 1 の走査信号に基づいて、対応する走査信号線の次の行の走査信号線に前記第 2 の走査信号を出力するための前記第 4 のスイッチ回路がオフ状態となるように、前記第 1 の次行駆動信号を出力し、

前記第 4 の双安定回路は、対応する走査信号線の次々行の走査信号線を駆動するための前記第 2 の走査信号に基づいて、対応する走査信号線の次の行の走査信号線に前記第 1 の走査信号を出力するための前記第 3 のスイッチ回路がオフ状態となるように、前記第 2 の次行駆動信号を出力することを特徴とする。

10

【 0 0 2 5 】

第 8 の発明は、第 6 または第 7 の発明において、

前記第 3 の双安定回路と前記第 4 の双安定回路とは、セットリセット型のフリップフロップ回路であることを特徴とする。

【 0 0 2 6 】

第 9 の発明は、第 1 から第 8 までのいずれかの発明において、

前記第 1 の走査信号線駆動回路は、前記奇数行目の走査信号線のそれぞれに対応して設けられ前記第 1 の走査信号を増幅させる第 1 のバッファ回路を更に含み、

前記第 2 の走査信号線駆動回路は、前記偶数行目の走査信号線のそれぞれに対応して設けられ前記第 2 の走査信号を増幅させる第 2 のバッファ回路を更に含むことを特徴とする。

20

【 0 0 2 7 】

第 10 の発明は、第 9 の発明において、

前記第 1 のバッファ回路と前記第 2 のバッファ回路とは、それぞれのドレイン端子が接続されるように前記複数の走査信号線の延びる方向に並べて配置された N 型 MOS トランジスタと P 型 MOS トランジスタとからなる偶数個のインバータ回路であって、前記複数の映像信号線の延びる方向に直列に接続された前記偶数個のインバータ回路によって構成されていることを特徴とする。

【 0 0 2 8 】

第 11 の発明は、液晶表示装置であって、

第 1 から第 10 までのいずれかの発明に係るアクティブマトリクス基板を備えることを特徴とする。

30

【発明の効果】

【 0 0 2 9 】

上記第 1 の発明によれば、表示部の一側に第 1 の走査信号線駆動回路が設けられ、表示部の他側に第 2 の走査信号線駆動回路が設けられている。第 1 の走査信号線駆動回路は、奇数行目の走査信号線を駆動するとともに、偶数行目の走査信号線を駆動させるための第 1 の次行駆動信号を第 2 の走査信号線駆動回路に与える。第 2 の走査信号線駆動回路は、偶数行目の走査信号線を駆動するとともに、奇数行目の走査信号線を駆動させるための第 2 の次行駆動信号を第 1 の走査信号線駆動回路に与える。これにより、第 1 の走査信号線駆動回路と第 2 の走査信号線駆動回路とは、互いに、他方から与えられた次行駆動信号に基づいて走査信号線を駆動することができる。このため、従来、走査信号線駆動回路を駆動するために必要とされていたクロック信号等を、表示制御回路から走査信号線駆動回路に与える必要がなくなる。その結果、回路規模が削減され、装置が小型化される。

40

【 0 0 3 0 】

上記第 2 の発明によれば、第 1 の走査信号線駆動回路には、奇数行目の走査信号線のそれぞれに対応してフリップフロップ回路とスイッチ回路とが設けられ、第 2 の走査信号線駆動回路には、偶数行目の走査信号線のそれぞれに対応してフリップフロップ回路とスイッチ回路とが設けられている。各フリップフロップ回路は、対応する走査信号線の前の行の走査信号線を駆動するための走査信号に基づいてスイッチ回路をオン状態にする。一方

50

、スイッチ回路は、各走査信号線を駆動する期間を示す駆動信号を受け取り、オン状態の期間中には、当該駆動信号を走査信号として出力する。これにより、外部から走査信号線駆動回路に制御信号等を与えることなくスイッチ回路をオン状態にすることができ、スイッチ回路がオン状態の期間中には、当該スイッチ回路に与えられる駆動信号に基づいて、対応する走査信号線が駆動される。このため、上記第１の発明と同様、回路規模が削減され、装置が小型化される。

【００３１】

上記第３の発明によれば、各フリップフロップ回路は、対応する走査信号線の次の行の走査信号線を駆動するための走査信号と対応づけられる次行駆動信号に基づいて、スイッチ回路をオフ状態にする。このため、スイッチ回路をオフ状態にするために、外部から走査信号線駆動回路に制御信号等を与える必要がなくなる。

10

【００３２】

上記第４の発明によれば、第１のフリップフロップ回路と第２のフリップフロップ回路とは、セットリセット型のフリップフロップ回路である。このため、Ｄ型フリップフロップ回路よりも簡易な構成で実現することができる。

【００３３】

上記第５の発明によれば、走査信号線を駆動するための走査信号が、それぞれ、対応する走査信号線の次の行の走査信号線を駆動するための次行駆動信号として第１または第２の走査信号線駆動回路に与えられる。このため、走査信号線以外に、第１の走査信号線駆動回路と第２の走査信号線駆動回路とを接続するための信号線を備える必要がない。これにより、回路規模を更に削減することができ、装置をより小型化することが可能となる。

20

【００３４】

上記第６の発明によれば、第１の走査信号線駆動回路には、奇数行目の走査信号線のそれぞれに対応してフリップフロップ回路とスイッチ回路とが設けられ、第２の走査信号線駆動回路には、偶数行目の走査信号線のそれぞれに対応してフリップフロップ回路とスイッチ回路とが設けられている。各フリップフロップ回路は、対応する走査信号線の次の行の走査信号線を駆動するための次行駆動信号を出力する。スイッチ回路は、その次行駆動信号に基づいてオン状態にされる。スイッチ回路は、また、各走査信号線を駆動する期間を示す駆動信号を受け取り、オン状態の期間中には、当該駆動信号を走査信号として出力する。これにより、外部から走査信号線駆動回路に制御信号等を与えることなくスイッチ回路をオン状態にすることができ、スイッチ回路がオン状態の期間中には、当該スイッチ回路に与えられる駆動信号に基づいて、対応する走査信号線が駆動される。このため、上記第１の発明と同様、回路規模が削減され、装置が小型化される。

30

【００３５】

上記第７の発明によれば、各フリップフロップ回路は、対応する走査信号線の次々行の走査信号線を駆動するための走査信号に基づいて、スイッチ回路をオフ状態にする。このため、スイッチ回路をオフ状態にするために、外部から走査信号線駆動回路に制御信号等を与える必要がなくなる。

【００３６】

上記第８の発明によれば、第３のフリップフロップ回路と第４のフリップフロップ回路とは、セットリセット型のフリップフロップ回路である。このため、Ｄ型フリップフロップ回路よりも簡易な構成で実現することができる。

40

【００３７】

上記第９の発明によれば、第１の走査信号線駆動回路および第２の走査信号線駆動回路には、走査信号の電流を増幅するためのバッファ回路が設けられている。このため、走査信号の駆動能力が高められ、走査信号の遅延の発生が抑制される。これにより、表示上の不具合を引き起こすことなく、装置の小型化が実現される。

【００３８】

上記第１０の発明によれば、第１の走査信号線駆動回路および第２の走査信号線駆動回路に含まれるバッファ回路は、映像信号線の延びる方向に直列に接続されたインバータ回

50

路によって構成されている。また、第１の走査信号線駆動回路は表示部の一側に、第２の信号線駆動回路は表示部の他側に設けられている。このため、第１の走査信号線駆動回路に含まれるバッファ回路と第２の走査信号線駆動回路に含まれるバッファ回路とを千鳥状に配置することによって、走査信号線間の距離をより小さくすることができる。また、このアクティブマトリクス基板を備えた表示装置を携帯電話等の電子機器に適用する場合に、無駄な領域を削減しつつ、左右対称となるように表示部を当該電子機器に組み込むことが容易になる。これにより、容易に装置の小型化や狭額縁化が可能となる。

【００３９】

上記第１の発明によれば、アクティブマトリクス型の表示装置が小型化される。

【発明を実施するための最良の形態】

10

【００４０】

以下、添付図面を参照しつつ本発明の実施形態について説明する。

【００４１】

< １．第１の実施形態 >

< １．１ 液晶表示装置の全体構成および動作 >

図１は、本発明の第１の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示制御回路２００とソースドライバ（映像信号線駆動回路）３００と第１のゲートドライバ（第１の走査信号線駆動回路）４００と第２のゲートドライバ（第２の走査信号線駆動回路）５００と表示部６００とを備えている。第１のゲートドライバ４００と第２のゲートドライバ５００とは、図１に示すように、表示部６００を挟むようにして設けられている。すなわち、第１のゲートドライバ４００は表示部６００の左側に設けられ、第２のゲートドライバ５００は表示部６００の右側に設けられている。なお、ソースドライバ３００、第１のゲートドライバ４００、第２のゲートドライバ５００、および表示部６００は、アクティブマトリクス基板１００上に設けられている。

20

【００４２】

表示部６００には、互いに交差（直交）する複数（ n 本）のソースバスライン（映像信号線） $SL1 \sim SLn$ と複数（ m 本）のゲートバスライン（走査信号線） $GL1 \sim GLm$ とが設けられている。ソースバスライン $SL1 \sim SLn$ はソースドライバ３００と接続されている。ゲートバスライン $GL1 \sim GLm$ については、第１のゲートドライバ４００と第２のゲートドライバ５００とに接続されている。また、表示部６００には、ソースバスライン $SL1 \sim SLn$ とゲートバスライン $GL1 \sim GLm$ との交差点にそれぞれ対応して設けられた複数個（ $m \times n$ 個）の画素形成部６０が含まれている。

30

【００４３】

表示制御回路２００は、画像信号 DAT と、表示部６００に画像を表示するタイミングを制御するためのソーススタートパルス信号 SPS 、ソースクロック信号 CLK 、ソースクロック反転信号 $CLKB$ 、ゲートスタートパルス信号 GSP 、第１の駆動信号としての第１のパルス幅制御信号 $PWC1$ 、および第２の駆動信号としての第２のパルス幅制御信号 $PWC2$ とを出力する。

【００４４】

40

ソースドライバ３００は、サンプリングパルス生成回路３０とサンプリング回路３１とを備えている。サンプリングパルス生成回路３０は、表示制御回路２００から出力されるスタートパルス信号 SPS とソースクロック信号 CLK とソースクロック反転信号 $CLKB$ とを受け取り、サンプリングパルスを出力する。サンプリング回路３１は、サンプリングパルス生成回路３０から出力されるサンプリングパルスに基づいて画像信号 DAT をサンプリングし、それを駆動用の映像信号としてソースバスライン $SL1 \sim SLn$ に出力する。

【００４５】

第１のゲートドライバ４００は、第１の走査信号生成回路群４０と第１のバッファ回路群４１とを備えている。第１の走査信号生成回路群４０は、表示制御回路２００から出力

50

されるゲートスタートパルス信号 G S P と第 1 のパルス幅制御信号 P W C 1 とを受け取り、更に、第 2 のゲートドライバ 5 0 0 から出力される第 2 の次行駆動信号としての第 2 の走査信号 G L 2、G L 4、・・・、G L m を受け取る。そして、それらの信号に基づいて、奇数行目のゲートバスライン G L 1、G L 3、・・・、G L m - 1 を選択するための第 1 の走査信号 G L 1、G L 3、・・・、G L m - 1 を出力する。

【 0 0 4 6 】

第 2 のゲートドライバ 5 0 0 は、第 2 の走査信号生成回路群 5 0 と第 2 のバッファ回路群 5 1 とを備えている。第 2 の走査信号生成回路群 5 0 は、表示制御回路 2 0 0 から出力される第 2 のパルス幅制御信号 P W C 2 を受け取り、更に、第 1 のゲートドライバ 4 0 0 から出力される第 1 の次行駆動信号としての第 1 の走査信号 G L 1、G L 3、・・・、G L m - 1 を受け取る。そして、それらの信号に基づいて、偶数行目のゲートバスライン G L 2、G L 4、・・・、G L m を選択するための第 2 の走査信号 G L 2、G L 4、・・・、G L m を出力する。

10

【 0 0 4 7 】

以上のように、奇数行目のゲートバスライン G L 1、G L 3、・・・、G L m - 1 を選択するための第 1 の走査信号 G L 1、G L 3、・・・、G L m - 1 が第 1 のゲートドライバ 4 0 0 から出力され、偶数行目のゲートバスライン G L 2、G L 4、・・・、G L m を選択するための第 2 の走査信号 G L 2、G L 4、・・・、G L m が第 2 のゲートドライバ 5 0 0 から出力される。これにより、各ゲートバスライン G L 1 ~ G L m へのアクティブな走査信号の印加が 1 垂直走査期間を周期として繰り返される。

20

【 0 0 4 8 】

< 1 . 2 ゲートドライバ >

< 1 . 2 . 1 ゲートドライバの全体構成 >

次に、本実施形態におけるゲートドライバの構成について説明する。本実施形態においては、上述したように、表示部 6 0 0 の左右両側にゲートドライバが設けられた構成となっている。図 2 は、本実施形態における要部の詳細な構成を示すブロック図である。図 2 に示すように、第 1 の走査信号生成回路群 4 0 には、複数個の走査信号生成回路（第 1 の走査信号生成回路）4 2 が含まれており、第 2 の走査信号生成回路群 5 0 には、複数個の走査信号生成回路（第 2 の走査信号生成回路）5 2 が含まれている。また、第 1 のバッファ回路群 4 1 には、複数個のバッファ回路（第 1 のバッファ回路）4 3 が含まれており、第 2 のバッファ回路群 5 1 には、複数個のバッファ回路（第 2 のバッファ回路）5 3 が含まれている。第 1 の走査信号生成回路 4 2 と第 1 のバッファ回路 4 3 とは、それぞれ奇数行目のゲートバスライン G L 1、G L 3、・・・、G L m - 1 に対応して設けられている。第 2 の走査信号生成回路 5 2 と第 2 のバッファ回路 5 3 とは、それぞれ偶数行目のゲートバスライン G L 2、G L 4、・・・、G L m に対応して設けられている。

30

【 0 0 4 9 】

第 1 の走査信号生成回路 4 2 には、第 1 のパルス幅制御信号 P W C 1 が与えられ、第 2 の走査信号生成回路 5 2 には、第 2 のパルス幅制御信号 P W C 2 が与えられる。1 行目のゲートバスライン G L 1 に対応して設けられている第 1 の走査信号生成回路 4 2 には、さらに、ゲートスタートパルス信号 G S P が与えられる。このような構成により、奇数行目のゲートバスライン G L 1、G L 3、・・・、G L m - 1 については第 1 の走査信号生成回路群 4 0 から走査信号が与えられ、偶数行目のゲートバスライン G L 2、G L 4、・・・、G L m については第 2 の走査信号生成回路群 5 0 から走査信号が与えられる。

40

【 0 0 5 0 】

1 行目のゲートバスライン G L 1 に対応する第 1 の走査信号生成回路 4 2 には、セットリセット型のフリップフロップ回路（第 1 のフリップフロップ回路）F F 1 とアナログスイッチ（第 1 のスイッチ回路）S W 1 とインバータ回路 I N V 1 とが含まれている。2 行目以降のゲートバスライン G L 2 ~ G L m に対応する第 1 の走査信号生成回路 4 2 および第 2 の走査信号生成回路 5 2 には、セットリセット型のフリップフロップ回路（第 1 または第 2 のフリップフロップ回路）F F 2 ~ F F m とアナログスイッチ（第 1 または第 2 の

50

スイッチ回路) $SW2 \sim SWm$ とインバータ回路 $INV2 \sim INVm$ 、 $INVS2 \sim INVSm$ とが含まれている。

【0051】

1行目のゲートバスライン $GL1$ に対応する第1のフリップフロップ回路 $FF1$ には、ゲートスタートパルス信号 GSP と2行目のゲートバスライン $GL2$ を選択するための第2の走査信号 $GL2$ とが与えられる。それらの信号に基づき、第1のフリップフロップ回路 $FF1$ は出力信号 $Q1$ を出力する。2行目以降のゲートバスライン $GL2 \sim GLm$ に対応する第1または第2のフリップフロップ回路 $FF2 \sim FFm$ には、それぞれの行の前行のゲートバスラインを選択するための走査信号と、それぞれの行の次行のゲートバスラインを選択するための走査信号とが与えられる。それらの信号に基づき、第1または第2のフリップフロップ回路 $FF2 \sim FFm$ は出力信号 $Q2 \sim Qm$ を出力する。

10

【0052】

奇数行目のゲートバスライン $GL1$ 、 $GL3$ 、 $\dots$ 、 $GLm-1$ に対応する第1のスイッチ回路 $SW1$ 、 $SW3$ 、 $\dots$ 、 $SWm-1$ は、第1のパルス幅制御信号 $PWC1$ と、第1のフリップフロップ回路 $FF1$ 、 $FF3$ 、 $\dots$ 、 $FFm-1$ からの出力信号 $Q1$ 、 $Q3$ 、 $\dots$ 、 $Qm-1$ とを受け取り、出力信号 $SRO1$ 、 $SRO3$ 、 $\dots$ 、 $SROm-1$ を出力する。出力信号 $SRO1$ 、 $SRO3$ 、 $\dots$ 、 $SROm-1$ は、インバータ回路 $INV1$ 、 $INV3$ 、 $\dots$ 、 $INVm-1$ によって反転し、その反転後の信号が第1のバッファ回路43に与えられる。第1のバッファ回路43は、出力信号 $SRO1$ 、 $SRO3$ 、 $\dots$ 、 $SROm-1$ の反転後の信号を受け取り、第1の走査信号 $GL1$ 、 $GL3$ 、 $\dots$ 、 $GLm-1$ を出力する。

20

【0053】

一方、偶数行目のゲートバスライン $GL2$ 、 $GL4$ 、 $\dots$ 、 GLm に対応する第2のスイッチ回路 $SW2$ 、 $SW4$ 、 $\dots$ 、 SWm は、第2のパルス幅制御信号 $PWC2$ と、第2のフリップフロップ回路 $FF2$ 、 $FF4$ 、 $\dots$ 、 FFm からの出力信号 $Q2$ 、 $Q4$ 、 $\dots$ 、 Qm とを受け取り、出力信号 $SRO2$ 、 $SRO4$ 、 $\dots$ 、 $SROm$ を出力する。出力信号 $SRO2$ 、 $SRO4$ 、 $\dots$ 、 $SROm$ は、インバータ回路 $INV2$ 、 $INV4$ 、 $\dots$ 、 $INVm$ によって反転し、その反転後の信号が第2のバッファ回路53に与えられる。第2のバッファ回路53は、出力信号 $SRO2$ 、 $SRO4$ 、 $\dots$ 、 $SROm$ の反転後の信号を受け取り、第2の走査信号 $GL2$ 、 $GL4$ 、 $\dots$ 、 GLm を出力する。

30

【0054】

< 1.2.2 フリップフロップ回路の構成および動作 >

図3は、本実施形態における第1および第2の走査信号生成回路42、52に含まれているセットリセット型のフリップフロップ回路 $FF1 \sim FFm$ の具体的な構成を示す回路図である。各フリップフロップ回路には、3個のP型MOSトランジスタ $P1$ 、 $P4$ 、 $P5$ と、4個のN型MOSトランジスタ $N2$ 、 $N3$ 、 $N6$ 、 $N7$ と、2個のインバータ回路 $INV01$ 、 $INV02$ とが含まれている。

【0055】

図3に示すように、P型MOSトランジスタ $P1$ とN型MOSトランジスタ $N2$ とN型MOSトランジスタ $N3$ とが直列に接続され、P型MOSトランジスタ $P4$ とP型MOSトランジスタ $P5$ とN型MOSトランジスタ $N6$ とN型MOSトランジスタ $N7$ とが直列に接続されている。P型MOSトランジスタ $P1$ および $P4$ のソース端子は電源 VCC に接続され、N型MOSトランジスタ $N3$ および $N7$ のソース端子は接地されている。P型MOSトランジスタ $P1$ のドレイン端子とN型MOSトランジスタ $N2$ のドレイン端子とは接続され、P型MOSトランジスタ $P5$ のドレイン端子とN型MOSトランジスタ $N6$ のドレイン端子とは接続されている。

40

【0056】

また、P型MOSトランジスタ $P1$ および $P5$ 、N型MOSトランジスタ $N2$ および $N6$ のドレイン端子は、インバータ回路 $INV01$ の入力端子と接続されている。インバー

50

タ回路INV01とインバータ回路INV02とは直列に接続されており、それらの接続点はP型MOSトランジスタP5のゲート端子およびN型MOSトランジスタN6のゲート端子と接続されている。

【0057】

このフリップフロップ回路に入力されるセット信号Sの反転信号は、P型MOSトランジスタP1、N型MOSトランジスタN3およびN7のゲート端子に与えられる。一方、リセット信号Rは、P型MOSトランジスタP4およびN型MOSトランジスタN2のゲート端子に与えられる。また、このフリップフロップ回路の外部には、インバータ回路INV02から出力信号Qが出力される。

【0058】

上述のような構成において、リセット信号Rの論理レベルがローレベルである時にセット信号Sの反転信号の論理レベルがハイレベルからローレベルに変化すると、P型MOSトランジスタP1はオン状態になる。この時、N型MOSトランジスタN2はオフ状態であるので、インバータ回路INV01の入力端子に与えられる信号の論理レベルはハイレベルとなる。上述のようにインバータ回路INV01とインバータ回路INV02とは直列に接続されているので、この時、インバータ回路INV02から出力される出力信号Qの論理レベルはハイレベルとなる。また、リセット信号Rの論理レベルはローレベルであるのでP型MOSトランジスタP4はオン状態であり、インバータ回路INV01から出力される信号の論理レベルもローレベルであるので、P型MOSトランジスタP5はオン状態になる。従って、リセット信号Rの論理レベルがローレベルで維持されている期間中においては、セット信号Sの反転信号の論理レベルがローレベルからハイレベルに変化しても、出力信号Qの論理レベルはハイレベルのまま維持される。

10

20

【0059】

セット信号Sの反転信号の論理レベルがローレベルからハイレベルに変化した後、リセット信号Rの論理レベルがローレベルからハイレベルに変化すると、P型MOSトランジスタP1およびP4はオフ状態になり、N型MOSトランジスタN2およびN3はオン状態になる。これにより、インバータ回路INV01の入力端子に与えられる信号の論理レベルはローレベルとなる。従って、インバータ回路INV02から出力される出力信号Qの論理レベルはローレベルとなる。また、セット信号Sの反転信号の論理レベルはハイレベルであるので、N型MOSトランジスタN7はオン状態であり、インバータ回路INV01から出力される信号の論理レベルもハイレベルであるので、N型MOSトランジスタN6もオン状態になる。従って、セット信号Sの反転信号の論理レベルがハイレベルで維持されている期間中においては、リセット信号Rの論理レベルがハイレベルからローレベルに変化しても、出力信号Qの論理レベルはローレベルのまま維持される。

30

【0060】

以上のように、本実施形態においては、リセット信号Rの論理レベルがローレベルになっている期間中にセット信号Sの反転信号の論理レベルをハイレベルからローレベルに変化させることによって、出力信号Qの論理レベルをローレベルからハイレベルに変化させている。一方、セット信号Sの反転信号の論理レベルがハイレベルになっている期間中にリセット信号Rの論理レベルをローレベルからハイレベルに変化させることによって、出力信号Qの論理レベルをハイレベルからローレベルに変化させている。

40

【0061】

なお、本実施形態においては、セット信号Sは、ゲートスタートパルス信号GSPまたは各フリップフロップ回路に対応するゲートバスラインの前行のゲートバスラインに与えられる走査信号に相当する。リセット信号Rは、各フリップフロップ回路に対応するゲートバスラインの次行のゲートバスラインに与えられる走査信号に相当する。出力信号Qは、アナログスイッチSW1～SWmに与えられる出力信号Q1～Qmに相当する。

【0062】

< 1. 2. 3 アナログスイッチの構成および動作 >

図4は、本実施形態における第1および第2の走査信号生成回路42、52に含まれて

50

いるアナログスイッチSW1～SWmの具体的な構成を示す回路図である。各アナログスイッチには、P型MOSトランジスタP11とN型MOSトランジスタN11とからなるCMOSスイッチと、インバータ回路IV11と、P型MOSトランジスタP12とが含まれている。

【0063】

図4に示すように、N型MOSトランジスタN11のゲート端子とインバータ回路IV11の入力端子とP型MOSトランジスタP12のゲート端子が接続されている。また、P型MOSトランジスタP11のゲート端子とインバータ回路IV11の出力端子とが接続されている。P型MOSトランジスタP12のドレイン端子は電源VCCに接続され、P型MOSトランジスタP12のソース端子はCMOSスイッチの出力端子に接続されている。外部からの入力信号SINはCMOSスイッチの入力端子に与えられ、外部からの制御信号SCTLはN型MOSトランジスタN11のゲート端子に与えられる。外部への出力信号SOUTは、CMOSスイッチの出力端子から出力される。

10

【0064】

上述のような構成において、制御信号SCTLの論理レベルがローレベルである時には、P型MOSトランジスタP11のゲート端子とN型MOSトランジスタN11のゲート端子とは共にオフ状態になるので、CMOSスイッチは閉じた状態となる。この時、P型MOSトランジスタP12のゲート端子はオン状態になっている。従って、入力信号SINの論理レベルにかかわらず、出力信号SOUTの論理レベルはハイレベルとなる。

【0065】

一方、制御信号SCTLの論理レベルがハイレベルである時には、P型MOSトランジスタP11のゲート端子とN型MOSトランジスタN11のゲート端子とは共にオン状態になるので、CMOSスイッチは開いた状態となる。この時、P型MOSトランジスタP12のゲート端子はオフ状態になっている。従って、出力信号SOUTの論理レベルは、入力信号SINの論理レベルと同じになる。

20

【0066】

本実施形態においては、入力信号SINは、第1のパルス幅制御信号PWC1または第2のパルス幅制御信号PWC2に相当する。制御信号SCTLは、第1または第2のフリップフロップ回路FF1～FFmから出力される出力信号Q1～Qmに相当する。出力信号SOUTは、インバータ回路INV1～INVmに与えられる信号SRO1～SROm

30

【0067】

< 1.2.4 バッファ回路 >

次に、本実施形態におけるバッファ回路の構成について説明する。図2に示したように、各バッファ回路43、53には、直列に接続された2個のインバータ回路が含まれている。これらのインバータ回路は、入力された信号の論理レベルを反転させつつ、電流を増幅させる。図5は、インバータ回路の構成を示す回路図である。このインバータ回路は、直列に接続されたP型MOSトランジスタP21とN型MOSトランジスタN21とによって構成されている。P型MOSトランジスタP21のドレイン端子とN型MOSトランジスタN21のドレイン端子とが接続されている。また、P型MOSトランジスタP21のソース端子は電源VCCに接続され、N型MOSトランジスタN21のソース端子は接地されている。

40

【0068】

上述のような構成において、このインバータ回路に与えられる入力信号INの論理レベルがハイレベルである時には、P型MOSトランジスタP21はオフ状態になり、N型MOSトランジスタN21はオン状態になるので、出力信号OUTの論理レベルはローレベルとなる。一方、入力信号INの論理レベルがローレベルである時には、P型MOSトランジスタP21はオン状態になり、N型MOSトランジスタN21はオフ状態になるので、出力信号OUTの論理レベルはハイレベルとなる。このようにして、インバータ回路によって、入力信号INの論理レベルが反転される。

50

【 0 0 6 9 】

図 6 は、本実施形態における第 1 および第 2 のバッファ回路 4 3、5 3 のレイアウトを示す図である。図 6 に示すように、各バッファ回路 4 3、5 3 について、2 個のインバータ回路 $INV\ k\ 1$ 、 $INV\ k\ 2$ ($k = 1, 2, \dots, m$) がソースバスライン $SL\ 1 \sim SL\ n$ の延びる方向に直列に接続されている。第 1 のバッファ回路 4 3 と第 2 のバッファ回路 5 3 との位置関係に着目すると、各バッファ回路が表示部 6 0 0 を挟んで千鳥状に配置されている。さらに、ソースバスライン $SL\ 1 \sim SL\ n$ の延びる方向に着目した場合、第 1 のバッファ回路 4 3 と第 2 のバッファ回路 5 3 とが重複する領域が存在している。例えば、図 6 において参照符号 H 1 で示す領域については、表示部 6 0 0 の左側には 1 行目のゲートバスライン $GL\ 1$ に対応して設けられている第 1 のバッファ回路 4 3 の一部が含まれており、表示部 6 0 0 の右側には 2 行目のゲートバスライン $GL\ 2$ に対応して設けられている第 2 のバッファ回路 5 3 の一部が含まれている。

10

【 0 0 7 0 】

< 1 . 3 駆動方法 >

次に、図 7 を参照しつつ、本実施形態における駆動方法について説明する。表示制御回路 2 0 0 から出力されるゲートスタートパルス信号 GSP の論理レベルがハイレベルからローレベルに変化すると、第 1 のフリップフロップ回路 $FF\ 1$ のセット端子 S に与えられる信号の論理レベルがハイレベルからローレベルに変化する (時点 $t\ 1$)。これにより、第 1 のフリップフロップ回路 $FF\ 1$ からの出力信号 $Q\ 1$ の論理レベルが、ローレベルからハイレベルに変化する。その出力信号 $Q\ 1$ の論理レベルは、次に第 1 のフリップフロップ回路 $FF\ 1$ のリセット端子 R に論理レベルがハイレベルの信号が与えられるまで (時点 $t\ 5$ まで)、ハイレベルのまま維持される。

20

【 0 0 7 1 】

上述のとおり、第 1 のフリップフロップ回路 $FF\ 1$ からの出力信号 $Q\ 1$ の論理レベルがハイレベルとなっている期間中には、第 1 のスイッチ回路 $SW\ 1$ から出力される信号 $SRO\ 1$ の論理レベルは、第 1 のパルス幅制御信号 $PWC\ 1$ の論理レベルと同じになる。従って、時点 $t\ 1$ から $t\ 5$ までの期間のうち、パルス幅制御信号 $PWC\ 1$ の論理レベルがローレベルになっている期間についてのみ、信号 $SRO\ 1$ の論理レベルがローレベルとなる。すなわち、時点 $t\ 3$ から時点 $t\ 4$ までの期間のみ、信号 $SRO\ 1$ の論理レベルがローレベルとなる。その信号 $SRO\ 1$ は、図 2 に示すように、直列に接続された 3 個のインバータ回路 $INV\ 1$ 、 $INV\ 1\ 1$ 、および $INV\ 1\ 2$ に与えられる。従って、1 行目のゲートバスライン $GL\ 1$ に対応して設けられているバッファ回路 4 3 から出力される第 1 の走査信号 $GL\ 1$ の論理レベルは、時点 $t\ 3$ から時点 $t\ 4$ までの期間のみハイレベルとなる。

30

【 0 0 7 2 】

第 1 の走査信号 $GL\ 1$ は、2 行目のゲートバスライン $GL\ 2$ に対応して設けられている第 2 の走査信号生成回路 5 2 に含まれているインバータ回路 $INV\ S\ 2$ に与えられる。このため、インバータ回路 $INV\ S\ 2$ から出力されるセット信号 $S\ 1$ の論理レベルは、第 1 の走査信号 $GL\ 1$ の論理レベルとは反転したものとなる。従って、時点 $t\ 3$ になると、第 2 のフリップフロップ回路 $FF\ 2$ のセット端子 S に与えられるセット信号 $S\ 1$ の論理レベルがハイレベルからローレベルに変化する。これにより、第 2 のフリップフロップ回路 $FF\ 2$ からの出力信号 $Q\ 2$ の論理レベルが、ローレベルからハイレベルに変化する。このように、第 1 の走査信号 $GL\ 1$ は、1 行目の走査信号線 $GL\ 1$ を選択する機能に加え、2 行目のゲートバスライン $GL\ 2$ に対応して設けられている第 2 の走査信号生成回路 5 2 内の第 2 のフリップフロップ回路 $FF\ 2$ をセットする機能をも有している。

40

【 0 0 7 3 】

出力信号 $Q\ 2$ の論理レベルがハイレベルとなっている状態は、次に第 2 のフリップフロップ回路 $FF\ 2$ のリセット端子 R に論理レベルがハイレベルの信号が与えられるまで (時点 $t\ 7$ まで) 維持される。また、第 2 のフリップフロップ回路 $FF\ 2$ からの出力信号 $Q\ 2$ の論理レベルがハイレベルとなっている期間中には、第 2 のスイッチ回路 $SW\ 2$ から出力される信号 $SRO\ 2$ の論理レベルは第 2 のパルス幅制御信号 $PWC\ 2$ の論理レベルと同じ

50

になる。従って、時点 t_3 から t_7 までの期間のうち、パルス幅制御信号 PWC_2 の論理レベルがローレベルになっている期間についてのみ、信号 SRO_2 の論理レベルがローレベルとなる。すなわち、時点 t_5 から時点 t_6 までの期間のみ、信号 SRO_2 の論理レベルがローレベルとなる。これにより、2 行目のゲートバスライン GL_2 に対応して設けられている第 2 のバッファ回路 53 から出力される第 2 の走査信号 GL_2 の論理レベルは、時点 t_5 から時点 t_6 までの期間のみハイレベルとなる。

【0074】

第 2 の走査信号 GL_2 は、3 行目のゲートバスライン GL_3 に対応して設けられている第 1 の走査信号生成回路 42 に含まれているインバータ回路 INV_3 に与えられるとともに、1 行目のゲートバスライン GL_1 に対応して設けられている第 1 の走査信号生成回路 42 に含まれている第 1 のフリップフロップ回路 FF_1 のリセット端子 R にも与えられる。このため、第 2 の走査信号 GL_2 の論理レベルがローレベルからハイレベルに変化する時点 t_5 に、第 1 のフリップフロップ回路 FF_1 のリセット端子 R に与えられる信号の論理レベルがローレベルからハイレベルに変化する。その結果、論理レベルがハイレベルとなっている状態が時点 t_1 から継続していた信号 Q_1 の論理レベルが、時点 t_5 にローレベルとなる。このように、第 2 の走査信号 GL_2 は、2 行目のゲートバスライン GL_2 を選択する機能に加え、1 行目のゲートバスライン GL_1 に対応して設けられている第 1 の走査信号生成回路 42 内の第 1 のフリップフロップ回路 FF_1 をリセットする機能をも有している。さらに、第 2 の走査信号 GL_2 は、上述した第 1 の走査信号 GL_1 と同様、次の行のゲートバスライン（すなわち 3 行目のゲートバスライン GL_3 ）に対応して設けられている第 1 の走査信号生成回路 42 内の第 1 のフリップフロップ回路 FF_3 をセットする機能をも有している。

10

20

【0075】

3 行目以降のゲートバスラインに与えられる走査信号についても、第 2 の走査信号 GL_2 と同様に、ゲートバスラインを選択するとともに、前の行のゲートバスラインに対応して設けられている走査信号生成回路内のフリップフロップ回路をリセットし、次の行のゲートバスラインに対応して設けられている走査信号生成回路内のフリップフロップ回路をセットする。その結果、図 7 に示すように、従来と同様に所定の期間ずつゲートバスライン $GL_1 \sim GL_m$ が 1 行ずつ順次選択される。

【0076】

30

< 1. 4 効果 >

以上のように、本実施形態によると、表示部 600 の一側に奇数行目のゲートバスラインを選択するための第 1 のゲートドライバ 400 が設けられ、表示部 600 の他側に偶数行目のゲートバスラインを選択するための第 2 のゲートドライバ 500 が設けられている。第 1 のゲートドライバ 400 内には、奇数行目のゲートバスラインに対応するようにして第 1 の走査信号生成回路 42 と第 1 のバッファ回路 43 とが設けられ、第 2 のゲートドライバ 500 内には、偶数行目のゲートバスラインに対応するようにして第 2 の走査信号生成回路 52 と第 2 のバッファ回路 53 とが設けられている。各走査信号生成回路 42、52 には、表示制御回路 200 から送られる第 1 または第 2 のパルス幅制御信号 PWC_1 または PWC_2 と、前行のゲートバスラインを選択するための走査信号と、次行のゲートバスラインを選択するための走査信号とが与えられ、それらの信号に基づいて走査信号が生成される。このため、ゲートドライバ内のシフトレジスタを動作させるために従来必要とされていたクロック信号等が不要となる。これにより、ゲートドライバを動作させるためのクロック信号等の制御信号を削減しつつ、表示部 600 の両側に設けられたゲートドライバ（第 1 のゲートドライバ 400 および第 2 のゲートドライバ 500）を従来と同様に動作させることができる。その結果、回路規模が削減され、装置が従来よりも小型化される。

40

【0077】

また、表示部 600 の両側に設けられているゲートドライバ 400、500 内のバッファ回路 43、53 は、ソースバスライン $SL_1 \sim SL_n$ の延びる方向に直列に接続された

50

2 個のインバータ回路によって構成されている。このため、この表示装置を携帯電話等の電子機器に適用する場合に、無駄な領域を削減しつつ、左右対称となるように表示部 600 を当該電子機器に組み込むことが容易になる。さらに、表示部 600 の一側に設けられた第 1 のバッファ回路 43 と他側に設けられた第 2 のバッファ回路 53 とは、ソースバスライン SL1 ~ SLn の延びる方向に着目した場合に、互いに重複した領域が生ずるように千鳥配置されている。このため、走査信号線間の距離 WP をより小さくすることができ、より装置の小型化や狭額縁化が可能となる。

【0078】

さらにまた、走査信号生成回路 42、52 に含まれているフリップフロップ回路 FF1 ~ FFm は、セットリセット型のフリップフロップ回路である。このため、D 型フリップフロップ回路よりも簡易な構成で実現することができる。

10

【0079】

< 2. 第 2 の実施形態 >

< 2. 1 液晶表示装置の全体構成および動作 >

図 8 は、本発明の第 2 の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、上記第 1 の実施形態と同様、表示制御回路 200 とソースドライバ（映像信号線駆動回路）300 と第 1 のゲートドライバ（第 1 の走査信号線駆動回路）400 と第 2 のゲートドライバ（第 2 の走査信号線駆動回路）500 と表示部 600 とを備えている。第 1 の実施形態とは異なり、各ゲートバスライン GL1 ~ GLm に対応するようにして、第 1 の走査信号生成回路群 40 と第 2 の走査信号生成回路群 50 とを接続するための配線が設けられている。

20

【0080】

第 1 の走査信号生成回路群 40 は、表示制御回路 200 から出力されるゲートスタートパルス信号 GSP、第 1 のパルス幅制御信号 PWC1 に加え、第 2 のゲートドライバ 500 からの出力信号 Q2、Q4、・・・、Qm を受け取る。そして、それらの信号に基づいて、奇数行目のゲートバスライン GL1、GL3、・・・、GLm-1 を選択するための第 1 の走査信号 GL1、GL3、・・・、GLm-1 と、第 2 の走査信号生成回路群 50 を動作させるための出力信号 Q1、Q3、・・・、Qm-1 とを出力する。

【0081】

第 2 の走査信号生成回路群 50 は、表示制御回路 200 から出力される第 2 のパルス幅制御信号 PWC2 に加え、第 1 のゲートドライバ 400 からの出力信号 Q1、Q3、・・・、Qm-1 を受け取る。そして、それらの信号に基づいて、偶数行目のゲートバスライン GL2、GL4、・・・、GLm を選択するための第 2 の走査信号 GL2、GL4、・・・、GLm と、第 1 の走査信号生成回路群 40 を動作させるための出力信号 Q2、Q4、・・・、Qm とを出力する。

30

【0082】

第 1 の走査信号生成回路群 40 および第 2 の走査信号生成回路群 50 以外の構成要素の動作については、第 1 の実施形態と同様であるので、説明を省略する。

【0083】

< 2. 2 ゲートドライバ >

40

次に、本実施形態におけるゲートドライバの構成について説明する。図 9 は、本実施形態における要部の詳細な構成を示すブロック図である。図 9 に示すように、第 1 の走査信号生成回路群 40 には、複数個の走査信号生成回路（第 1 の走査信号生成回路）44 が含まれており、第 2 の走査信号生成回路群 50 には、複数個の走査信号生成回路（第 2 の走査信号生成回路）54 が含まれている。第 1 の走査信号生成回路 44 は、それぞれ奇数行目のゲートバスライン GL1、GL3、・・・、GLm-1 に対応して設けられており、第 2 の走査信号生成回路 54 は、それぞれ偶数行目のゲートバスライン GL2、GL4、・・・、GLm に対応して設けられている。

【0084】

第 1 の走査信号生成回路 44 には、アナログスイッチ（第 3 のスイッチ回路）441 と

50

N型MOSトランジスタ442とセットリセット型のフリップフロップ回路(第3のフリップフロップ回路)443とインバータ回路444とが含まれている。同様に、第2の走査信号生成回路54には、アナログスイッチ(第4のスイッチ回路)541とN型MOSトランジスタ542とセットリセット型のフリップフロップ回路(第4のフリップフロップ回路)543とインバータ回路544とが含まれている。

【0085】

1行目のゲートバスラインGL1に対応する第3のスイッチ回路441には、ゲートスタートパルス信号GSPと第1のパルス幅制御信号PWC1とが与えられる。また、1行目のゲートバスラインGL1に対応するN型MOSトランジスタ442のゲート端子には、ゲートスタートパルス信号GSPが与えられる。これにより、第3のスイッチ回路441からの出力信号は、N型MOSトランジスタ442のオン/オフ状態によって制御される。その第3のスイッチ回路441からの出力信号は、インバータ回路444によって反転し、その反転後の信号の電流がバッファ回路で増幅され、第1の走査信号GL1として出力される。

【0086】

3行目以降の奇数行目のゲートバスラインGL3、・・・、GLm-1に対応する第3のスイッチ回路441には、それぞれの行の前行のゲートバスラインに対応して設けられている第2の走査信号生成回路54内の第4のフリップフロップ回路543からの出力信号Q2、Q4、・・・、Qmと第1のパルス幅制御信号PWC1とが与えられる。また、3行目以降の奇数行目のゲートバスラインGL3、・・・、GLm-1に対応するN型MOSトランジスタ442のゲート端子には、上記出力信号Q2、Q4、・・・、Qmがそれぞれ与えられる。これにより、第3のスイッチ回路441からの出力信号は、N型MOSトランジスタ442のオン/オフ状態によって制御される。その第3のスイッチ回路441からの出力信号は、インバータ回路444によって反転し、その反転後の信号の電流がバッファ回路で増幅され、第1の走査信号GL3、・・・、GLm-1として出力される。

【0087】

奇数行目のゲートバスラインGL1、GL3、・・・、GLm-1に対応する第3のフリップフロップ回路443は、第3のスイッチ回路441からの出力信号によってセットされ、それぞれの行の次々行のゲートバスラインを選択するための走査信号によってリセットされる。そして、第3のフリップフロップ回路443からは、出力信号Q1、Q3、・・・、Qm-1が出力される。

【0088】

一方、偶数行目のゲートバスラインGL2、GL4、・・・、GLmに対応する第4のスイッチ回路541には、それぞれの行の前行のゲートバスラインに対応して設けられている第1の走査信号生成回路44内の第3のフリップフロップ回路443からの出力信号Q1、Q3、・・・、Qm-1と第2のパルス幅制御信号PWC2とが与えられる。また、N型MOSトランジスタ542のゲート端子には、上記出力信号Q1、Q3、・・・、Qm-1が与えられる。これにより、第4のスイッチ回路541からの出力信号は、N型MOSトランジスタ542のオン/オフ状態によって制御される。その第4のスイッチ回路541からの出力信号は、インバータ回路544によって反転し、その反転後の信号の電流がバッファ回路で増幅され、第2の走査信号GL2、GL4、・・・、GLとして出力される。

【0089】

偶数行目のゲートバスラインGL2、GL4、・・・、GLmに対応する第4のフリップフロップ回路543は、第4のスイッチ回路541からの出力信号によってセットされ、それぞれの行の次々行のゲートバスラインを選択するための走査信号によってリセットされる。そして、第4のフリップフロップ回路543からは、出力信号Q2、Q4、・・・、Qmが出力される。

【0090】

10

20

30

40

50

なお、第 1 および第 2 のバッファ回路群 4 1、5 1 に含まれているバッファ回路のレイアウトについては、上記第 1 の実施形態と同様である。すなわち、図 6 に示すように、各バッファ回路について、2 個のインバータ回路が映像信号線 S L 1 ~ S L n の延びる方向に直列に接続されている。また、表示部 6 0 0 を挟んで、各バッファ回路が千鳥状に配置されている。

【 0 0 9 1 】

< 2 . 3 駆動方法 >

次に図 1 0 を参照しつつ、本実施形態における駆動方法について説明する。まず、1 行目のゲートバスライン G L 1 に対応する第 1 の走査信号生成回路 4 4 に着目する。表示制御回路 2 0 0 から出力されるゲートスタートパルス信号 G S P の論理レベルがローレベルからハイレベルに変化すると、N 型 M O S トランジスタ 4 4 2 はオフ状態になる（時点 t 1）。この状態は時点 t 5 まで継続するが、この期間中には、第 3 のスイッチ回路 4 4 1 からの出力信号の論理レベルは第 1 のパルス幅制御信号 P W C 1 の論理レベルと同じになる。従って、時点 t 2 になると、第 3 のスイッチ回路 4 4 1 からの出力信号の論理レベルはハイレベルからローレベルに変化する。これにより、第 3 のフリップフロップ回路 4 4 3 はセットされ、出力信号 Q 1 の論理レベルがローレベルからハイレベルに変化する。また、時点 t 2 から時点 t 3 までの期間中、第 1 のパルス幅制御信号 P W C 1 の論理レベルがローレベルの状態が継続する。これにより、時点 t 2 から時点 t 3 の期間中、第 1 の走査信号 G L 1 の論理レベルはハイレベルとなる。

10

【 0 0 9 2 】

次に、2 行目のゲートバスライン G L 2 に対応する第 2 の走査信号生成回路 5 4 に着目する。上記出力信号 Q 1 の論理レベルがローレベルからハイレベルに変化すると、N 型 M O S トランジスタ 5 4 2 はオフ状態になる（時点 t 2）。この状態は時点 t 7 まで継続するが、この期間中には、第 4 のスイッチ回路 5 4 1 からの出力信号の論理レベルは第 2 のパルス幅制御信号 P W C 2 の論理レベルと同じになる。従って、時点 t 4 になると、第 4 のスイッチ回路 5 4 1 からの出力信号の論理レベルはハイレベルからローレベルに変化する。これにより、第 4 のフリップフロップ回路 5 4 3 はセットされ、出力信号 Q 2 の論理レベルがローレベルからハイレベルに変化する。また、時点 t 4 から時点 t 6 までの期間中、第 2 のパルス幅制御信号 P W C 2 の論理レベルがローレベルの状態が継続する。これにより、時点 t 4 から時点 t 6 の期間中、第 2 の走査信号 G L 2 の論理レベルはハイレベルとなる。

20

30

【 0 0 9 3 】

次に、3 行目のゲートバスライン G L 3 に対応する第 1 の走査信号生成回路 4 4 に着目する。上記出力信号 Q 2 の論理レベルがローレベルからハイレベルに変化すると、N 型 M O S トランジスタ 4 4 2 はオフ状態になる（時点 t 4）。この状態は時点 t 8 まで継続するが、この期間中には、第 3 のスイッチ回路 4 4 1 からの出力信号の論理レベルは第 1 のパルス幅制御信号 P W C 1 の論理レベルと同じになる。従って、時点 t 7 になると、第 3 のスイッチ回路 4 4 1 からの出力信号の論理レベルはハイレベルからローレベルに変化する。これにより、第 3 のフリップフロップ回路 4 4 3 はセットされ、出力信号 Q 3 の論理レベルがローレベルからハイレベルに変化する。また、時点 t 7 には、第 1 の走査信号 G L 3 の論理レベルがローレベルからハイレベルに変化する。第 1 の走査信号 G L 3 は、図 9 に示すように、1 行目のゲートバスライン G L 1 に対応する第 1 の走査信号生成回路 4 4 内に設けられている第 3 のフリップフロップ回路 4 4 3 のリセット端子にも与えられる。従って、時点 t 7 になると、1 行目のゲートバスライン G L 1 に対応する第 1 の走査信号生成回路 4 4 内に設けられている第 3 のフリップフロップ回路 4 4 3 がリセットされ、出力信号 Q 1 の論理レベルがハイレベルからローレベルに変化する。

40

【 0 0 9 4 】

以上のようにして、各ゲートバスライン G L 1 ~ G L m に対応して設けられている第 1 および第 2 の走査信号生成回路 4 4、5 4 において、パルス幅制御信号（第 1 のパルス幅制御信号 P W C 1、第 2 のパルス幅制御信号 P W C 2）と、それぞれの前行のゲートバス

50

ラインに対応して設けられている第1の走査信号生成回路44内の第3のフリップフロップ回路443または第2の走査信号生成回路54内の第4のフリップフロップ回路543からの出力信号とに基づいて、第1または第2の走査信号GL1~GLmと出力信号Q1~Qmとが生成される。また、各ゲートバスラインGL1~GLmに対応して設けられている第3または第4のフリップフロップ回路443、543は、それぞれ行の次々行のゲートバスラインを選択する走査信号によってリセットされる。このようにして、図10に示すように、従来と同様に所定の期間ずつゲートバスラインGL1~GLmが1行ずつ順次を選択される。

【0095】

< 2. 4 効果 >

以上のように、本実施形態においても、上記第1の実施形態と同様、表示部600の一侧に奇数行目のゲートバスラインGL1、GL3、・・・、GLm-1を選択するための第1のゲートドライバ400が設けられ、表示部600の他側に偶数行目のゲートバスラインGL2、GL4、・・・、GLmを選択するための第2のゲートドライバ500が設けられている。第1および第2のゲートドライバ400、500内の各走査信号生成回路44、54には、表示制御回路200から送られる第1または第2のパルス幅制御信号PWC1またはPWC2と、前行の走査信号生成回路内のフリップフロップ回路からの出力信号と、次々行の走査信号とが与えられる。そして、それらの信号に基づいて、各走査信号生成回路において第1または第2の走査信号GL1~GLmが生成される。

【0096】

このように、本実施形態においても、ゲートドライバ内のシフトレジスタを動作させるために従来必要とされていたクロック信号等が不要となる。これにより、ゲートドライバを動作させるためのクロック信号等の制御信号を削減しつつ、表示部600の両側に設けられたゲートドライバ(第1のゲートドライバ400および第2のゲートドライバ500)を動作させることができる。その結果、回路規模が削減され、装置の小型化が可能となる。

【0097】

なお、本実施形態においては、第1のゲートドライバ400からの出力信号を第2のゲートドライバ500に与えるために、あるいは、第2のゲートドライバ500からの出力信号を第1のゲートドライバ400に与えるために、ゲートバスラインGL1~GLmとは異なる信号線が用いられている。これについては、専用線を備えてもよいし、表示上の不具合等が生じないのであれば既存の信号線を用いてもよい。

【0098】

また、上記第1の実施形態と同様に、表示部600の両側に設けられているゲートドライバ内のバッファ回路をソースバスラインSL1~SLnの延びる方向に直列に接続された2個のインバータ回路によって構成することによって、走査信号線間の距離をより小さくすることができ、より装置の小型化や狭額縁化が可能となる。

【0099】

< 3. 変形例 >

次に変形例について説明する。図11は、変形例に係るアクティブマトリクス型液晶表示装置の全体構成図を示すブロック図である。上記各実施形態とは異なり、第1のゲートドライバ400および第2のゲートドライバ500には、バッファ回路が設けられていない。また、上記各実施形態と比べると、第1のゲートドライバ400および第2のゲートドライバ500を動作させるために表示制御回路200から出力される制御信号の数が多くなっている。

【0100】

図12は、この液晶表示装置の要部の詳細な構成を示すブロック図である。本変形例においては、第1の走査信号生成回路45には、レベルシフタ451とセトリセット型のフリップフロップ回路452とインバータ回路453とが設けられている。同様に、第2の走査信号生成回路55には、レベルシフタ551とセトリセット型のフリップフロップ

10

20

30

40

50

ブ回路 5 5 2 とインバータ回路 5 5 3 とが設けられている。なお、本変形例においては、各走査信号生成回路 4 5、5 5 内のレベルシフタ 4 5 1、5 5 1 によって、表示制御回路 2 0 0 から第 1 または第 2 のゲートドライバ 4 0 0、5 0 0 に与えられる駆動電圧が高められている。

【 0 1 0 1 】

各走査信号生成回路 4 5、5 5 では、第 1 または第 2 のパルス幅制御信号 P W C 1、P W C 2 と、第 1 または第 2 のパルス制御反転信号 P W C B 1、P W C B 2 と、前行のゲートバスラインに対応する走査信号生成回路内のフリップフロップ回路からの出力信号とに基づいて、第 1 または第 2 の走査信号 G L 1 ~ G L m が生成される。また、各走査信号生成回路 4 5、5 5 内のフリップフロップ回路 4 5 2、5 5 2 は、次々行のゲートバスラインを選択するための走査信号によってリセットされる。なお、ゲートスタートパルス信号 G S P については、1 行目のゲートバスライン G L 1 に対応する走査信号生成回路 4 5 に直接与えられるのではなく、レベルシフタ L S を介して走査信号生成回路 4 5 に与えられる。

10

【 0 1 0 2 】

以上のような構成において、図 1 3 に示すように、第 1 のゲートドライバ 4 0 0 には、ゲートスタートパルス信号 G S P と第 1 のパルス幅制御信号 P W C 1 と第 1 のパルス幅制御反転信号 P W C B 1 とが与えられ、第 2 のゲートドライバ 5 0 0 には、第 2 のパルス幅制御信号 P W C 1 と第 2 のパルス幅制御反転信号 P W C B 2 とが与えられる。これにより、上記各実施形態と同様、各ゲートバスライン G L 1 ~ G L m が 1 水平走査期間ずつ順次に選択される。このように、本変形例によっても、回路規模が削減され、装置が小型化される。

20

【 0 1 0 3 】

< 4 . その他 >

上記各実施形態においては、アクティブマトリクス型液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。例えば、アクティブマトリクス型の有機 E L 表示装置にも適用することができる。

【 0 1 0 4 】

また、本発明は、ドライバモノリシック型の表示装置にもそれ以外の表示装置にも適用することができるが、ドライバモノリシック型の表示装置に好適である。

30

【図面の簡単な説明】

【 0 1 0 5 】

【図 1】本発明の第 1 の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【図 2】上記第 1 の実施形態における要部の詳細な構成を示すブロック図である。

【図 3】上記第 1 の実施形態におけるフリップフロップ回路の構成を示す回路図である。

【図 4】上記第 1 の実施形態におけるアナログスイッチの構成を示す回路図である。

【図 5】上記第 1 の実施形態におけるインバータ回路の構成を示す回路図である。

【図 6】上記第 1 の実施形態におけるバッファ回路のレイアウトを示す図である。

【図 7】上記第 1 の実施形態における信号波形図である。

40

【図 8】本発明の第 2 の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【図 9】上記第 2 の実施形態における要部の詳細な構成を示すブロック図である。

【図 1 0】上記第 2 の実施形態における信号波形図である。

【図 1 1】変形例に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【図 1 2】上記変形例における要部の詳細な構成を示すブロック図である。

【図 1 3】上記変形例における信号波形図である。

【図 1 4】従来のアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

50

【図 1 5】従来例におけるゲートドライバの詳細な構成を示すブロック図である。

【図 1 6】従来例における信号波形図である。

【図 1 7】従来例におけるバッファ回路のレイアウトを示す図である。

【図 1 8】従来例の別の例におけるバッファ回路のレイアウトを示す図である。

【図 1 9】従来例において、液晶表示装置を携帯電話等の電子機器に適用した場合について説明するための図である。

【図 2 0】従来例において、ゲートドライバが表示部の左右両側にある場合の全体構成を示すブロック図である。

【図 2 1】従来例において、ゲートドライバが表示部の左右両側にある場合の一側のゲートドライバの詳細な構成を示すブロック図である。

10

【図 2 2】従来例において、ゲートドライバが表示部の左右両側にある場合の他側のゲートドライバの詳細な構成を示すブロック図である。

【図 2 3】従来例において、ゲートドライバが表示部の左右両側にある場合の信号波形図である。

【図 2 4】従来例において、ゲートドライバが表示部の左右両側にある場合のバッファ回路のレイアウトを示す図である。

【符号の説明】

【0 1 0 6】

4 0 ... 第 1 の走査信号生成回路群

4 1 ... 第 1 のバッファ回路群

20

4 2 ... 第 1 の走査信号生成回路

4 3 ... バッファ回路

5 0 ... 第 2 の走査信号生成回路群

5 1 ... 第 2 のバッファ回路群

5 2 ... 第 2 の走査信号生成回路

5 3 ... バッファ回路

1 0 0 ... アクティブマトリクス基板

2 0 0 ... 表示制御回路

4 0 0 ... 第 1 のゲートドライバ

5 0 0 ... 第 2 のゲートドライバ

30

6 0 0 ... 表示部

F F 1 ~ F F m ... セットリセット型フリップフロップ回路

G L 1 ~ G L m ... ゲートバスライン (走査信号線)

S L 1 ~ S L n ... ソースバスライン (映像信号線)

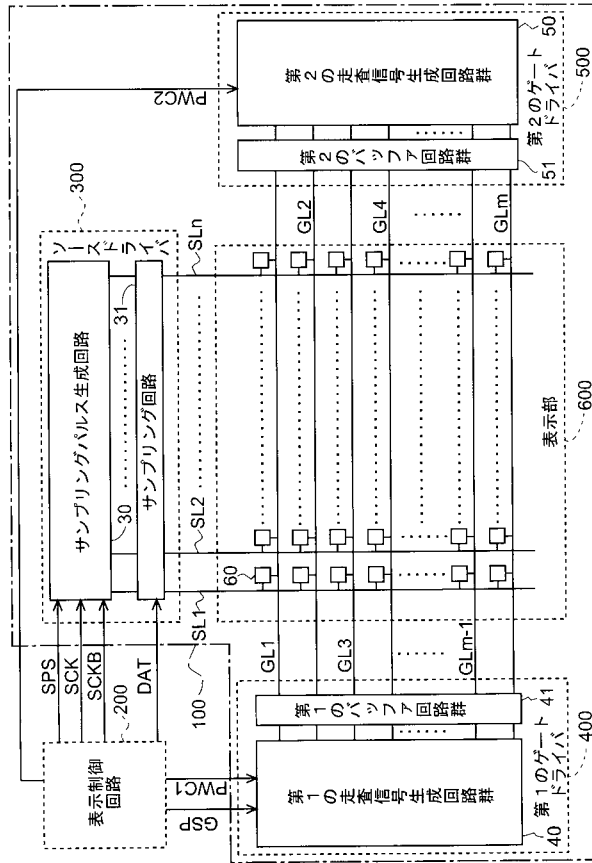
S W 1 ~ S W m ... アナログスイッチ

I N V 1 ~ I N V m ... インバータ回路

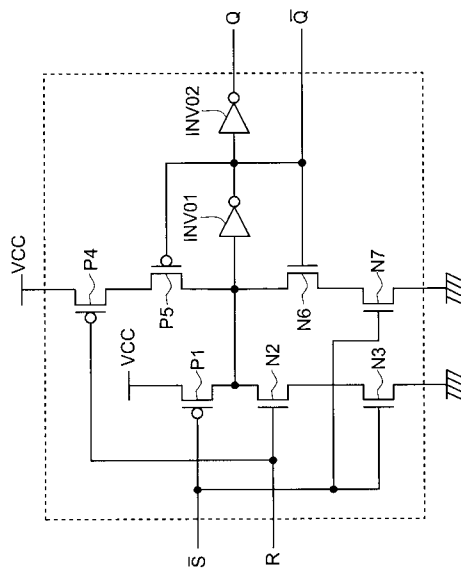
I N V 1 1 ~ I N V m 1 ... インバータ回路

I N V 1 2 ~ I N V m 2 ... インバータ回路

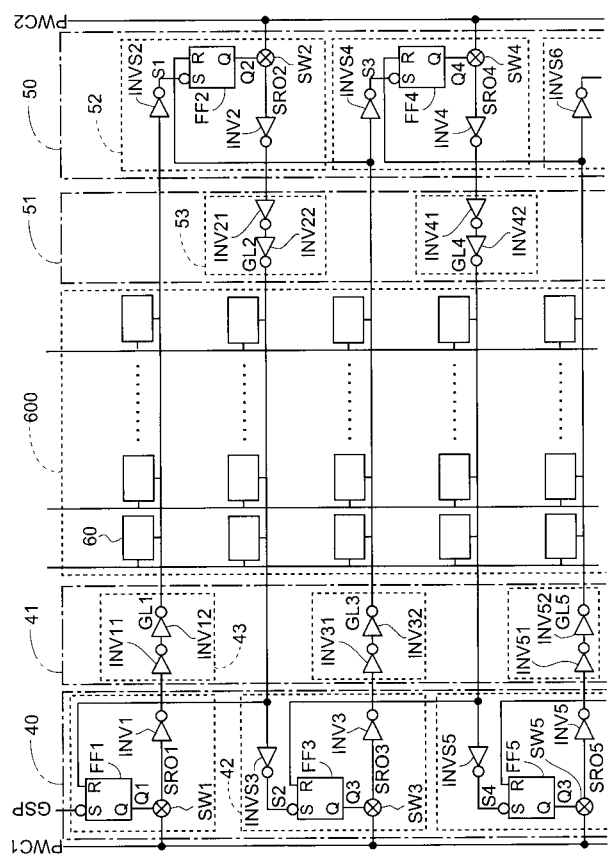
【図 1】



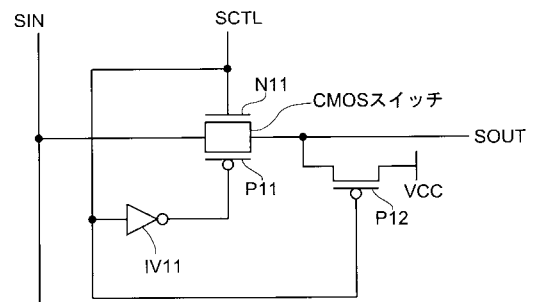
【図 3】



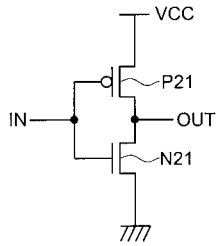
【図 2】



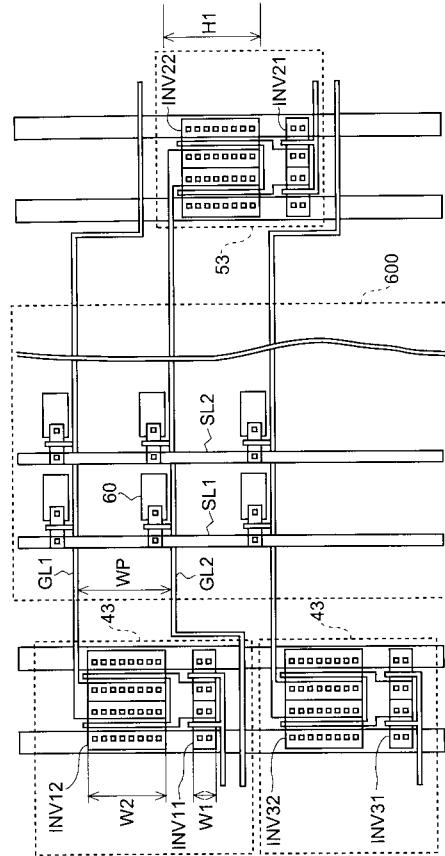
【図 4】



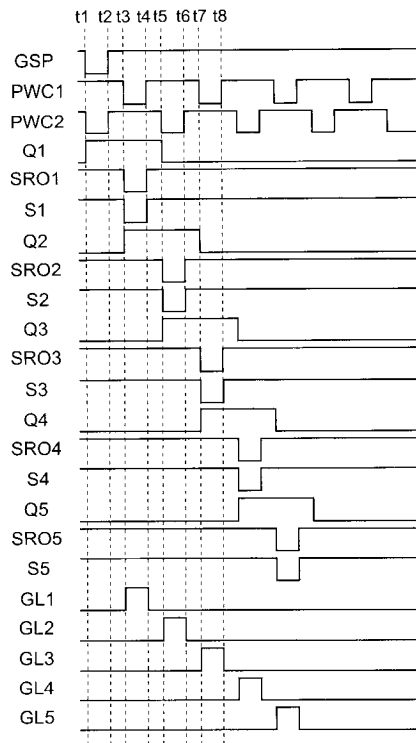
【図 5】



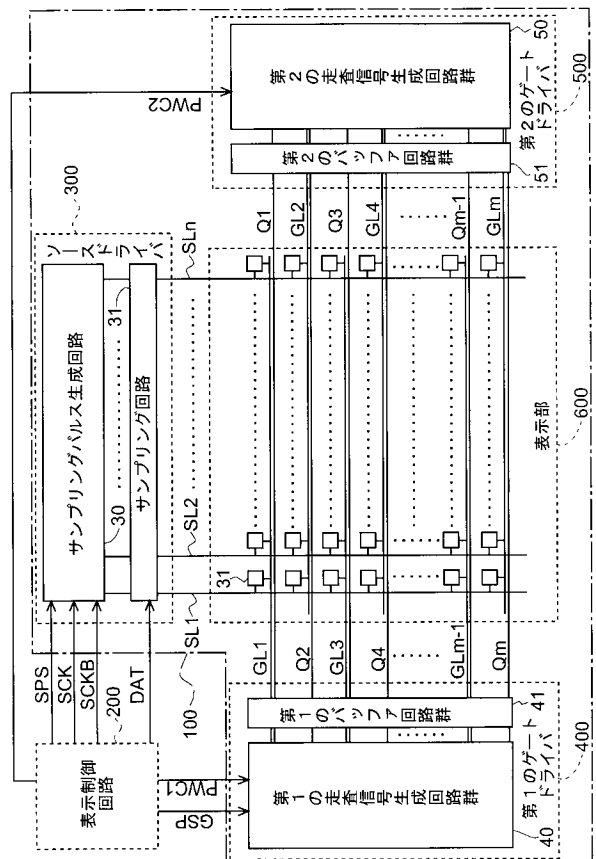
【図 6】



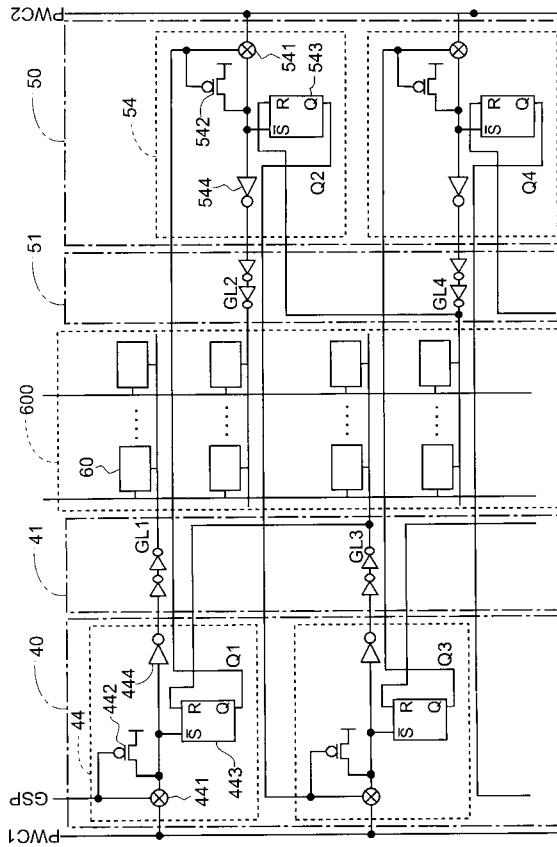
【図 7】



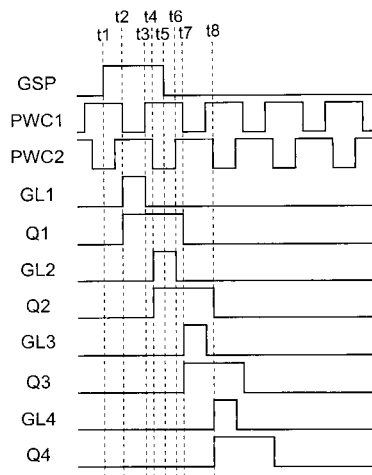
【図 8】



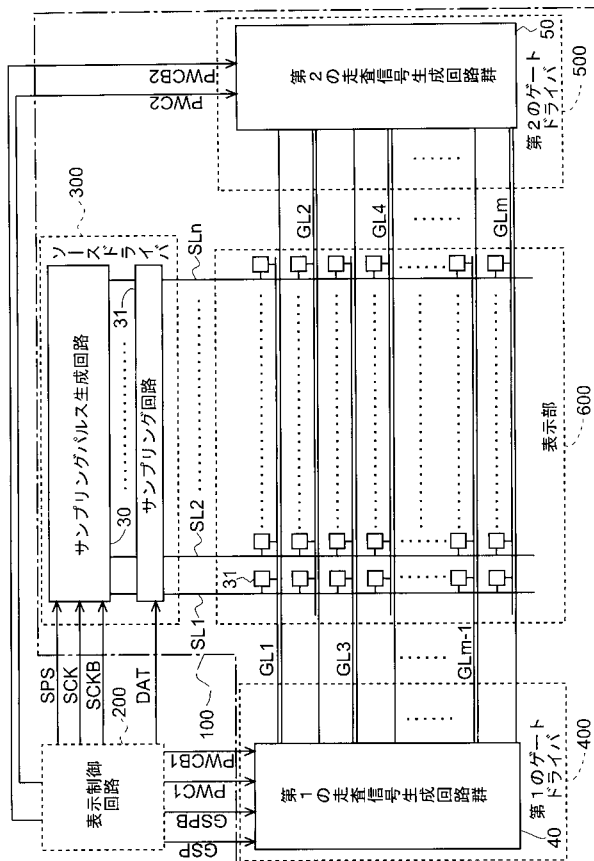
【図 9】



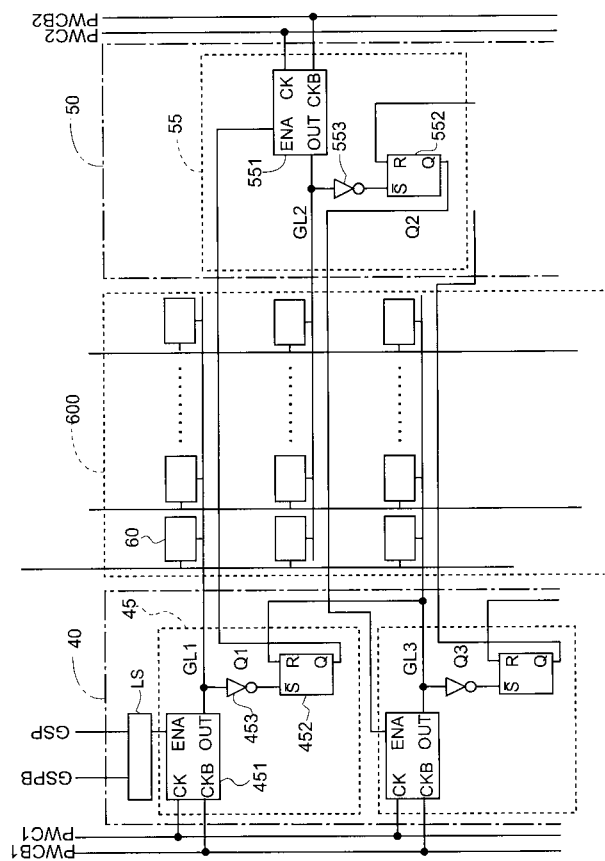
【図 10】



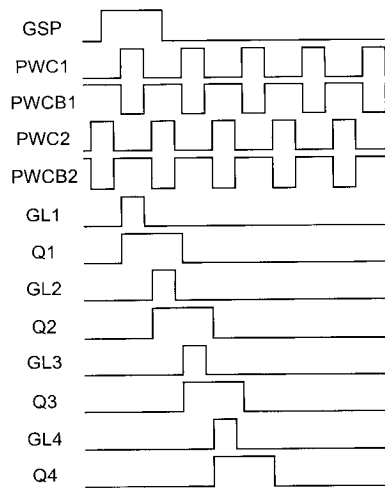
【図 11】



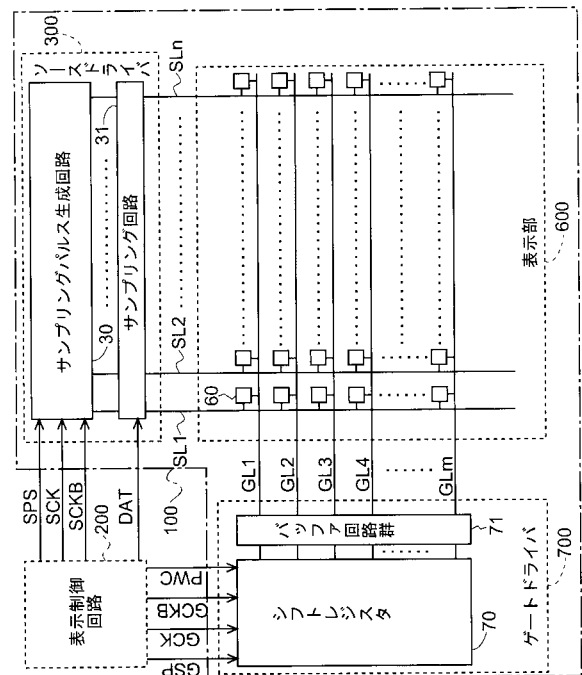
【図 12】



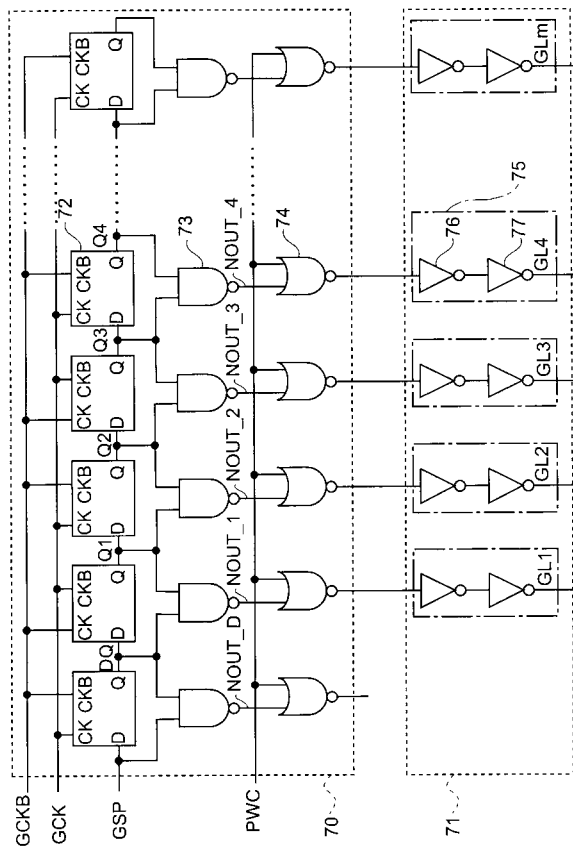
【図 13】



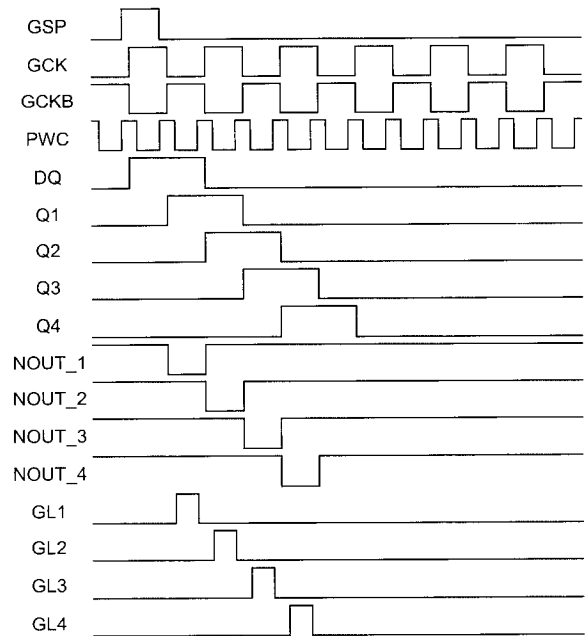
【図 14】



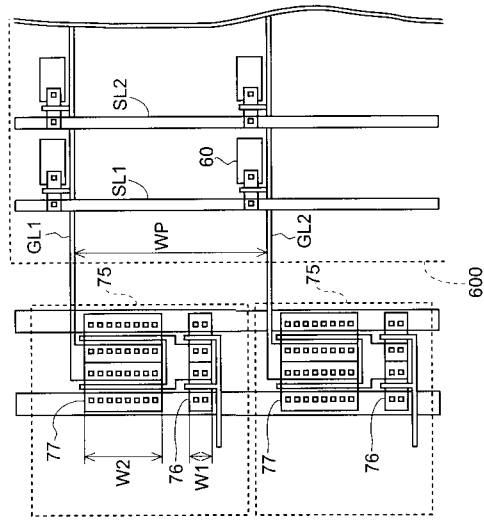
【図 15】



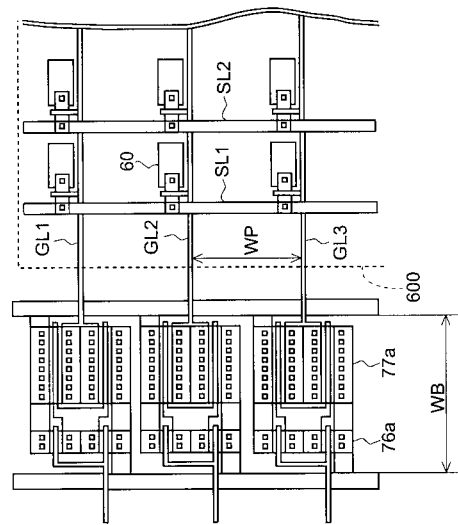
【図 16】



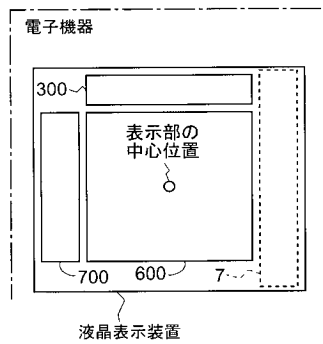
【 図 1 7 】



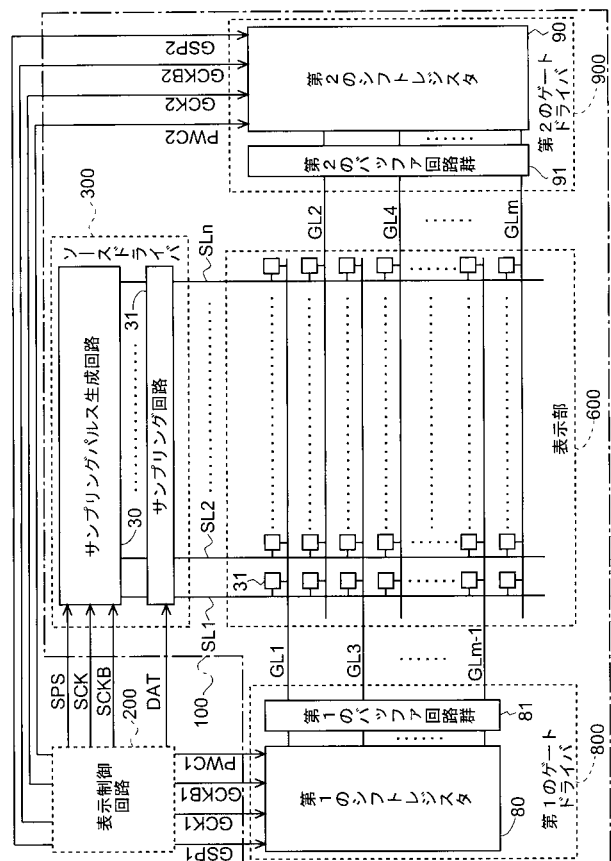
【 図 1 8 】



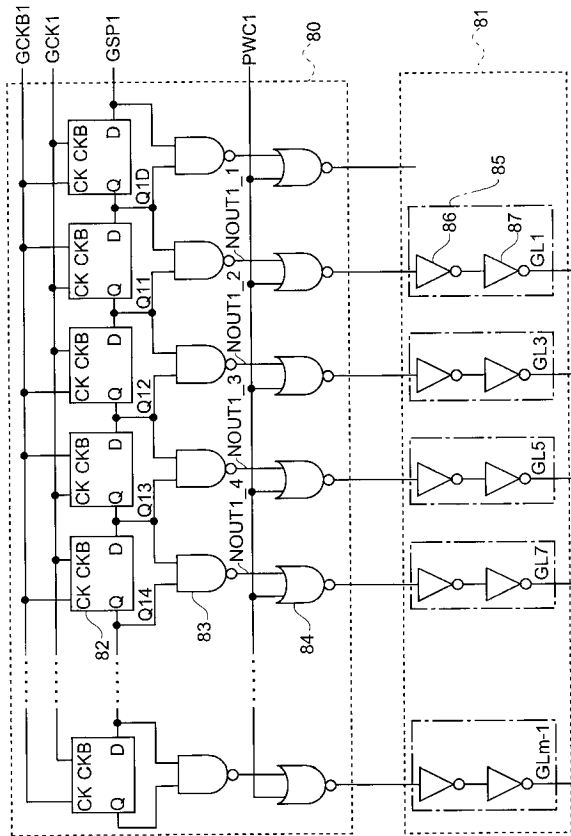
【 図 1 9 】



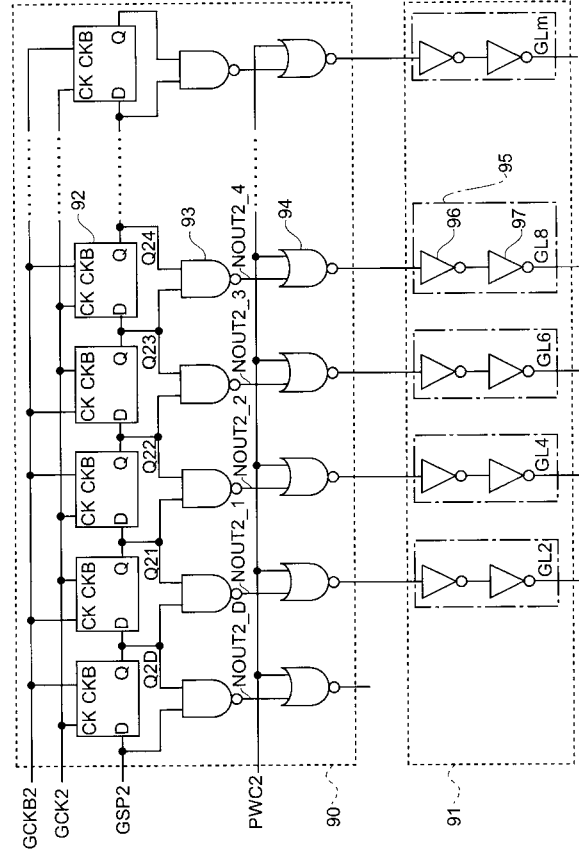
【 図 2 0 】



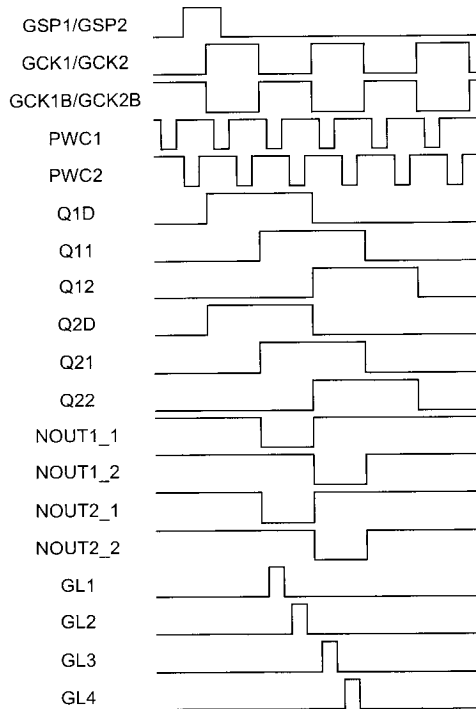
【図 2 1】



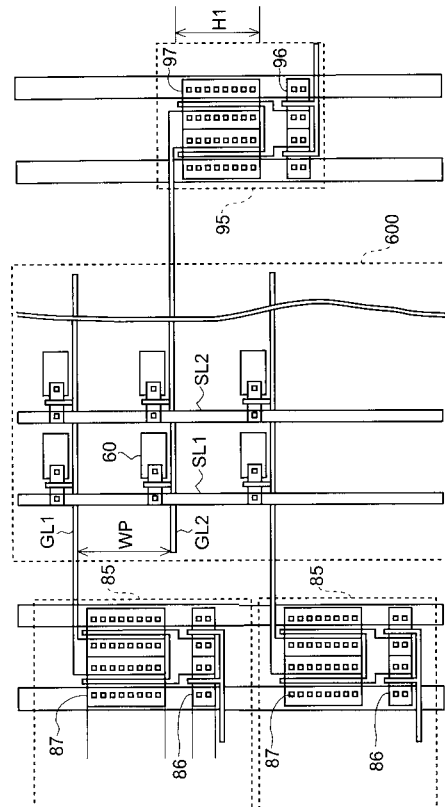
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0

F ターム(参考) 2H093 NA16 NA31 NA41 NC09 NC11 NC18 NC21 NC27 NC34 ND42
5C006 AC22 AF42 AF71 BB16 BC02 BC03 BC22 BF06 BF24 BF25
BF26 BF27 FA41
5C080 AA10 BB05 DD22 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	有源矩阵基板和使用其的显示装置		
公开(公告)号	JP2006337710A	公开(公告)日	2006-12-14
申请号	JP2005162209	申请日	2005-06-02
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	鷲尾一 山口尚宏 村上祐一郎		
发明人	鷲尾 一 山口 尚宏 村上 祐一郎		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.622.Q G09G3/20.622.B G09G3/20.621.M G09G3/20.621.A G02F1/133.550 G09G3/20.680.G		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA41 2H093/NC09 2H093/NC11 2H093/NC18 2H093/NC21 2H093/NC27 2H093/NC34 2H093/ND42 5C006/AC22 5C006/AF42 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC22 5C006/BF06 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF27 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZF59		
代理人(译)	岛田彰		
其他公开文献	JP4671187B2		
外部链接	Espacenet		

摘要(译)

使用有源矩阵基板的液晶显示装置小型化。 解决方案：第一栅极驱动器400设置在显示部分600的一侧，第二栅极驱动器500设置在另一侧。从第一栅极驱动器400输出的第一扫描信号GL 1，GL 3，...，GLm-1选择奇数行的栅极总线并操作第二栅极驱动器500。另一方面，从第二栅极驱动器500输出的第二扫描信号GL 2，GL 4，...，GLm选择偶数行的栅极总线并操作第一栅极驱动器400。第一栅极驱动器400中的缓冲电路43和第二栅极驱动器500中的缓冲电路53在显示部分600的左侧和右侧交错，并且每个缓冲电路中的反相器电路沿源极总线延伸的方向布置。串联连接。 .The

