

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-184310

(P2006-184310A)

(43) 公開日 平成18年7月13日(2006.7.13)

(51) Int.Cl.		F I		テーマコード (参考)
GO2F	1/1343	(2006.01)	GO2F 1/1343	2H090
GO2F	1/1337	(2006.01)	GO2F 1/1337 500	2H092

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号	特願2004-374606 (P2004-374606)	(71) 出願人	000001443
(22) 出願日	平成16年12月24日 (2004.12.24)		カシオ計算機株式会社
			東京都渋谷区本町1丁目6番2号
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

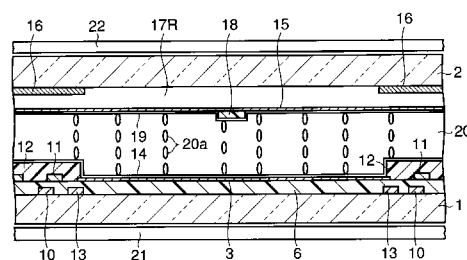
(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【課題】各画素の液晶分子を、書込み電圧の印加により規則的に倒れ配向させ、むらの無い良好な画像を表示することができる垂直配向型の液晶表示素子を提供する。

【解決手段】一方の基板2の電極15上に複数の画素の中心部にそれぞれ対応させて、一对の基板1, 2の電極3, 15間に電圧を印加したときの液晶層20の層厚方向の誘電率とは異なる誘電率を有する誘電体膜18を設けた。

【選択図】図2



【特許請求の範囲】

【請求項 1】

予め定めた間隙を存して対向配置された一对の基板と、前記一对の基板の互いに対向する内面それぞれに設けられ、互いに対向する領域によりマトリックス状に配列する複数の画素を形成する電極と、前記一对の基板のうち、一方の基板の前記電極上に前記複数の画素の中心部にそれぞれ対応させて設けられた誘電体膜と、前記一对の基板の内面にそれぞれ前記電極及び誘電体膜を覆って設けられた垂直配向膜と、前記一对の基板間の間隙に封入された負の誘電異方性を有する液晶層とからなり、前記誘電体膜は、前記一对の基板の電極間に電圧を印加したときの前記液晶層の層厚方向の誘電率とは異なる誘電率を有していることを特徴とする液晶表示素子。

10

【請求項 2】

誘電体膜は、電極間に電圧を印加したときの液晶層の層厚方向の誘電率よりも小さい誘電率を有する誘電性材料により形成されていることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 3】

誘電体膜は、液晶の分子長軸に垂直な方向の誘電率よりも小さい誘電率を有する誘電性材料により形成されていることを特徴とする請求項 2 に記載の液晶表示素子。

【請求項 4】

誘電体膜は、液晶の分子長軸に垂直な方向の誘電率よりも小さく、前記液晶の分子長軸に平行な方向の誘電率よりも大きい誘電率を有する誘電性材料により形成されていることを特徴とする請求項 2 に記載の液晶表示素子。

20

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、垂直配向型の液晶表示素子に関する。

【背景技術】

【0002】

垂直配向型の液晶表示素子は、予め定めた間隙を存して対向配置された一对の基板と、前記一对の基板の互いに対向する内面それぞれに設けられ、互いに対向する領域によりマトリックス状に配列する複数の画素を形成する電極と、前記一对の基板の内面にそれぞれ前記電極を覆って設けられた垂直配向膜と、前記一对の基板間の間隙に封入された負の誘電異方性を有する液晶層とからなっている（特許文献 1 参照）。

30

【特許文献 1】特許第 2 5 6 5 6 3 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

前記垂直配向型の液晶表示素子は、複数の画素電極と対向電極とが互いに対向する領域からなる複数の画素毎に、前記電極間への書込み電圧の印加により液晶分子を垂直配向状態から倒れ配向させて画像を表示する。

【0004】

40

しかし、従来の垂直配向型液晶表示素子は、各画素の書込み電圧に応じた液晶分子の倒れ配向状態にばらつきがあり、表示むらを生じる。

【0005】

この発明は、各画素の液晶分子を、書込み電圧の印加により規則的に倒れ配向させ、むらの無い良好な画像を表示することができる垂直配向型の液晶表示素子を提供することを目的としたものである。

【課題を解決するための手段】

【0006】

この発明の液晶表示素子は、予め定めた間隙を存して対向配置された一对の基板と、前記一对の基板の互いに対向する内面それぞれに設けられ、互いに対向する領域によりマト

50

リックス状に配列する複数の画素を形成する電極と、前記一对の基板のうち、一方の基板の前記電極上に前記複数の画素の中心部にそれぞれ対応させて設けられた誘電体膜と、前記一对の基板の内面にそれぞれ前記電極及び誘電体膜を覆って設けられた垂直配向膜と、前記一对の基板間の隙間に封入された負の誘電異方性を有する液晶層とからなり、前記誘電体膜は、前記一对の基板の電極間に電圧を印加したときの前記液晶層の層厚方向の誘電率とは異なる誘電率を有していることを特徴とする。

【0007】

この発明の液晶表示素子において、前記誘電体膜は、前記電極間に電圧を印加したときの前記液晶層の層厚方向の誘電率よりも小さい誘電率を有する誘電性材料により形成するのが望ましい。

10

【0008】

その場合、前記誘電体膜は、液晶の分子長軸に垂直な方向の誘電率よりも小さい誘電率を有する誘電性材料により形成するのが好ましい。

【0009】

さらに、前記誘電体膜は、前記液晶の分子長軸に垂直な方向の誘電率よりも小さく、前記液晶の分子長軸に平行な方向の誘電率よりも大きい誘電率を有する誘電性材料により形成するのが好ましい。

【発明の効果】

【0010】

この発明の液晶表示素子は、一方の基板の電極上に複数の画素の中心部にそれぞれ対応させて、一对の基板の電極間に電圧を印加したときの液晶層の層厚方向の誘電率とは異なる誘電率を有する誘電体膜を設けているため、前記電極間への書込み電圧の印加により、これらの電極間に、前記誘電体膜に対応する画素中心部の電圧値が前記誘電体膜の無い部分の電圧値よりも低い電界が発生し、各画素の液晶分子が、前記画素の周縁部から画素中心部に向かって倒れ込むように配向する。

20

【0011】

したがって、この液晶表示素子によれば、各画素の液晶分子を、書込み電圧の印加により画素周縁部から画素中心部に向かって規則的に倒れ配向させ、むらの無い良好な画像を表示することができる。

【0012】

この発明の液晶表示素子において、前記誘電体膜は、前記電極間に電圧を印加したときの前記液晶層の層厚方向の誘電率よりも小さい誘電率を有する誘電性材料により形成するのが望ましく、このようにすることにより、前記誘電体膜を形成するための誘電性材料を容易に選ぶことができる。

30

【0013】

その場合、前記誘電体膜は、液晶の分子長軸に垂直な方向の誘電率よりも小さい誘電率を有する誘電性材料により形成するのが望ましく、このようにすることにより、各画素の液晶分子を、前記画素の周縁部から前記画素中心部に向かって規則的に倒れ配向させ、良好な画像を表示することができる。

【0014】

さらに、前記誘電体膜は、前記液晶の分子長軸に垂直な方向の誘電率よりも小さく、前記液晶の分子長軸に平行な方向の誘電率よりも大きい誘電率を有する誘電性材料により形成するのが好ましく、このようにすることにより、各画素の液晶分子をより規則的に倒れ配向させ、さらに良好な画像を表示することができる。

40

【発明を実施するための最良の形態】

【0015】

図1～図7はこの発明の一実施例を示しており、図1は液晶表示素子の一方の基板の1つの画素部の平面図、図2及び図3は図1のII-II線及びIII-III線に沿う液晶表示素子の断面図である。

【0016】

50

この液晶表示素子は、図 1 ~ 図 3 に示したように、予め定めた間隙を存して対向配置された一対の透明基板 1, 2 と、前記一対の基板 1, 2 の互いに対向する内面それぞれに設けられ、互いに対向する領域によりマトリックス状に配列する複数の画素を形成する透明電極 3, 15 と、前記一対の基板 1, 2 のうち、一方の基板の電極上に前記複数の画素の中心部にそれぞれ対応させて設けられた誘電体膜 18 と、前記一対の基板 1, 2 の内面にそれぞれ前記電極 3, 15 及び誘電体膜 18 を覆って設けられた垂直配向膜 14, 19 と、前記一対の基板 1, 2 間の間隙に封入された負の誘電異方性を有する液晶層 20 とからなっている。

【0017】

この液晶表示素子は、TFT（薄膜トランジスタ）4 をアクティブ素子としたアクティブマトリックス液晶表示素子であり、一方の基板 1 の内面に設けられた電極 3 は、行方向及び列方向にマトリックス状に配列する複数の画素電極、他方の基板 2 の内面に設けられた電極 15 は、前記複数の画素電極 3 に対向する一枚膜状の対向電極である。

【0018】

そして、前記一方の基板 1 の内面には、前記複数の画素電極 3 にそれぞれ対応させてその近傍に設けられ、対応する画素電極 3 にそれぞれ接続された複数の TFT 4 と、各画素電極行の一侧及び各画素電極列の一侧にそれぞれ沿わせて設けられ、その行及び列の TFT 4 にゲート信号及びデータ信号を供給する複数のゲート配線 10 及びデータ配線 11 が形成されている。

【0019】

以下、前記画素電極 3 と TFT 4 とゲート配線 10 及びデータ配線 11 を設けた一方の基板を TFT 基板と言い、対向電極 15 及び誘電体膜 18 を設けた他方の基板 2 を対向基板と言う。

【0020】

前記複数の TFT 4 は、前記 TFT 基板 1 の基板面に形成されたゲート電極 5 と、前記ゲート電極 5 を覆って前記画素電極 3 の配列領域の全域に形成された透明なゲート絶縁膜 6 と、前記ゲート絶縁膜 6 の上に前記ゲート電極 5 と対向させて形成された i 型半導体膜 7 と、前記 i 型半導体膜 7 のチャンネル領域を挟んでその一侧部と他側部の上に図示しない n 型半導体膜を介して形成されたドレイン電極 8 及びソース電極 9 とからなっている。

【0021】

なお、前記ゲート配線 10 は、前記 TFT 基板 1 の基板面に前記 TFT 4 のゲート電極 5 と一体に形成されており、前記データ配線 11 は、前記ゲート絶縁膜 6 の上に前記 TFT 4 のドレイン電極 8 と一体に形成されている。

【0022】

また、前記画素電極 3 は、前記ゲート絶縁膜 6 の上に形成されており、前記 TFT 4 のソース電極 9 は、前記ゲート絶縁膜 6 の上に延長されて前記画素電極 3 の端部に接続されている。

【0023】

そして、前記 TFT 4 とデータ配線 11 は、前記 TFT 基板 1 の内面に各画素電極 3 に対応する部分を除いて形成されたオーバーコート絶縁膜 12 により覆われており、その上に前記垂直配向膜 14 が形成されている。

【0024】

さらに、前記 TFT 基板 1 の内面には、その基板面に前記複数の画素電極 3 の周縁部にそれぞれ対応させて、前記画素電極 3 の周縁部との間に前記ゲート絶縁膜 6 を誘電体層とする補償容量を形成する容量電極 13 が設けられている。この実施例では、前記容量電極 13 を、前記画素電極 3 の TFT 4 に隣接する部分を除く全周にわたって設けている。

【0025】

前記複数の画素電極 3 の周縁部にそれぞれ対応する前記容量電極 13 は、各画素電極行毎に、前記ゲート配線 10 側とは反対側の端部において一体につながっており、さらに、各行の容量電極 13 は、複数の画素電極 3 の配列領域の外側の一端または両端に前記デー

10

20

30

40

50

タ配線 11 と平行に設けられた図示しない容量電極接続配線に共通接続されている。

【0026】

また、この液晶表示素子は、カラー画像表示素子であり、前記対向基板 2 の内面に、前記複数の画素電極 3 と対向電極 15 とが互いに対向する領域からなる複数の画素の間の領域に対向する格子膜状のブラックマスク 16 と、各画素列にそれぞれ対応する赤、緑、青の 3 色のカラーフィルタ 17R, 17G, 17B が設けられ、前記カラーフィルタ 17R, 17G, 17B の上に前記対向電極 15 が形成されている。

【0027】

そして、前記誘電体膜 18 は、前記対向電極 15 の上に、前記複数の画素の中心部にそれぞれ対応させて、例えば方形のドット状に形成されており、その上に垂直配向膜 19 が形成されている。 10

【0028】

前記一对の基板 1, 2 は、前記複数の画素電極 3 の配列領域を囲む図示しない枠状のシール材を介して接合されており、これらの基板 1, 2 間の前記シール材で囲まれた領域に液晶層 20 が封入されている。

【0029】

この液晶層 20 は、負の誘電異方性を有するネマティック液晶からなっており、前記誘電体膜 18 は、前記液晶層 20 の前記一对の基板 1, 2 の電極 3, 15 間に電圧を印加したときの前記液晶層 20 の層厚方向の誘電率とは異なる誘電率を有する誘電性材料により形成されている。この場合、前記電極 3, 15 間に印加する電圧は、各画素に書き込まれる複数の階調に対応する電圧のうち、最も高い電圧が用いられる。 20

【0030】

前記電極 3, 15 間に電圧を印加したときの前記液晶層 20 の層厚方向の誘電率を ε_L 、前記誘電体膜 18 の誘電率を ε_F とすると、これらの誘電率 ε_L , ε_F は、 $\varepsilon_F < \varepsilon_L$ の関係にある。

【0031】

すなわち、この液晶表示素子では、前記誘電体膜 18 の誘電率 ε_F を、前記電極 3, 15 間に電圧を印加したときの前記液晶層 20 の層厚方向の誘電率 ε_L よりも小さい誘電率を有する誘電性材料により形成している。

【0032】

なお、前記負の誘電異方性を有する液晶の分子長軸に垂直な方向の誘電率 $\varepsilon_{\perp}$ と前記分子軸に平行な方向の誘電率 $\varepsilon_{\parallel}$ は、 $\varepsilon_{\perp} < \varepsilon_{\parallel}$ の関係にあるため、この実施例では、前記誘電体膜 18 を、前記液晶の分子長軸に垂直な方向の誘電率 $\varepsilon_{\perp}$ よりも小さい誘電率を有する誘電性材料により形成している。 30

【0033】

さらに、この実施例では、前記誘電体膜 18 を、前記液晶の分子長軸に垂直な方向の誘電率 $\varepsilon_{\perp}$ よりも小さく、前記液晶の分子長軸に平行な方向の誘電率よりも大きい誘電率を有する誘電性材料により形成している。

【0034】

すなわち、前記誘電体膜 18 の誘電率 ε_F と前記液晶の分子軸に垂直な方向及び平行な方向の誘電率の誘電率 $\varepsilon_{\perp}$, $\varepsilon_{\parallel}$ とは、 40

$$\varepsilon_{\perp} < \varepsilon_F < \varepsilon_{\parallel}$$

の関係にある。

【0035】

前記液晶層 20 の液晶分子 20a は、前記一对の基板 1, 2 の内面にそれぞれ設けられた垂直配向膜 14, 19 の垂直配向性により、基板 1, 2 面に対して実質的に垂直な方向に分子軸を向けた垂直配向状態に配向している。

【0036】

また、前記 TFT 基板 1 は、図示しないが、その行方向の一端と列方向の一端とにそれぞれ、前記対向基板 2 の外方に突出する張出部を有しており、その行方向の張出部に複数 50

のゲート側ドライバ接続端子が配列形成され、列方向の張出部に複数のデータ側ドライバ接続端子が配列形成されている。

【0037】

そして、前記複数のゲート配線10は、前記行方向の張出部に導出されて前記複数のゲート側ドライバ接続端子にそれぞれ接続され、前記複数のデータ配線11は、前記列方向の張出部に導出されて前記複数のデータ側ドライバ接続端子にそれぞれ接続されており、前記容量電極接続配線は、前記行方向と列方向の張出部の一方または両方に導出され、その張出部の複数のドライバ接続端子のうちの基準電位端子に接続されている。

【0038】

さらに、前記TFT基板1の内面には、前記シール材による基板接合部の角部付近から前記行方向と列方向の張出部の一方または両方に導出されて前記ドライバ接続端子のうちの基準電位端子（容量電極接続配線が接続された端子と同じ端子でも別の基準電位端子でもよい）に接続された対向電極接続配線が設けられており、前記対向基板2の内面に設けられた対向電極15は、前記基板接合部において前記対向電極接続配線に接続され、この対向電極接続配線を介して前記基準電位端子に接続されている。

【0039】

また、前記一对の基板1, 2の外面にはそれぞれ偏光板21, 22がその透過軸を予め定めた方向に向けて配置されている。なお、この実施例では、前記偏光板21, 22をそれぞれの透過軸を実質的に互いに直交させて配置し、液晶表示素子にノーマリーブラックモードの表示を行なわせるようにしている。

【0040】

この液晶表示素子は、複数の画素毎に、前記画素電極3と対向電極15との間へ、表示すべき画像データに対応する電圧である書込み電圧の印加により液晶分子20aを垂直配向状態から倒れ配向させて画像を表示する。

【0041】

図4及び図5は前記液晶表示素子の液晶分子20aの倒れ配向状態を示す平面図及び断面図であり、前記液晶分子20aは、各画素毎に、前記書込み電圧の印加により、画素の周縁部から中心部に向かって倒れ込むように配向する。

【0042】

その場合、この液晶表示素子は、前記対向基板2の対向電極15上に複数の画素の中心部にそれぞれ対応させて、前記一对の基板1, 2の電極3, 15間に電圧を印加したときの液晶層20の層厚方向の誘電率 ϵ_{LC} とは異なる誘電率 ϵ_F を有する誘電体膜18を設けているため、前記電極3, 15間への書込み電圧の印加により、これらの電極3, 15間の液晶層に発生する電界は、前記誘電体膜18の無い領域に比べて、前記誘電体膜18に対応する画素中心部の領域が弱くなり、前記液晶層の電界強度分布は、前記図5に破線で示した等電位線で表され、液晶分子20aはその長軸を前記等電位線と平行な方向に向けて配向するため、各画素の液晶分子20aが、前記画素の周縁部から画素中心部に向かって倒れ込むように配向する。

【0043】

すなわち、この液晶表示素子は、前記対向電極15上に前記誘電体膜18を設けているため、前記液晶層20からなる容量（以下、液晶層容量という）を C_{LC} 、前記誘電体膜18からなる容量（以下、誘電体容量という）を C_F とすると、各画素の前記誘電体膜18に対応する中心部は、図6に示した前記誘電体容量 C_F と液晶容量 C_{LC} との直列接続回路と等価的に表される。

【0044】

ここで、前記電極3, 15間に印加された書込み電圧を V 、前記書込み電圧 V を印加したときの前記誘電体容量 C_F と液晶容量 C_{LC} のそれぞれの両端間電圧を V_F , V_{CL} とすると、前記誘電体容量 C_F の両端間電圧 V_F と、前記液晶容量 C_{LC} の両端間電圧 V_{CL} は、次式により表わされる。

【0045】

10

20

30

40

50

$$V_F = C_{LC} / (C_F + C_{LC}) \cdot V$$

$$V_{CL} = C_F / (C_F + C_{LC}) \cdot V$$

さらに、前記液晶層 20 の層厚（誘電体膜 18 が無い部分の層厚）を d 、前記誘電体膜 18 の膜厚を t 、画素電極 3 と対向電極 15 との間に印加された書込み電圧を V 、前記書込み電圧 V を印加したときの前記誘電体容量 C_F と液晶容量 C_{LC} のそれぞれの両端間電圧を V_F 、 V_{CL} とすると、前記誘電体容量 C_F の両端間電圧 V_F と前記液晶容量 C_{LC} の両端間電圧 V_{CL} は、次式により表される。

【0046】

$$V_F = \{ \epsilon_{LC} / (d - t) \} / \{ (\epsilon_F / t) + [\epsilon_{LC} / (d - t)] \} \cdot V$$

$$V_{LC} = \{ \epsilon_F / t \} / \{ (\epsilon_F / t) + [\epsilon_{LC} / (d - t)] \} \cdot V$$

10

このように、電極 3、15 間の前記誘電体膜 18 に対応する画素中心部の領域の液晶層に印加される電圧が低くなる。

【0047】

そして、1つの画素の液晶層における、前記誘電体膜が存在する領域と、存在しない領域のそれぞれについて、それぞれの電極表面からの距離に対する電位は、図 7 に示すように、前記誘電体膜が存在する領域の液晶層における電位勾配が小さく、そのため、1つの画素において、液晶層に印加される電圧による電位分布は、前述した図 5 の等電位線を示すこととなる。

【0048】

したがって、この液晶表示素子の 1つの画素において、前記書込み電圧の印加により前記電極 3、15 間に発生する電界は、前記誘電体膜 18 に対応する画素中心部の領域で各等電位面の間隔が画素中心部において広がった電位分布、すなわち、前記誘電体膜 18 に対応する画素中心部の領域に前記誘電体膜 18 に向かって立ち上がるピークをもった図 5 に破線で示したような等電位面をもち、各画素の液晶分子 20a は、前記等電位面に沿った方向に分子長軸を向けて配向する。

20

【0049】

そして、前記電極 3、15 間への電圧の印加による画素中心部の誘電体膜 18 が存在する領域の液晶分子 20a の倒れ方が、その周囲の誘電体膜 18 が存在しない領域に比べて少ないため、各画素の液晶分子 20a は、前記領域の周辺の液晶分子から倒れ始め、前記中心部の液晶分子は、その周辺から倒れ込むように配向した液晶分子 20a の相互の力により実質的に基板 1、2 面に対して垂直またはそれに近い角度で配向する。

30

【0050】

したがって、この液晶表示素子によれば、各画素の液晶分子を、書込み電圧の印加により画素周縁部から画素中心部に向かって規則的に倒れ配向させ、むらの無い良好な画像を表示することができる。

【0051】

また、この液晶表示素子は、前記誘電体膜 18 を、前記電極 3、15 間に電圧を印加したときの液晶層 20 の層厚方向の誘電率 ϵ_{LC} よりも小さい誘電率を有する誘電性材料により形成しており、このような誘電率を有する誘電性材料には多くの種類があるため、前記誘電体膜 18 を形成するための誘電性材料を容易に選ぶことができる。

40

【0052】

そして、この実施例では、前記誘電体膜 18 を、液晶の分子長軸に垂直な方向の誘電率 ϵ よりも小さい誘電率を有する誘電性材料により形成しているため、各画素の液晶分子 20a を、前記画素の周縁部から前記画素中心部に向かって規則的に倒れ配向させ、良好な画像を表示することができる。

【0053】

さらに、この実施例では、前記誘電体膜 18 を、前記液晶の分子長軸に垂直な方向の誘電率 ϵ よりも小さく、前記液晶の分子長軸に平行な方向の誘電率 ϵ よりも大きい誘電率を有する誘電性材料により形成しているため、各画素の液晶分子 20a をより規則的に倒れ配向させ、さらに良好な画像を表示することができる。

50

【 0 0 5 4 】

なお、上記実施例では、前記誘電体膜 18 を方形のドット状に形成しているが、この誘電体膜 18 は、方形に限らず、円形のドット状や、一方向に沿った直線状または環状に形成してもよい。

【 図面の簡単な説明 】

【 0 0 5 5 】

【 図 1 】 この発明の一実施例を示す液晶表示素子の一方の基板の 1 つの画素部の平面図。

【 図 2 】 図 1 の II - II 線に沿う液晶表示素子の断面図。

【 図 3 】 図 1 の III - III 線に沿う液晶表示素子の断面図。

【 図 4 】 前記液晶表示素子の液晶分子の倒れ配向状態を示す平面図。

10

【 図 5 】 前記液晶分子の倒れ配向状態を示す断面図。

【 図 6 】 前記液晶表示素子の誘電体膜に対応する画素中心部の等価図。

【 図 7 】 前記液晶表示素子の誘電体膜に対応する部分と前記誘電体膜の無い部分との対向基板側からの液晶層厚と、書込み電圧印加時の前記液晶層厚方向における電位分布とを示す図。

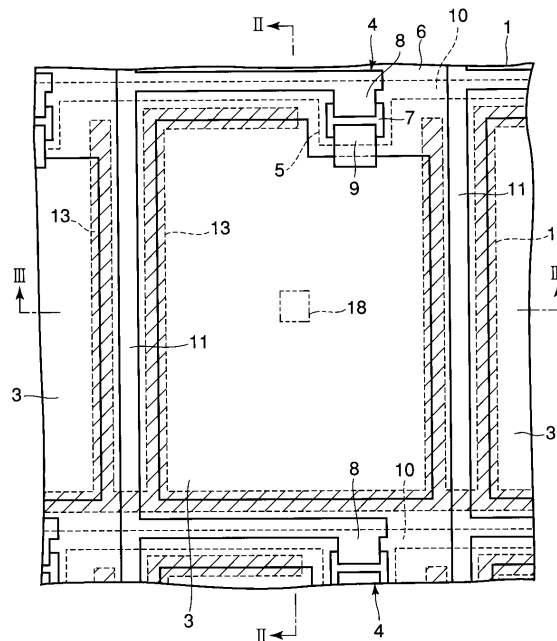
【 符号の説明 】

【 0 0 5 6 】

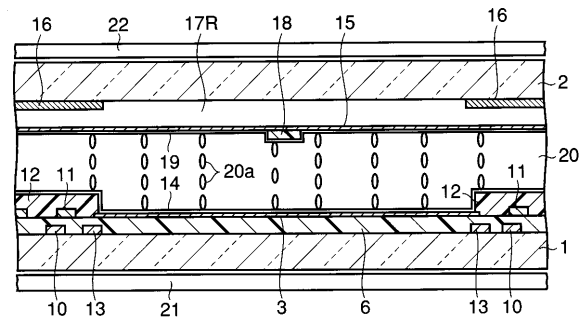
1, 2 ... 基板、3 ... 画素電極、4 ... T F T、5 ... ゲート電極、6 ... ゲート絶縁膜、7 ... i 型半導体膜、8 ... ドレイン電極、9 ... ソース電極、10 ... ゲート配線、11 ... データ配線、12 ... オーバーコート絶縁膜、13 ... 容量電極、14 ... 垂直配向膜、15 ... 対向電極、16 ... ブラックマスク、17 R, 17 G, 17 B ... カラーフィルタ、18 ... 誘電体膜、19 ... 垂直配向膜、20 ... 液晶層、20 a ... 液晶分子、21, 22 ... 偏光板。

20

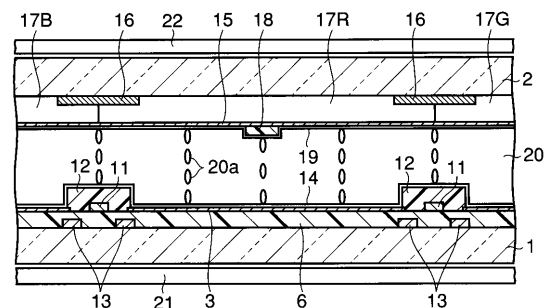
【 図 1 】



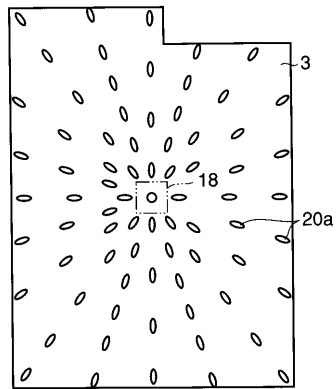
【 図 2 】



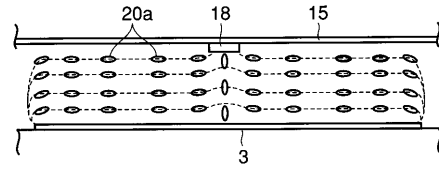
【 図 3 】



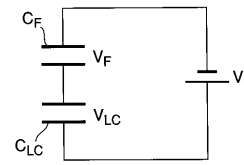
【図 4】



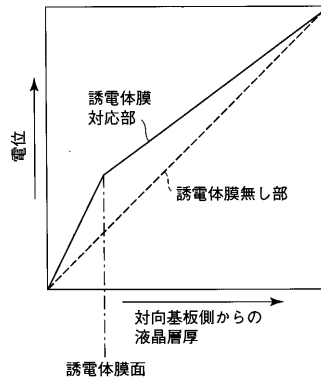
【図 5】



【図 6】



【図 7】



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 西野 利晴

東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内

F ターム(参考) 2H090 HA07 HB07Y HD14 LA01 LA04 MA01 MB14

2H092 GA18 HA04 HA07 JA24 NA01 NA04 PA02

专利名称(译)	液晶显示元件		
公开(公告)号	JP2006184310A	公开(公告)日	2006-07-13
申请号	JP2004374606	申请日	2004-12-24
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	西野利晴		
发明人	西野 利晴		
IPC分类号	G02F1/1343 G02F1/1337		
FI分类号	G02F1/1343 G02F1/1337.500 G02F1/1337		
F-TERM分类号	2H090/HA07 2H090/HB07Y 2H090/HD14 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MB14 2H092/GA18 2H092/HA04 2H092/HA07 2H092/JA24 2H092/NA01 2H092/NA04 2H092/PA02 2H290/AA33 2H290/BB75 2H290/CA46		
代理人(译)	河野 哲 中村诚		
其他公开文献	JP4645189B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种垂直取向型液晶显示元件，其中各个像素中的液晶分子通过施加写入电压以下降的方式规则地排列，并且可以显示没有不均匀的令人满意的图像。ŽSOLUTION：当在一对基板1和2的电极3和15之间施加电压时，介电常数不同于液晶层的层厚度方向上的另一介电常数的介电膜18设置在一个电极15上在分别对应于多个像素的中心部分的位置处的基板2。Ž

