

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2005-284210
(P2005-284210A)

(43) 公開日 平成17年10月13日(2005. 10. 13)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO2F 1/1368	GO2F 1/1368	2H092
GO2F 1/1345	GO2F 1/1345	5C094
GO9F 9/30	GO9F 9/30 338	5F033
HO1L 21/3205	HO1L 21/88 Z	

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願2004-102023 (P2004-102023)	(71) 出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日 平成16年3月31日 (2004. 3. 31)	(74) 代理人 100096253 弁理士 尾身 祐助
	(72) 発明者 鳥羽 環 東京都港区芝五丁目7番1号 日本電気株式会社内
	Fターム(参考) 2H092 GA27 GA32 GA40 GA48 GA55 GA60 GA61 JA24 MA11 NA28 5C094 AA04 AA43 AA44 AA55 BA03 BA43 CA19 DA09 DB01 EA04 FB12
	最終頁に続く

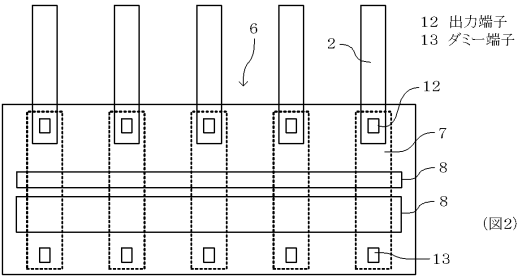
(54) 【発明の名称】 半導体装置、その製造方法およびそれを用いた表示装置

(57) 【要約】

【課題】 液晶表示装置の各ソース配線またはゲート配線に電氣的に接続する複数の駆動回路ユニットにバス配線を通じて供給される供給電圧の差を、液晶表示装置の最小階調電圧以下にして、表示むらのない、高品質の表示を可能にする薄膜トランジスタを用いた駆動用半導体装置を提供する。

【解決手段】 少なくとも1本のバス配線8の単位長さ当たりの抵抗値R (Ω / m) と、駆動回路ユニット7のピッチL (m) と、駆動回路ユニット7の数Nとを、 $R \times N^2 \times L \leq 4 \times 10^{-3}$ なる関係を満たすように定める。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基板と、該基板上に形成された、薄膜トランジスタを用いた複数の回路ユニットと、前記回路ユニットの出力端子と、前記回路ユニットに電圧を供給するための 1 本以上のバス配線と、前記バス配線に外部から電圧を供給するための給電点とを具備する半導体装置であって、前記回路ユニットのピッチ L (m) と、前記回路ユニットの全数 N と、前記バス配線の少なくとも 1 本の単位長さ当たりの抵抗値 R (Ω / m) とが、 $R \times N^2 \times L \leq 4 \times 10^{-3}$ なる関係を満たすことを特徴とする半導体装置。

【請求項 2】

基板と、該基板上に形成された、薄膜トランジスタを用いた複数の回路ユニットと、前記回路ユニットの出力端子と、前記回路ユニットに電圧を供給するための 1 本以上のバス配線と、前記バス配線に外部から電圧を供給するための給電点とを具備する半導体装置であって、前記回路ユニットの一部が前記給電点の左側に、残りが前記給電点の右側に配置されており、前記回路ユニットのピッチ L (m) と、前記回路ユニットの全数 N と、前記バス配線の少なくとも 1 本の単位長さ当たりの抵抗値 R (Ω / m) とが、 $R \times N^2 \times L \leq 16 \times 10^{-3}$ なる関係を満たすことを特徴とする半導体装置。

【請求項 3】

前記出力端子の前記基板表面からの高さ、と前記バス配線の前記基板表面からの高さ、とが実質的に等しいことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記バス配線が、前記基板表面からの高さの異なる複数の領域を持ち、前記出力端子の前記基板表面からの高さ、と前記バス配線の前記基板表面からの最大の高さ、とが実質的に等しいことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】

前記出力端子の少なくとも一部と前記バス配線の少なくとも一部とが、同一材料からなることを特徴とする請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 6】

前記出力端子の前記基板表面からの高さに実質的に等しい前記基板表面からの高さを有するダミー端子が、前記基板上に形成されていることを特徴とする請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】

請求項 1 から 6 のいずれかに記載の半導体装置の製造方法であって、バス配線の少なくとも一部と出力端子の少なくとも一部とを同時に製造することを特徴とする半導体装置の製造方法。

【請求項 8】

前記バス配線の少なくとも一部および前記出力端子の少なくとも一部を、電解めっき法、無電解めっき法、導電性ペーストのスクリーン印刷法、導電性ペーストの吹き付け印刷法、導電性フィルムの貼り付けおよびエッチング法、または、金属箔の貼り付けおよびエッチング法のいずれかの方法によって形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

請求項 1 から 6 のいずれかに記載の半導体装置を実装された表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、その製造方法およびそれを用いた表示装置に関し、特に、バス配線を低抵抗配線とする半導体装置、その製造方法およびそれを用いた表示装置に関する。

【背景技術】

【0002】

液晶表示装置（LCD）は、薄型、軽量であることから、携帯電話、PDA（Personal Digital Assistants：携帯情報端末）、ノートパソコンなどの携帯機器にすでに広く搭載されている。しかしながら、例えばTVなどの中・大型LCDを広く普及させるには、さらなる低コスト化、なかでも、液晶を駆動する駆動用半導体装置の実装コストの低減が必要である。

【0003】

従来の中・大型LCDの駆動用半導体装置は、TAB（Tape Automated Bonding：テープ自動ボンディング）法を用いて実装されている。TAB法とは、フレキシブル基板上に半導体装置を一つずつ搭載したTCP（Tape Carrier Package：テープキャリアパッケージ）と呼ばれるパッケージの出力側の一边を、液晶表示パネル基板の信号入力部に実装する方法である。中・大型LCDには十数個の駆動用半導体装置を実装する必要がある。さらに、個々の駆動用半導体装置には、液晶を駆動するための信号や電源電圧をLCDの外部から芋づる式に供給されなければならないから、TCPの入力側の一边には、複数のバス配線を形成したプリント基板が接続される。これによって、入力信号や電源電圧は、プリント基板のバス配線からTCPのバス配線を経由して個々の駆動用半導体装置に供給されることになる。さらに、このプリント基板には、TCPとは別種のフレキシブル基板が入力信号や電源電圧を供給するために接続される。

10

【0004】

ここで、中・大型LCDに十数個の駆動用半導体装置が必要な理由は、以下の通りである。LCDは、互いに直交した行および列に二次元配列した画素から構成されている。現在、中・大型LCDを構成する画素行列は、XGAと呼ばれる縦768行×横1024列の行列が主流である。カラー表示の場合には、3原色に対応した3つのドットが横方向に並んで1画素を構成するために、XGAパネルは、縦768×横3072のドットにより構成される。アクティブマトリックス型の液晶パネルには、個々のドットに対応して薄膜トランジスタ（TFT）が形成されており、行方向に配線されたゲート配線に電圧を供給することによってその行に接続するTFTをONし、列方向に配列したソース配線から、ONしたTFTに信号電圧を印加することによって、対応するドットを表示駆動する仕組みである。したがって、XGAパネルの表示を行うには、768本のゲート配線に対応する出力端子、および、3072本のソース配線に対応する出力端子を、それぞれ、1個以上のゲート駆動用半導体装置、および、1個以上のソース駆動用半導体装置で構成する必要がある。もし、762個の出力を持つゲート駆動用半導体装置および3072個の出力を持つソース駆動用半導体装置を、各1個の半導体チップで実現できれば、XGAパネルに必要な駆動用半導体装置は1個のソース駆動用半導体装置および1個のゲート駆動用半導体装置の計2個で済むのであるが、このような半導体装置は現存しない。その理由の一つは、その大きなチップ寸法による。

20

30

【0005】

現在、実用に供されている実装技術では、生産現場で実装可能な最小ピッチは、約40μm程度とされている。つまり、アウトリードボンディングにおいてもインナリードボンディングにおいても確実な接続を行うためには、1端子当たり40μm以上の幅を必要とする。そのため、例えば3072出力のソース駆動用半導体装置を単一チップで構成しようとした場合には、チップの長辺寸法は40μm×3072端子=123mmとなり、単結晶シリコン基板上に形成するには非現実的なチップ寸法となる。したがって、市場に出ている駆動用半導体装置は200～400程度の出力端子で構成されており、XGAパネルの場合には、ゲート駆動用半導体装置を3個（個々のゲート駆動用半導体装置は256出力を有する）、ソース駆動用半導体装置を8個（個々のソース駆動用半導体装置は384出力を有する）用いる場合が多い。

40

【0006】

このようにTAB法では十数個のTCP、1枚ないし2枚のフレキシブル基板、および、1枚ないし2枚のプリント基板を必要とするために、その部材コスト、実装コストがLCDのコストを押し上げていた。

50

【 0 0 0 7 】

そこで、LCD駆動用半導体装置の実装コストを低減する方法の一つとして、TAB法に替わりCOG (Chip On Glass: チップオンガラス) 法が実用化され始めている (例えば、特許文献1参照)。COG法とは、TCPを用いることなしに、駆動用半導体装置をベアチップの状態を表示パネル基板に直接実装する方法である。駆動用半導体装置の回路面を液晶パネル基板に対向させて加熱圧着する。加熱圧着の際に、駆動用半導体装置の回路面に形成された高さ十数 μm の突起状出力端子と、表示パネル基板上に形成された入力端子との間に導電粒子を分散させた樹脂接着テープを挟み込むことにより、樹脂接着テープのうちの両端子間に挟み込まれた部分だけが導電性となり、両端子間が電氣的に接続される。COG法を用いる場合にも、個々の駆動用半導体装置に芋づる式に接続するバス配線が必要になるために、例えば、上記文献では、表示パネル基板および駆動用半導体装置の双方にバス配線を並列させて形成することで配線抵抗を下げ、フレキシブル基板やプリント基板を極力廃して低コストにLCDを組み立てる方法が開示されている。

【 0 0 0 8 】

しかしながら、単にTAB法をCOG法に置き換えるだけでは、フレキシブル基板やプリント基板を削減する効果は期待できるものの、表示パネル基板に実装する駆動用半導体装置の数を削減することはできない。そこで、実装する駆動用半導体装置の数を減らす方法として、液晶パネル基板の直交する2辺のうちの各1辺の長さと同程度の長さの2枚のガラス基板上に薄膜トランジスタを形成して、それぞれ、ゲート駆動用半導体装置とソース駆動用半導体装置とを構成し、これを液晶パネル基板にCOG法と同様の手法を用いて実装することによって、さらに低コストに液晶表示装置を組み立てる方法が提案されている (例えば、特許文献2参照)。前述したように、ゲートおよびソースの駆動用半導体装置を単結晶シリコン基板で作製する場合には、基板寸法の制約から、数千の出力端子を持つ駆動用半導体装置を単一のチップに作製することは非現実的である。しかしながら、ガラス基板の場合には、シリコン基板よりも十分に大きな寸法の基板を入手可能であり、少なくとも基板寸法の制約は、はるかに緩和される。そこで、ガラス基板上に駆動用半導体装置を形成することで、より多くの出力端子を有する、寸法の大きな駆動用半導体装置の製造が可能になり、それを用いれば、低コストなLCDの組み立てが可能になると期待される。

【特許文献1】特開2003-100982号公報 (第4頁、図1、3)

【特許文献2】特許第3033123号公報 (第3-4頁、図2)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

しかしながら、上述の方法においても、寸法が大きく、出力端子数の多い駆動用半導体装置では、バス配線内での電圧降下が顕在化し、表示パネル基板上に形成された各ゲート配線や各ソース配線に個々に電圧を供給するための複数の駆動回路ユニットへの供給電圧値のばらつきが大きくなるという問題がある。例えば、1個だけの大型駆動用半導体装置を用いてLCDの表示を行う場合、その駆動用半導体装置内に形成された電源バス配線内の電圧降下によって、電源の給電点に最も近い駆動回路ユニットと最も遠い駆動回路ユニットとの間に大きな供給電圧差が生じることになる。個々の駆動回路ユニットへの供給電圧差が大きくなると、LCDの諧調表示にずれを生じるなどして表示品質を維持できなくなるばかりか、場合によっては、その駆動回路に接続する画素の表示が不可能になる。したがって、中・大型LCDを1個で表示駆動できるような大型の駆動用半導体装置を用いるには、特に抵抗の低いバス配線を駆動用半導体装置の内部および/または表示パネル基板上に形成するか、低抵抗配線を形成した基板を別途外付けするかのいずれかの方法が必要となる。

【 0 0 1 0 】

例えば、3000個の駆動回路ユニットが250mmの幅に渡って形成されている駆動用半導体装置を実現するには、 $5\Omega/\text{m}$ 程度の単位長さ当りの抵抗値を持つバス配線が必

要である。ここでは、駆動用半導体装置の１端部に給電点があり、その１端部から他端部までバス配線が延びている場合を想定している。単位長さ当りの抵抗値 R は、 $R = \rho / A$ と表せるから、バス配線材料に Au を用いた場合には、 $5 \Omega / m$ のバス配線を形成するには $4600 \mu m^2$ のバス配線断面積が必要となる。ここで、 $\rho (\Omega \cdot m)$ はバス配線の体積抵抗率、 $A (m^2)$ はバス配線の断面積であり、また、 Au の室温における体積抵抗率 ρ を、 $2.3 \times 10^{-8} \Omega \cdot m$ とした。したがって、例えば、幅 $200 \mu m$ のバス配線を形成した場合でも、配線抵抗値を $5 \Omega / m$ 以下にするには、 $23 \mu m$ のバス配線高さが必要になることがわかる。

【0011】

ところが、一般に、駆動用半導体装置内部あるいは表示パネル上の配線は、真空蒸着法やスパッタリング法などによって形成されており、低抵抗配線の形成が困難である。これらの成膜方法で堆積可能な膜厚は、高々 $1 \mu m$ 程度に限定されるため、例えば幅 $500 \mu m$ 、厚さ $1 \mu m$ のアルミニウム配線を形成した場合でも、その配線抵抗は、アルミニウムの体積抵抗率を $2.78 \times 10^{-8} \Omega \cdot m$ とすると、単位長さ当たりの抵抗値に換算して $56 \Omega / m$ 程度の高抵抗となる。それ以上の膜厚のアルミニウム膜を堆積した場合には、膜の内部応力に起因する基板のそり、膜の剥離、表面性状の悪化などにより、その後の製造工程を遂行することが困難となる。

【0012】

また、上記のような嵩高いバス配線は、上述の半導体装置を、COG実装と同様に実装する際の妨げとなる。COG実装と同様に実装するには、半導体装置基板上の構造体の高さがほぼ同一である必要があるためである。

【0013】

本発明は、上記課題に鑑みてなされたものであって、その１つの目的は、薄膜トランジスタを用いた、多数の出力端子を有する寸法の大きな半導体装置の作製を可能にする、低抵抗なバス配線が形成された半導体装置を提供することである。また、本発明の他の１つの目的は、そのような低抵抗なバス配線構造を有する半導体装置を容易かつ低コストに製造できる製造方法を提供することである。本発明のさらなる他の１つの目的は、そのようなバス配線構造を有する半導体装置を表示パネル上に実装した低コストの液晶表示装置を提供することである。

【課題を解決するための手段】

【0014】

上記目的を達成するため、本発明によれば、基板と、該基板上に形成された、薄膜トランジスタを用いた複数の回路ユニットと、前記回路ユニットの出力端子と、前記回路ユニットに電圧を供給するための１本以上のバス配線と、前記バス配線に外部から電圧を供給するための給電点とを具備する半導体装置であって、前記回路ユニットのピッチ $L (m)$ と、前記回路ユニットの全数 N と、前記バス配線の少なくとも１本の単位長さ当たりの抵抗値 $R (\Omega / m)$ とが、 $R \times N^2 \times L \leq 4 \times 10^3$ なる関係を満たすことを特徴とする半導体装置、が提供される。

【0015】

また、上記目的を達成するため、本発明によれば、基板と、該基板上に形成された、薄膜トランジスタを用いた複数の回路ユニットと、前記回路ユニットの出力端子と、前記回路ユニットに電圧を供給するための１本以上のバス配線と、前記バス配線に外部から電圧を供給するための給電点とを具備する半導体装置であって、前記回路ユニットの一部が前記給電点の左側に、残りが前記給電点の右側に配置されており、前記回路ユニットのピッチ $L (m)$ と、前記回路ユニットの全数 N と、前記バス配線の少なくとも１本の単位長さ当たりの抵抗値 $R (\Omega / m)$ とが、 $R \times N^2 \times L \leq 16 \times 10^3$ なる関係を満たすことを特徴とする半導体装置、が提供される。

【0016】

また、上記目的を達成するため、本発明によれば、前記半導体装置の製造方法であって、バス配線の少なくとも一部と出力端子の少なくとも一部とを同時に製造することを特徴

10

20

30

40

50

とする半導体装置の製造方法、が提供される。

【0017】

また、上記目的を達成するため、本発明によれば、前記半導体装置を実装された表示装置、が提供される。

【発明の効果】

【0018】

本発明に係る半導体装置は、給電点に最も近い駆動回路ユニットと、最も遠い駆動回路ユニットとの間の入力抵抗差が、 $1\text{ k}\Omega$ 以下となるものであるから、表示パネルの辺と同程度の幅寸法を有しながら、表示むらのない優れた表示品質を与えることを可能にする。

【0019】

また、本発明に係る半導体装置の製造方法は、出力端子とバス配線とを、同一の製造工程で、実質的に同一の高さに形成するものであるから、嵩高い低抵抗のバス配線を形成しても、COG実装と同様の実装を可能にし、これによって、低コストな駆動用半導体装置の提供を可能にする。

【0020】

また、本発明に係る半導体装置の製造方法の一実施例は、バス配線に高さの異なる複数の領域を持たせるものであるから、TFT基板への実装時において、接着剤内のボイド発生を抑制することができ、これによって、COG実装と同様の実装を信頼性に優れたものとする。

【0021】

また、本発明に係る液晶表示装置は、上述の半導体装置をCOG実装と同様にTFT基板に実装するものであるから、低コストかつ高表示品質を実現可能である。

【発明を実施するための最良の形態】

【0022】

次に、本発明の実施の形態について、図面を参照して詳細に説明する。

図1は、本発明の実施の形態に係る液晶表示装置の平面図である。本液晶表示装置は、行および列に形成された複数のゲート配線1と複数のソース配線2との各交差点にTFT（図示せず）が配置されたTFT基板3と、TFT基板3のTFTが配置された領域に対向する対向基板4との間に、液晶層（図示せず）を挟持している。対向基板4のTFT基板3に対向する表面上には、対向電極が形成されており、また、カラーフィルタが形成されてもよい。TFT基板3の直交する2辺の近傍の2箇所の張り出し部分に、それぞれ、TFTをON/OFFさせるためのゲート駆動用半導体装置5、および、画像信号を入力するためのソース駆動用半導体装置6が、実装されている。ゲート駆動用半導体装置5およびソース駆動用半導体装置6には、それぞれ、ガラス基板上に、半導体層としてポリシリコンを使用したTFTを用いて駆動回路ユニット7が形成されている。さらに、ソース駆動用半導体装置6には、低抵抗のバス配線8が形成されている。必要であれば、ゲート駆動用半導体装置5に、低抵抗のバス配線を形成することも可能である。図1には、ゲート駆動用半導体装置およびソース駆動用半導体装置を、ともに1個ずつ実装した形態が図示されているが、必要に応じて、各駆動用半導体装置を、それぞれ、複数個実装するように構成することも可能である。その際には、TFT基板3の短辺と長辺とを合わせて最大4辺までの周辺領域に、任意の個数の駆動用半導体装置を実装するように構成することも可能である。ただし、個々のゲート駆動用半導体装置およびソース駆動用半導体装置は、それぞれ、少なくとも500以上の駆動回路ユニットを有することが望ましい。

【0023】

ソース駆動用半導体装置6の長手方向の略中央周辺のTFT基板3上に、信号電圧および電源電圧供給用のフレキシブル基板9が、実装されている。フレキシブル基板9とソース駆動用半導体装置6とは、TFT基板3上に形成されたソース駆動用半導体装置用入力配線10によって電氣的に接続されている。また、ゲート駆動用半導体装置5へのクロック信号入力、コントロール信号入力、および、電源電圧供給は、ソース駆動用半導体装置6とゲート駆動用半導体装置5との間のTFT基板上に形成されたゲート駆動用半導体装

10

20

30

40

50

置用入力配線 11 およびソース駆動用半導体装置 6 のバス配線 8 を経由して、フレキシブル基板 9 から行われる。ソース駆動用半導体装置 6 への信号供給点および給電点は、任意に設定することができるが、ソース駆動用半導体装置 6 の長手方向の略中央部にそれらを設定するのが好ましい。この構成において、バス配線 8 に最も高い抵抗値を使用できるため、バス配線の形成が容易になる。

【0024】

図 2 は、図 1 中のソース駆動用半導体装置 6 の構成を示す平面図である。ソース駆動用半導体装置 6 内には、画素 TFT に画像信号電圧を出力する駆動回路ユニット 7 が、500 から 5000 ユニット形成されている。個々の駆動回路ユニット 7 は、少なくとも 1 つの出力端子 12 を有する。ソース駆動用半導体装置 6 の長手方向の幅（以下、単に「幅」という）の略全体にわたって、1 本以上の低抵抗のバス配線 8 が形成されている。ソース駆動用半導体装置 6 の回路構成は、全ての駆動回路ユニット 7 が、その 1 つ以上の入力の各々を低抵抗の各バス配線 8 に電氣的に接続してアレイ状に並ぶ構成が望ましい。低抵抗のバス配線 8 は、ソース駆動用半導体装置 6 の略全幅にわたって形成されているが、必ずしも連続している必要はなく、例えば、給電点で 2 分割しているような構成も可能である。低抵抗のバス配線 8 は、1 ~ 60 本形成されるが、図の簡単のために、図 2 には、2 本のみが図示されている。

【0025】

ここで、バス配線 8 の抵抗値について考察する。N 個の駆動回路ユニット 7 が、ピッチ L (m) で、その入力を 1 つのバス配線に電氣的に接続してアレイ状に並んでいて、その N 個の駆動回路ユニットのうち同時に動作する駆動回路ユニット数が最大で $N/2$ 個であるとすると、このとき、各駆動回路ユニットに、一定電流 i が流入すると仮定すると、バス配線の給電点に最も近い駆動回路ユニットの入力抵抗値と、給電点から N 番目の駆動回路ユニットとの入力抵抗値の差 Z が最大になるのは、駆動回路ユニットが 1 つおきに動作する場合である。この場合には、給電点から N 番目の駆動回路ユニットと、給電点から $(N - 2)$ 番目の駆動回路ユニットとの入力間の電圧降下は $2LR \times i$ 、給電点から $(N - 2)$ 番目の駆動回路ユニットと、給電点から $(N - 4)$ 番目の駆動回路ユニットとの入力間の電圧降下は $2LR \times 2i$ 、給電点から $(N - 4)$ 番目の駆動回路ユニットと、給電点から $(N - 6)$ 番目の駆動回路ユニットとの入力間の電圧降下は $2LR \times 3i$ 、...、というように、給電点に近づくにつれて、動作中の 2 つの隣接し合う駆動回路ユニットの入力間の電圧降下が等差級数的に増加するから、バス配線の給電点に最も近い駆動回路ユニットの入力抵抗値と、給電点から N 番目の駆動回路ユニットの入力抵抗値の差 Z は、 $Z = R \times (N/2) \times [(N/2) - 1] \times L$ と表すことができる。ここで R (Ω/m) は、バス配線の単位長さ当りの抵抗値、 L (m) は、駆動回路ユニット 7 のピッチである。液晶表示装置の駆動用半導体装置を 1 チップで作製するような場合には、N は少なくとも 500 以上としてよいから、 $(N/2) - 1 \approx N/2$ とすることができる。したがって、駆動用半導体装置の 1 端部に給電点があり、その 1 端部から他端部までバス配線が延びている場合には、給電点に最も近い駆動回路ユニットと、最も遠い N 番目の駆動回路ユニット間の入力抵抗差 Z は、 $Z = R \times (N^2 / 4) \times L$ となる。

【0026】

個々の駆動回路ユニットに流す最大電流値は $10 \sim 100 \mu A$ 、駆動回路ユニット間の最大供給電圧差（給電点に最も近い駆動回路ユニットと、最も遠い N 番目の駆動回路ユニットとの入力間の電圧降下）の許容値は $10 mV$ 程度であるから、入力抵抗差 Z の許容値は、 $100 \Omega \sim 1 k \Omega$ となる。ここで、駆動回路ユニット間の最大供給電圧差の許容値は、液晶表示装置を 8 ビット階調表示する際の最小階調電圧と等しい値とした。言い換えれば、8 ビット表示において、表示むらを生じさせない駆動用半導体装置を提供するには、駆動回路ユニット間の最大入力抵抗差、即ち、給電点に最も近い駆動回路ユニットと、最も遠い N 番目の駆動回路ユニットとの間の入力抵抗差 Z を $1 k \Omega$ 以下にする必要がある。したがって、以下の式を満たすようにバス配線の抵抗値 R を設定すれば、給電点をバス配線の端部に配置する場合に、個々の駆動回路ユニットへの供給電圧ばらつきを十分に低減

10

20

30

40

50

することができる。

【0027】

$$R \times N^2 \times L \quad 4 \times 10^3 \quad (1)$$

【0028】

式(1)が満たされれば、どんなに幅広のソース駆動用半導体装置であっても、表示品質の優れた表示が可能になる。

【0029】

給電点や信号供給点をソース駆動用半導体装置の幅の中央に配置し、その両側に電源電圧や信号を供給する場合には、給電点や信号供給点から最も遠い駆動回路ユニットは、最も近い駆動回路ユニットから $N/2$ 番目に位置する。そのため、許容されるバス配線の抵抗値は、給電点や信号供給点がバス配線の端部に配置する場合に比して4倍まで大きくすることができる。即ち、バス配線の抵抗値 R は、以下の式を満たせばよい。

【0030】

$$R \times N^2 \times L \quad 16 \times 10^3 \quad (2)$$

【0031】

さらに、低抵抗のバス配線8の高さ、幅、および、出力端子12の高さは、概略同じ高さになるように調整されることが好ましい。低抵抗のバス配線8の高さは、 $2 \sim 100 \mu m$ である。ダミー端子13は、出力端子12とほぼ同一の高さを有する電氣的な接続に関与しない構造体であり、駆動用半導体装置のTFT基板3への実装時に、駆動用半導体装置とTFT基板3との平行度を良好に維持する機能を有している。低抵抗のバス配線8にダミー端子13の機能を兼用させる構成にした場合には、ダミー端子13を省略することも可能である。ソース駆動用半導体装置6の幅は、 $25 \sim 500 mm$ である。図2は、ソース駆動用半導体装置を示しているが、ゲート駆動用半導体装置にも同様の構成を適用できる。

【0032】

駆動回路ユニット7の各出力端子12は、それぞれ、TFT基板3上に形成された、対応するソース配線2に、異方性導電フィルム(ACF)、異方性導電性ペースト(ACP)を用いて電氣的に接続される。あるいは、それらの電氣的接続は、いわゆる非導電性ペースト(NCP)を用いた電氣的接続技術を用いてなされてもよい。それらのベース樹脂材料としては、熱硬化性樹脂よりも光硬化性樹脂を用いた方が、より好ましい。熱硬化性樹脂をベースとした接着剤を用いる場合には、エポキシ系樹脂よりも硬化温度の低いアクリル系樹脂をベースとした接着剤を用いる方が、より好ましい。光硬化性樹脂をベースとした接着剤を用いる場合には、 $10 \sim 3000 mJ/cm^2$ の照射量条件で硬化を行うことが望ましい。また、熱硬化性樹脂をベースとした接着剤を用いる場合には、接着温度： $120 \sim 220$ 、加熱時間： $3 \sim 30$ 秒間という条件で硬化を行うことが望ましい。ソース駆動用半導体装置用入力配線10とフレキシブル基板9との電氣的接続の形成は、駆動回路ユニット7の出力端子12とソース配線2との電氣的接続の形成と同時に進めてもよい。出力端子12および低抵抗のバス配線8は、電解めっき法、無電解めっき法、導電性ペーストのスクリーン印刷法、導電性ペーストの吹き付け印刷法、導電性フィルムの貼り付けおよびエッチング法、あるいは、金属箔の貼り付けおよびエッチング法のいずれかによって形成される。

【実施例1】

【0033】

図3は、本発明の実施例1に係る半導体装置の平面図である。本半導体装置は、図2に示すソース駆動用半導体装置の具体的な1例である。図3において、図2の部分と同等の部分には同一の参照符号を付し重複する説明を適宜省略する。

ソース駆動用半導体装置6に、3072ユニットの駆動回路ユニット7が、アレイ状に形成されている(図では、作図の簡単のために、5ユニットの駆動回路ユニット7のみが示されている)。駆動回路ユニット7のピッチは、 $80 \mu m$ である。ソース駆動用半導体装置6の幅方向の中央に信号供給点および給電点を置き、その両側に信号電圧および電源

10

20

30

40

50

電圧を供給する場合には、バス配線に許容される単位長さ当りの最大抵抗値は式(2)から $21\Omega/m$ となる。したがって、バス配線がAu(室温における体積抵抗率： $2.3 \times 10^{-8}\Omega \cdot m$)で形成されていれば、バス配線幅を $100\mu m$ とした場合に必要な配線厚は、 $11\mu m$ 以上である。COG実装と同様の実装を行う場合に必要な出力端子の高さが $17\mu m$ であるために、バス配線高さを $17\mu m$ として、バス配線を出力端子と同時に形成することができる。

【0034】

本実施例においては、ソース駆動用半導体装置6の低抵抗のバス配線8、出力端子12、および、ダミー端子13を、電解Auめっき法を用いて同時に形成した。

【0035】

図4は、図3のA-A線に沿う断面図である。図4において、図3の部分と同等の部分には同一の参照符号を付し重複する説明を適宜省略する。図4を用いて、本実施例に係る半導体装置の製造方法を説明する。まず、TF T(図示せず)形成工程を終えたガラス基板14上に、拡散防止層15としてTiとWとを10:90の比率で $100nm$ の厚さにスパッタリング成膜した後、その上に、電解めっきのめっき下地層16としてAuを $300nm$ の厚さにスパッタリング成膜した。次に、全面に、ポジレジストを $700rpm$ の回転数でスピン塗布して乾燥した後、露光・現像して、所望の形状にパターンニングした。レジストの膜厚は、約 $20\mu m$ であった。次いで、噴流式のめっき装置内で、下地層16の露出した面上に、めっき層17をほぼ $17\mu m$ の厚さに形成した。めっき液には、ノンシアン系のめっき液を用いた。めっき液温は $50^\circ C$ 、めっき成膜速度は $0.25\mu m/分$ であった。得られためっき層17の膜厚のばらつき(σ)は、 $300mm$ 四方の基板内で約 $\pm 5\%$ であった。めっき終了後、ポジレジストを剥離し、めっき層17の形成されていない領域の不要なめっき下地層16をヨウ化カリウム系のエッチング液を用いて、また、拡散防止層15を過酸化水素水とアンモニアの混合溶液を用いて、いずれもウェットエッチング法で除去することによって、本実施例の製造工程を完了して、図4に示すような出力端子12、バス配線8、および、ダミー端子13を有する半導体装置を得る。

【実施例2】

【0036】

図5(a)は、本発明の実施例2に係る半導体装置の平面図であり、図5(b)は、図5(a)のB-B線に沿う断面図である。図5において、図3、図4の部分と同等の部分には同一の参照符号を付し重複する説明を適宜省略する。本実施例に係る半導体装置が図3、4に示す実施例1に係る半導体装置と異なる点は、隣接し合う2つの駆動回路ユニット7間のバス配線8の領域の1つ以上に、その近傍のバス配線8の領域におけるよりも、ガラス基板14の表面からの高さが低くなっている凹み18が存在するという点と、ダミー端子が存在しないという点と、バス配線8および出力端子12の表面に表面被膜層19が形成されているという点と、である。

【0037】

図3、4に示すソース駆動用半導体装置6では、そのほぼ全幅にわたって表面が平坦なバス配線8が形成されているため、このソース駆動用半導体装置6のTF T基板3への実装に用いるAC F、AC P、あるいは、NC Pのベース樹脂の種類によっては、それらの樹脂の流動がバス配線8によって妨げられ、樹脂にボイドが発生したり、樹脂の充填率が低下して、実装の信頼性が減少する可能性も考えられる。本実施例のソース駆動用半導体装置6では、上述のように、隣接し合う2つの駆動回路ユニット7間のバス配線8の領域の1つ以上に凹み18が存在するので、この凹み18の存在する領域が、実装過程における接着剤の流動路として機能する。このため、接着剤のボイドの発生が抑制され、また、接着剤の充填率が向上して、実装の信頼性がより向上するという効果が得られる。

【0038】

駆動回路ユニット7の数は、実施例1と同じく3072ユニットであるが、そのピッチは $69\mu m$ である。また、低抵抗のバス配線8の材料にはCu(室温における体積抵抗率： $1.8 \times 10^{-8}\Omega \cdot m$)を採用し、その製造方法としては電解めっき法を用いた。1

10

20

30

40

50

00 μm のバス配線幅を採用した場合に必要なバス配線厚は約 8 . 6 μm 以上である。

【0039】

次に、図5(b)を用いて、本実施例に係る半導体装置の製造方法を説明する。まず、実施例1と同様な製造工程を用いて、ガラス基板14上に拡散防止層15、めっき下地層16、めっき層17よりなる表面が平坦なバス配線8および出力端子12を形成する。ただし、本実施例においては、拡散防止層15として200nm厚のCr膜、めっき下地層16として150nm厚のCu膜、めっき層17としてCu膜を用いた。めっき液には、表面光沢剤を添加した硫酸銅系のめっき液を用いた。めっき液温は25であった。不要なめっき下地層16の除去は、ヨウ化カリウム系のエッチング液によるウェットエッチングで行い、不要な拡散防止層15の除去は、イオンミリング装置を用いて行った。得られためっき層17の膜厚のばらつき(σ)は、300mm四方の基板内で約 $\pm 7\%$ であった。また、ダミー端子は、形成されなかった。

10

【0040】

次に、全面に、再度、ポジレジスト層を1000rpmの回転速度でスピン塗布した。レジスト層の膜厚は、約15 μm であった。次いで、プロジェクション露光機を用いて、276 μm ピッチで、隣接し合う2つの駆動回路ユニット7の間のレジスト層に、55 μm 幅の開口を形成した。その後、2wt%の硫酸を添加した過硫酸アンモニウム系のエッチング液を用いて、このレジスト層の開口に露出している低抵抗のバス配線8のウェットエッチングを行い、約8分のウェットエッチング時間で、低抵抗のバス配線8に7 μm の深さの窪み18を形成した。続いて、レジスト層を剥離した後、全体をAuフラッシュ浴に浸漬することによって、出力端子および低抵抗のバス配線8の表層にAuの表面皮膜層19を形成して、本実施例の半導体装置の製造工程を完了して、図5に示す、バス配線8に窪み18が形成されたソース駆動用半導体装置を得た。本実施例で製造したソース駆動用半導体装置は、窪み18が形成されていない図4に示す実施例1のソース駆動用半導体装置と比較して、ソース駆動用半導体装置のTF T基板への装着時において、接着剤内のボイド発生を抑制され、それによって、ソース駆動用半導体装置のTF T基板への接合強度が、約20%増加していることが確認された。

20

【0041】

以上の説明において、表示装置として液晶表示装置が用いられたが、液晶表示装置に限らず、アクティブマトリクス型の表示装置であればいずれも用いられ得る。

30

【図面の簡単な説明】

【0042】

【図1】本発明の実施の形態に係る液晶表示装置の平面図。

【図2】本発明の実施の形態に係る半導体装置の平面図。

【図3】本発明の実施例1に係る半導体装置の平面図。

【図4】図3のA-A線に沿う断面図。

【図5】本発明の実施例2に係る半導体装置の平面図〔(a)〕と、B-B線に沿う断面図〔(b)〕。

【符号の説明】

【0043】

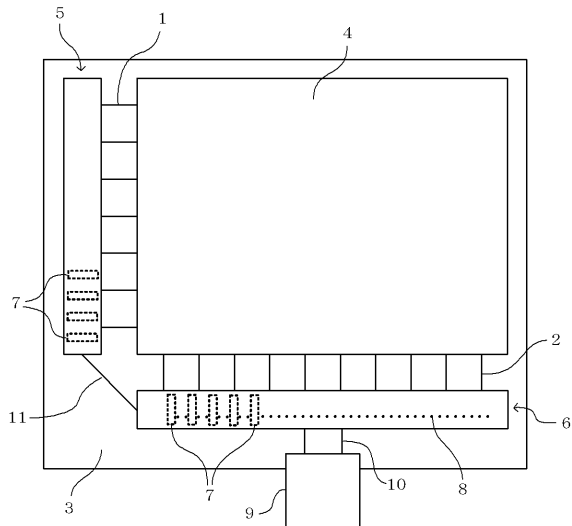
40

- 1 ゲート配線
- 2 ソース配線
- 3 T F T 基板
- 4 対向基板
- 5 ゲート駆動用半導体装置
- 6 ソース駆動用半導体装置
- 7 駆動回路ユニット
- 8 バス配線
- 9 フレキシブル基板
- 10 ソース駆動用半導体装置用入力配線

50

- 1 1 ゲート駆動用半導体装置用入力配線
- 1 2 出力端子
- 1 3 ダミー端子
- 1 4 ガラス基板
- 1 5 拡散防止層
- 1 6 めっき下地層
- 1 7 めっき層
- 1 8 窪み
- 1 9 表面皮膜層

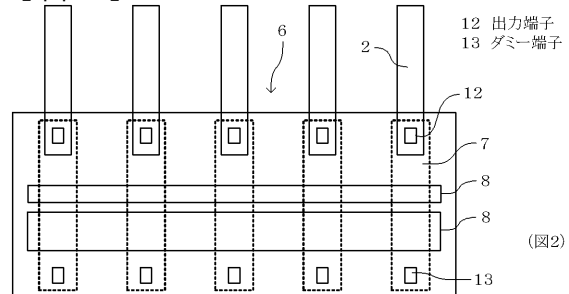
【図1】



(図1)

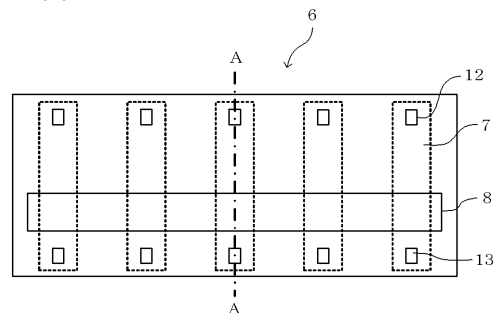
- | | |
|---------------|---------------------|
| 1 ゲート配線 | 7 駆動回路ユニット |
| 2 ソース配線 | 8 バス配線 |
| 3 TFT基板 | 9 フレキシブル基板 |
| 4 対向基板 | 10 ソース駆動用半導体装置用入力配線 |
| 5 ゲート駆動用半導体装置 | 11 ゲート駆動用半導体装置用入力配線 |
| 6 ソース駆動用半導体装置 | |

【図2】



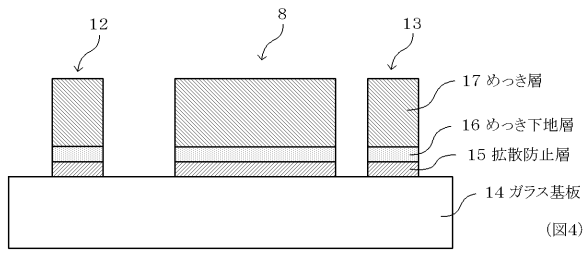
(図2)

【図3】

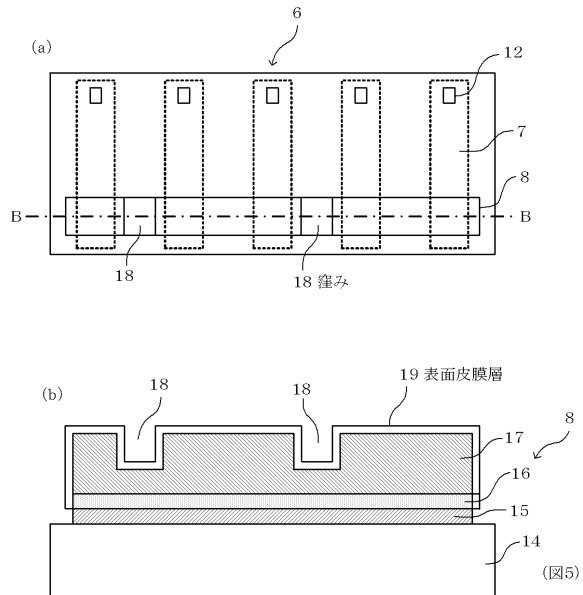


(図3)

【図 4】



【図 5】



フロントページの続き

F ターム(参考) 5F033 GG04 HH11 HH13 HH17 HH23 MM08 MM20 PP00 PP15 PP26
PP27 PP28 QQ08 QQ19 QQ27 QQ30 UU01 VV07 VV15

专利名称(译)	半导体器件，其制造方法以及使用其的显示装置		
公开(公告)号	JP2005284210A	公开(公告)日	2005-10-13
申请号	JP2004102023	申请日	2004-03-31
申请(专利权)人(译)	NEC公司		
[标]发明人	鳥羽環		
发明人	鳥羽 環		
IPC分类号	G02F1/1368 G02F1/13 G02F1/133 G02F1/1345 G02F1/136 G09F9/00 G09F9/30 G09G3/36 G11C7/02 H01L21/027 H01L21/3205 H01L21/77 H01L23/52 H01L27/02 H01L27/12 H01L29/786		
CPC分类号	H01L27/124 G02F1/13452 G09G2300/0408 H01L27/0203 H01L27/12		
FI分类号	G02F1/1368 G02F1/1345 G09F9/30.338 H01L21/88.Z		
F-TERM分类号	2H092/GA27 2H092/GA32 2H092/GA40 2H092/GA48 2H092/GA55 2H092/GA60 2H092/GA61 2H092/JA24 2H092/MA11 2H092/NA28 5C094/AA04 5C094/AA43 5C094/AA44 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DB01 5C094/EA04 5C094/FB12 5F033/GG04 5F033/HH11 5F033/HH13 5F033/HH17 5F033/HH23 5F033/MM08 5F033/MM20 5F033/PP00 5F033/PP15 5F033/PP26 5F033/PP27 5F033/PP28 5F033/QQ08 5F033/QQ19 5F033/QQ27 5F033/QQ30 5F033/UU01 5F033/VV07 5F033/VV15 2H192/AA24 2H192/FB22 2H192/FB25 2H192/FB32 2H192/FB42		
外部链接	Espacenet		

摘要(译)

液晶显示装置具有通过总线配线供给至与各源极配线或栅极配线电连接的多个驱动电路部的供给电压的差，以使液晶显示装置的最小灰度电压以下。提供一种使用能够实现均匀且高质量显示的薄膜晶体管的驱动半导体器件。将至少一根总线配线8的每单位长度的电阻值 R (Ω/m)，驱动电路单元7的间距 L (m)和驱动电路单元7的数量 N 设置为 R 。确定满足 $\times N2 \times L \leq 4 \times 103$ 的关系。[选择图]图2

