

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-222018
(P2005-222018A)

(43) 公開日 平成17年8月18日(2005.8.18)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 5O5	5C006
G09G 3/20	G02F 1/133 55O	5C080
	G09G 3/20 633C	
	G09G 3/20 633H	
審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2004-261876 (P2004-261876)	(71) 出願人 303016487
(22) 出願日 平成16年9月9日 (2004.9.9)	ビオイ ハイディス テクノロジー カン
(31) 優先権主張番号 2004-007289	パニー リミテッド
(32) 優先日 平成16年2月4日 (2004.2.4)	大韓民国京畿道利川市夫鉢邑牙美里山13
(33) 優先権主張国 韓国 (KR)	6-1
	(74) 代理人 110000051
	特許業務法人共生国際特許事務所
	(72) 発明者 鄭 京 薫
	大韓民国 京畿道 龍仁市 胸城邑 麻北
	里 三星 レミアン 1次アパート 11
	1-502
	Fターム(参考) 2H093 NA16 NC34 NC41 ND49 ND50
	NE10
	5C006 AA28 AF24 AF73 BC12 BC24
	FA42
	最終頁に続く

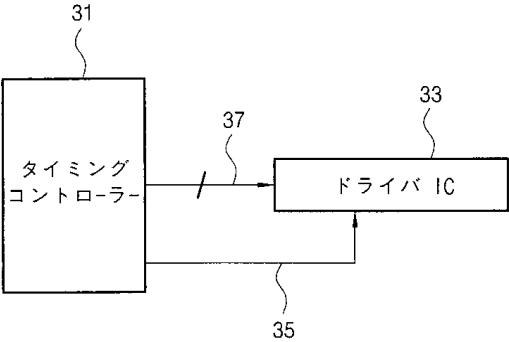
(54) 【発明の名称】 液晶表示装置の駆動回路

(57) 【要約】

【課題】 液晶表示装置の駆動回路において、プロトコルを用いたデータ伝送を通じてタイミングコントローラーと各ドライバICとの間に連結されている配線を効率的に使用して、タイミングコントローラーと各ドライバICとの間に連結されている配線数を最小化する。

【解決手段】 液晶表示装置へのデータ入力区間ではタイミングコントローラーから出力されるデータ packets を各ドライバICに伝達し、ブランク区間では制御 packets を各ドライバICに伝達するデータおよび制御信号バスと、前記各ゲート、およびソースドライバICと前記タイミングコントローラーとの間に連結し、前記タイミングコントローラーから出力されるクロック信号を前記各ドライバICに伝達するクロック配線を含んで構成される。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

液晶パネルに印加されるゲート電圧、およびデータ電圧により画面を表示する液晶表示装置の駆動回路において、

前記液晶パネルにゲート電圧を印加する複数のゲートドライバ I C と、

前記液晶パネルにデータ電圧を印加する複数のソースドライバ I C と、

前記各ゲート、およびソースドライバ I C とに各種制御信号、およびデータ信号を印加するタイミングコントローラーと、

前記各ゲート、ソースドライバ I C、および前記タイミングコントローラーとの間に連結され、データ入力区間では前記タイミングコントローラーから出力されるデータパケットを各ドライバ I C に伝達し、ブランク (B l a n k) 区間では制御パケットを各ドライバ I C に伝達するデータおよび制御信号バスと、

前記各ゲート、ソースドライバ I C、および前記タイミングコントローラーとの間に連結され、前記タイミングコントローラーから出力されるクロック信号を前記各ドライバ I C に伝達するクロック配線を含んで構成されることを特徴とする液晶表示装置の駆動回路。

【請求項 2】

前記データおよび制御信号バスは、デバイス I D とデータとを伝送する第 1 配線と、 S T H 信号の可否とデータとを伝送する第 2 配線と、データを伝送する第 3 配線とを含んで構成されたデータパケットを伝送することを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【請求項 3】

前記データおよび制御信号バスは、デバイス I D と制御信号とを伝送する第 1 配線と、制御信号を伝送する第 2 配線とからなり、制御パケットを伝送することを含むことを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【請求項 4】

前記データおよび制御信号バスは、デバイス I D とレジスタ設定値とを伝送する第 1 配線と、レジスタ設定値を伝送する第 2 配線とからなり、ドライバ I C の初期設定値を伝送することを含むことを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【請求項 5】

前記各ドライバ I C は、前記タイミングコントローラーから入力される信号をドライバ I C 内部で使用される信号に変換する受信機と、

前記受信機から入力された信号を液晶パネルに表示されるデータに処理するデータ処理機と、

入力されるパケットに含まれたデバイス I D とドライバ I C の初期設定時に与えられた I D とを比較する I D 比較機と、

S T H または制御パケットの要請がある時、それに合う制御信号を生じる制御信号発生器と、

ドライバ I C の初期設定値が格納された制御レジスタを含んで構成されることを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【請求項 6】

各ドライバ I C は、前記 I D 比較機においてデバイス I D を比較した結果、互いに異なると、更に前記データ処理機からデバイス I D、S T H、およびデータを含んだ全ての信号を次の I C に伝送する送信機を含むことを特徴とする請求項 1 または 5 記載の液晶表示装置の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特にタイミングコントローラーから各ドライバ I C に出力される各種データ、および制御信号とをプロトコルを用いて伝送することにより、配

10

20

30

40

50

線数を低減させ、バスの運用効率を増加させることに適当な液晶表示装置の駆動回路に関する。

【背景技術】

【0002】

一般に、ディスプレイ装置の1つであるCRT (Cathode Ray Tube) はテレビを始めとして各種計測機器、情報端末機等のモニタに主に用いられて来たが、CRT 自身の重量や大きさにより電子製品のコンパクト化、軽量化の要求に積極対応することができなかった。

【0003】

ここで、CRTに取り替えるために、軽薄、短小化の長所を有している液晶表示装置が活発に開発されて来て、近来は平板型表示装置としての役目を十分遂行することができる程度に開発され、その需要が格段に増加している傾向にある。 10

【0004】

このような液晶表示装置は、2枚のガラス基板とその間に封入された液晶層とからなる平板型ディスプレイ装置であって、下部基板には画素領域を定義するゲートラインとデータラインとが相互交叉配置され、各画素領域には画素電極と前記ゲートラインの駆動信号によりスイッチングされ、データラインの信号を画素電極に印加する薄膜トランジスタが配置され、上部基板には画素電極を除いた領域に光が透過されることを遮断するためのブラックマトリックスが形成され、前記ブラックマトリックスを間に置いて各画素領域毎にカラーフィルタ層が形成され、全面には共通電極が形成される (特許文献1)。 20

【0005】

図1は、液晶表示装置の基本的な構成を示す構成図であって、複数のゲートラインとデータラインとが交叉配置され、各ゲートラインとデータラインとが交叉する部位に薄膜トランジスタが配置され、画像をディスプレイする液晶パネル (11) と、前記液晶パネル (11) のデータラインを駆動するための駆動電圧を印加するソースドライバIC (13) と、前記液晶パネル (11) のゲートラインを駆動するための駆動電圧を印加するゲートドライバIC (15) とからなる。

そして、前記ソースドライバIC (13)、およびゲートドライバIC (15) とで各種コントロール信号を提供する周辺回路等が備えられるが、前記周辺回路にはLVDS部、タイミングコントローラ等がある。 30

【0006】

ここで、前記タイミングコントローラ (21) は、図2に示すように、ドライバIC (23) に各種制御信号を出力するが、前記信号等は各々異なる配線、即ちクロック信号を印加するクロック配線 (25)、データを印加するデータバス (27)、制御信号を印加する制御信号バス (29) 等を通じて該ドライバICに伝送される。

【0007】

図3は、従来技術に係る液晶表示装置の駆動回路において、タイミングコントローラ (21) から伝送される信号等を示すものであって、データバス (27) は、液晶パネルにディスプレイされるべきデータ信号を伝送する配線であり、STH、LOAD、POL配線は各々制御信号バス (29) であって、STHはSTH配線を通じてドライバICに伝送され、LOAD、およびPOL信号も各々のLOAD配線、およびPOL配線を通じてドライバICに伝送される。 40

【0008】

しかし、上記のような従来の液晶表示装置の駆動回路は次のような問題があった。

全ての制御信号等がタイミングコントローラから作られ、各制御信号毎に別途の別の配線を通じて該ドライバICに伝送されるが、前記制御信号等は図3に示すように、データ入力区間でないBlank区間のみに伝送され、データ信号はBlank区間を除いたデータ入力区間のみで伝送されるので、各配線の運用効率が格段に低減する問題があった。

【0009】

【特許文献1】特開2001-42838号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、上記の従来技術の問題を解決するために案出したものであって、プロトコルを用いたデータ伝送を通じてタイミングコントローラーと各ドライバICとの間に連結されている配線を効率的に使用することに適当な液晶表示装置の駆動回路を提供することを目的とする。

【0011】

本発明の別の目的は、プロトコルを用いたデータ伝送を通じて前記タイミングコントローラーと各ドライバICとの間に連結されている配線の数をも最小化することに適当な液晶表示装置の駆動回路を提供することにある。

【課題を解決するための手段】

【0012】

上記の目的を達成するための本発明に係る液晶表示装置の駆動回路は、

液晶パネルに印加されるゲート電圧、およびデータ電圧により画面を表示する液晶表示装置の駆動回路において、前記液晶パネルにゲート電圧を印加する複数のゲートドライバICと、前記液晶パネルにデータ電圧を印加する複数のソースドライバICと、前記各ゲート、およびソースドライバICとに各種制御信号、およびデータ信号を印加するタイミングコントローラーと、前記各ゲート、ソースドライバIC、および前記タイミングコントローラーとの間に連結され、データ入力区間では前記タイミングコントローラーから出力されるデータパケットを各ドライバICに伝達し、ブランク(Blank)区間では制御パケットを各ドライバICに伝達するデータおよび制御信号バスと、前記各ゲート、ソースドライバIC、および前記タイミングコントローラーとの間に連結され、前記タイミングコントローラーから出力されるクロック信号を前記各ドライバICに伝達するクロック配線を含んで構成されることを特徴とする。

【0013】

前記データおよび制御信号バスは、デバイスIDとデータとを伝送する第1配線と、STH信号の可否とデータとを伝送する第2配線と、データを伝送する第3配線とを含んで構成されたデータパケットを伝送することを特徴とする。

前記データを伝送する配線は第4配線、および第5配線のように、必要によってその以上に拡張可能である。

【0014】

前記データおよび制御信号バスは、デバイスIDと制御信号とを伝送する第1配線と、制御信号を伝送する第2配線とからなり、制御パケットを伝送することを含むことを特徴とする。

前記制御信号を伝送する配線は、第3配線、および第4配線のように、必要によってその以上に拡張可能である。

【0015】

前記データおよび制御信号バスは、デバイスIDとレジスタ設定値とを伝送する第1配線と、レジスタ設定値を伝送する第2配線とからなり、ドライバICの初期設定値を伝送することを含むことを特徴とする。

前記レジスタ設定値を伝送する配線は、第3配線、および第4配線のように、必要によってその以上に拡張可能である。

【0016】

前記各ドライバICは、前記タイミングコントローラーから入力される信号をドライバIC内部で使用される信号に変換する受信機と、前記受信機から入力された信号を液晶パネルに表示されるデータに処理するデータ処理機と、入力されるパケットに含まれたデバイスIDとドライバICの初期設定時に与えられたIDとを比較するID比較機と、STHまたは制御パケットの要請がある時、それに合う制御信号を生じる制御信号発生器と、

ドライバ I C の初期設定値が格納された制御レジスタを含んで構成されることを特徴とする。

【0017】

各ドライバ I C は、前記 I D 比較機においてデバイス I D を比較した結果、互いに異なると、更に前記データ処理機からデバイス I D、S T H、およびデータを含んだ全ての信号を次の I C に伝送する送信機を含むことを特徴とする。

【発明の効果】

【0018】

本発明によれば、液晶表示装置の駆動回路は次の効果が得られる。

プロトコルを用いてタイミングコントローラーからドライバ I C にパケットを伝送することにより、配線数を低減させることができ、それによってバス運用効率を高めることができる。 10

【0019】

また、別の制御信号が追加されても、このような方式で配線数をそのまま維持しながら新たな機能を追加させることができるので、ドライバ I C に一層多い機能を有するようにし、かつ、配線数の増加を防止することができる。

【0020】

このように、配線数の低減はソース P C B l e s s のような C O G (C h i p O n G l a s s) 技術を使用する時、パネル上の配線数を低減させることにより配線幅を大きくすることができるので、電圧降下によるドライバ I C の誤動作を防止することができる 20

【発明を実施するための最良の形態】

【0021】

以下、添付の図面を参照しながら本発明に係る液晶表示装置の駆動回路を説明する。

図 4 は、本発明に係る液晶表示装置の駆動回路を示すものであって、タイミングコントローラー (3 1) とドライバ I C 3 3 との間はクロック配線 (3 5) と、データおよび制御信号バス (3 7) とにより接続されている。

【0022】

本発明はデータ入力のない B l a n k 区間に、データおよび制御信号バス (3 7) を通じて各ドライバ I C に制御信号を伝送することにより既存に比べて配線数を大幅減らすことにより、バス (B u s) をより効果的に使用することに技術的特徴があるものであって、タイミングコントローラーとドライバ I C との間にはデータ、および各種制御信号を伝送するためのデータおよび制御信号バス (3 7) と、クロック信号の伝送のためのクロック配線 (3 5) のみを構成して、前記データ、および制御信号をバスの区分なしに 1 つのバスを用いて伝送する。 30

【0023】

このためには、図 5 のようなパケットを用いる。

即ち、図 5 は、本発明に係るデータおよび制御信号バスを通じて伝送されるパケットを示すものであって、前記データ、および制御信号配線 (3 7) を通じて B l a n k 区間には、制御パケットを伝送し、データ入力区間にはデータパケットを伝送する。 40

【0024】

図 6 A は、本発明に係るデータパケットを示すものであり、図 6 B は、制御パケットを示すものであり、図 6 C は、ドライバ I C の初期設定のためのパケットを示すものであって、図 6 A によると、バス中の 1 つの配線はデバイス I D とデータを、別の配線は S T H 信号の可否とデータとを、残りの配線を用いてデータを伝送していることを示す。

【0025】

図 6 B は、制御パケットを示すものであって、バス中の 1 つの配線はデバイス I D と制御信号とを伝送し、残りの配線により等を用いて制御信号を伝送していることを示す。

【0026】

図 6 C は、ドライバ I C の初期設定のためのパケットを示すものであって、バス中の 1 50

つの配線はデバイスIDとレジスタ設定値とを伝送し、残りの配線を用いてレジスタ設定値を伝送していることを示す。

【0027】

図7は、本発明の液晶表示装置の駆動回路に係るドライバICの内部構成ブロック図であって、受信機(71)、データ処理機(73)、ID比較機(75)、制御信号発生器(77)、制御レジスタ(79)、および従来のドライバICの内部ブロック部(81)から構成されている。

本発明に係るドライバICは、前記受信機(71)がバスを通じて入力されるパケットを受け取って、ICの内部で使用される信号に変換し、データ処理機(73)は液晶表示装置の画面にディスプレイされるデータを処理し、ID比較機(75)はドライバICの初期設定時に与えられた値とパケットのデバイスIDとを比較する。

10

【0028】

そして、前記制御信号発生器(77)は、STHまたは制御パケットの要請がある時に、それに合う制御信号を発生させ、前記制御レジスタ(79)はドライバICの初期設定値が格納される。

【0029】

最終に、前記従来のドライバICの内部ブロック部(81)は、従来のドライバICと同様に信号等を受け取って、液晶表示装置の画面にデータを出力する役目をする。

このように構成されたドライバICの動作を図6Aないし6Cのパケットと共に説明すると次の通りである。

20

【0030】

先ず、図6Aのようなデータパケットが受信機(71)を通じて入力されると、ID比較機(75)は入力されるパケットのデバイスIDとドライバICの初期設定時に与えられたIDとを比較する。その際、ドライバICに設定されたデバイスIDと不一致するとドライバICはデータを処理しなく、電力消耗を減らすためにデータ処理機(73)と制御信号発生器(77)を待機(Standby)状態にする。

【0031】

若し、パケットのドライバICとドライバICに設定されたIDとが互いに一致すると、データ処理機(73)は受信機(71)を通じて入力されたデータを受け取って従来のドライバICの内部ブロック部(81)にデータを伝送する。その際、パケットからSTH信号を発生させる要請があると、前記の制御信号発生器(77)はSTH信号を発生させ、若し、STH信号発生に要請がなければ、制御信号発生器(77)は待機状態となる。

30

【0032】

図6Bのような制御パケットが受信機(71)を通じて入力されると、ID比較機(75)はデバイスIDを比較して制御パケットが入力されたことを認識する。

その際、前記ID比較機(75)において、制御パケットが入力されたことを認識する方法は次の通りである。

【0033】

例えば、ドライバIC1ないしドライバIC8に与えられたデバイスIDが0001ないし1000と仮定すると、制御信号はドライバIC毎に入力されるデータとは異に、全てのドライバICに同時に入力されるので、デバイスIDが1001の場合は、制御パケットと認識する。

40

これは実際に、ドライバICに与えられたデバイスIDと重ならないように設定しさえすればよい。

【0034】

前記制御パケットが入力されると、データ処理機は使用されないのので、待機状態にし、制御信号発生器(77)から制御信号の要請による信号を発生させて従来のドライバICの内部ブロック部(81)に入力する。その際、制御レジスタ(79)に設定された値により制御信号の発生タイミングを調節することになる。

50

【0035】

一方、図6CのようなドライバICの初期設定のためのパケットが受信機(71)を通じて入力されると、ID比較機(75)でデバイスIDを比較して、ドライバICの初期設定のためのパケットが入力されたことを認識する。このパケットはドライバICにパワーが入力された後、正常動作する前に初期設定を行うものであるので、全てのドライバICが同時に設定される。

【0036】

従って、0000のような値を使用して初期設定のためのパケットと認識するようにすればよい。このパケットが入力されると、データ処理機(73)、制御信号発生器(77)、従来のドライバICの内部ブロック部(81)のようなブロックは動作しなくても良いので、待機状態とし、各レジスタは入力されるセッティング値によりセッティングされることになる。

その際、セッティングされる値は、各ドライバICのデバイスID、STH、POL、LOAD等の制御信号発生要請がある時、各制御信号の発生タイミングに対する設定値である。

【0037】

勿論、前記図6Bおよび6Cの場合、各ドライバIC毎に制御信号の発生や初期設定値を異ならにすることができるが、これは各々の場合にも前記図6Aのデータパケットと同様に、デバイスIDをドライバIC毎に区分できるように設定しさえすればよい。

【0038】

図8および図9は、図7のようなブロックを有するドライバICを使用して構成することができるタイミングコントローラとドライバICとの間の連結方式を示すものである。

【0039】

図8は、各ドライバICに連結されるバスが個別的な場合であって、ポイントツウポイント(Point to Point)方式であり、図9は、1つのバスで各ドライバICに分配されて連結される場合であって、マルチドロップ(Multidrop)方式に該当する。

【0040】

図10は、本発明によるドライバICの内部ブロック図であって、図7の構成に送信機を追加した場合であり、これは図11のような連結方式であるCASCAD Eを具現するためのものである。

【0041】

ここで、図10の動作は、図7の動作と略同一であり、単に、送信機(83)が追加されることによる動作だけ追加される。例えば、図6Aのようなデータパケットが入力される場合、デバイスIDが異なるとデータ処理機(73)ではデバイスID、STH、およびデータを含んだ全ての信号を送信機(83)に送り、次のドライバICに渡すことになる。

デバイスIDが同一であれば、送信機(83)は動作する必要がないので、待機状態になる。

【0042】

同様に、図6Bおよび6Cのようなパケットが入力される場合にも全てのドライバICが動作しなければならないので、各ドライバICは与えられた動作を遂行することと共に、送信機(83)を次のドライバICにパケットを伝送することになる。

【0043】

このように、本発明は多様な変化、変更、および均等物を使用することができ、前記の実施に形態等を適切に変形して同様に応用することができることは明確である。従って、前記記載内容は下記の特許請求範囲の限界により定まる本発明の範囲を限定するのではない。

【図面の簡単な説明】

10

20

30

40

50

【0044】

【図1】一般の液晶表示装置の基本構成図である。

【図2】従来の技術に係る液晶表示装置の駆動回路の構成ブロック図である。

【図3】図2に係るタイミングコントローラーから出力される各種信号を示す概念図である。

【図4】本発明に係る液晶表示装置の駆動回路の構成ブロック図である。

【図5】本発明に係るデータおよび制御信号バスを通じて伝送されるパケットを示す図面である。

【図6】Aは本発明に係るデータパケットの構成図であり、Bは本発明に係る制御パケットの構成図であり、Cは本発明に係るドライバICの初期設定のためのパケットの構成図である。 10

【図7】本発明の液晶表示装置の駆動回路に係るドライバICの内部構成ブロック図である。

【図8】図7のようなブロックを有するドライバICを使用して構成することができるタイミングコントローラーとドライバICとの間の連結方式でバスが個別的な場合を示す図面である。

【図9】図7のようなブロックを有するドライバICを使用して構成することができるタイミングコントローラーとドライバICとの間の連結方式でマルチドロップ方式の場合を示す図面である。

【図10】本発明の別の実施の形態に係るドライバICの内部ブロック図である。 20

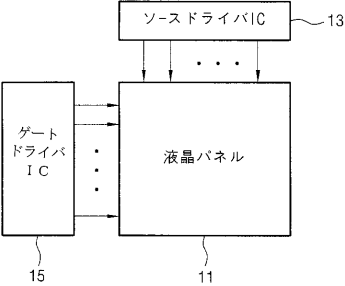
【図11】本発明の別の実施の形態に係るタイミングコントローラーとドライバICとの間の連結方式を示す図面である。

【符号の説明】

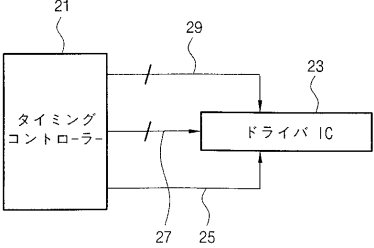
【0045】

- 27 データバス
- 31 タイミングコントローラー
- 33 ドライバIC
- 35 クロック配線
- 37 データおよび制御信号バス
- 71 受信機
- 73 データ処理機
- 75 ID比較機
- 77 制御信号発生器
- 79 制御レジスタ
- 81 従来のドライバICの内部ブロック部
- 83 送信機

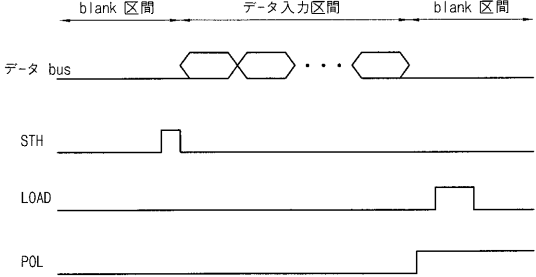
【図 1】



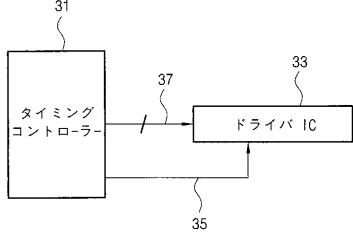
【図 2】



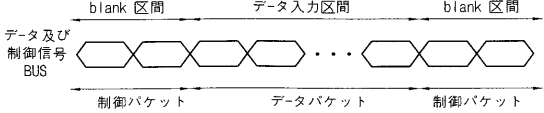
【図 3】



【図 4】

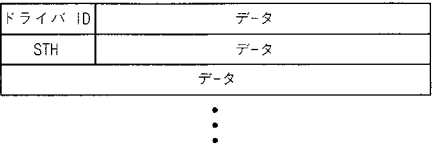


【図 5】

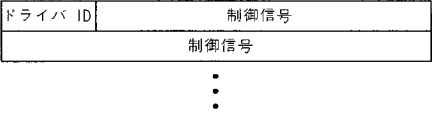


【図 6】

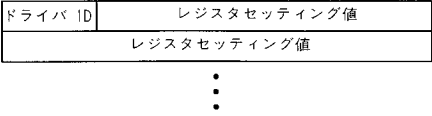
(A)



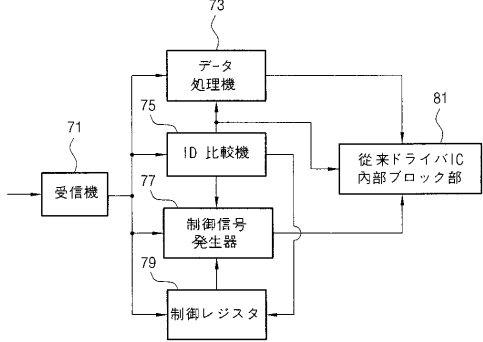
(B)



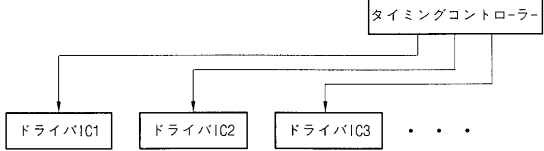
(C)



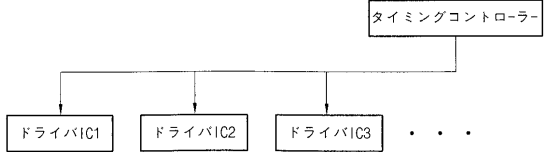
【図 7】



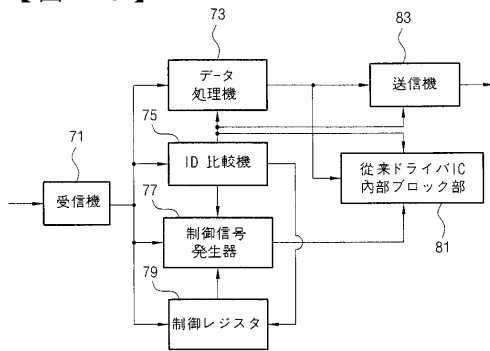
【図 8】



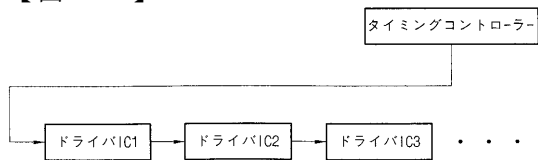
【図 9】



【図 1 0】



【図 1 1】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 3 3 Z

F ターム(参考) 5C080 AA10 BB05 DD23 FF01 GG09 JJ02 JJ04

专利名称(译)	液晶显示装置的驱动电路		
公开(公告)号	JP2005222018A	公开(公告)日	2005-08-18
申请号	JP2004261876	申请日	2004-09-09
[标]申请(专利权)人(译)	Bioi高盘科技有限公司		
申请(专利权)人(译)	Bioi Heidis科技有限公司		
[标]发明人	鄭京薰		
发明人	鄭 京 薰		
IPC分类号	G02F1/133 G02F1/13 G09G3/20 G09G3/36 G09G5/00		
CPC分类号	G09G5/006 G02F1/13452		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.550 G09G3/20.633.C G09G3/20.633.H G09G3/20.633.Z		
F-TERM分类号	2H093/NA16 2H093/NC34 2H093/NC41 2H093/ND49 2H093/ND50 2H093/NE10 5C006/AA28 5C006/AF24 5C006/AF73 5C006/BC12 5C006/BC24 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD23 5C080/FF01 5C080/GG09 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZP20		
优先权	1020040007289 2004-02-04 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过使用液晶显示装置的驱动电路中的协议的数据传输有效地使用连接在时序控制器和每个驱动器IC之间的布线，以便有效地使用时序控制器和每个驱动器IC之间的布线。最小化彼此连接的导线数量。一种数据和控制信号总线，用于在数据输入时段期间将从定时控制器输出的数据包发送到每个驱动器IC到液晶显示装置，并在空白时段中将控制包发送到每个驱动器IC，并且时钟布线连接在源极驱动器IC和时序控制器之间，并将从时序控制器输出的时钟信号发送到每个驱动器IC。点域4

