

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-17494

(P2005-17494A)

(43) 公開日 平成17年1月20日(2005.1.20)

(51) Int.Cl.⁷

G02F 1/1339

F I

G02F 1/1339 500

テーマコード (参考)

2H089

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号 特願2003-179671 (P2003-179671)

(22) 出願日 平成15年6月24日 (2003.6.24)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

(74) 代理人 100084618

弁理士 村松 貞男

(74) 代理人 100092196

弁理士 橋本 良郎

最終頁に続く

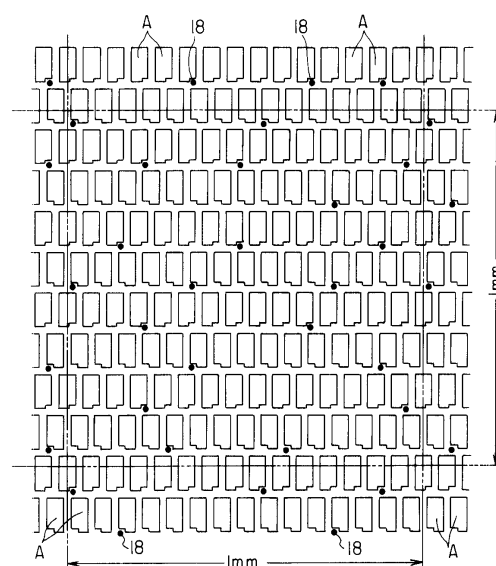
(54) 【発明の名称】 液晶表示素子

(57) 【要約】 (修正有)

【課題】 一对の基板の間隙を、表示エリアの全域にわたって規定して複数の画素の液晶層厚を均一にし、さらに、柱状スペーサの近傍に生じる部分的な表示むらを目立たなくして良好な表示品質を得る。

【解決手段】 複数の柱状スペーサ18を、複数の画素Aの間に対応する領域に、予め定めた配列密度でランダムに配置した。さらに、ラビング不良による表示むらの発生領域は柱状スペーサ18の近傍の極く小さい領域であり、その表示むらの大部分は遮光膜16により隠され、遮光膜16からはみ出した部分が画素A内に見えるだけに構成されている。これらによって柱状スペーサ18の近傍に生じる部分的な表示むらを目立たなくすることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一对の基板の対向面にそれぞれ設けられ、互いに対向する領域によりマトリックス状に配列する複数の画素を形成する電極と、前記一对の基板の対向面のいずれか一方の前記複数の画素の間に対応する領域に、予め定めた配列密度でランダムに配置され、他方の基板の対向面に当接して前記一对の基板の間隙を規定する複数の柱状スペーサと、前記間隙に設けられた液晶層とを備えることを特徴とする液晶表示素子。

【請求項 2】

複数の柱状スペーサは、 $5 \sim 15 \mu\text{m}$ の太さに形成され、 $10 \sim 30 \text{個}/\text{mm}^2$ の密度で配列していることを特徴とする請求項 1 に記載の液晶表示素子。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、柱状スペーサを備えた液晶表示素子に関する。

【0002】

【従来の技術】

液晶表示素子には、一对の基板の間隙、つまり液晶層厚を、散布型のビーズ状スペーサにより規定したものと、一方の基板上に配置された複数の柱状スペーサにより規定したものとがある。

【0003】

前記柱状スペーサは、基板上に感光性樹脂を塗布し、その樹脂膜を露光及び現像処理によりパターンニングするフォトリソグラフィケーション法により形成されている（特許文献 1 参照）。

20

【0004】

そのため、前記柱状スペーサは所望の位置に設けることが可能であり、したがって、複数の柱状スペーサを、複数の画素の間に対応する領域に予め定めたピッチで配置することができるため、一对の基板の間隙を、複数の画素がマトリックス状に配列している表示エリアの全域にわたって前記柱状スペーサにより規定し、複数の画素の液晶層厚を均一にすることができる。

【0005】

30

【特許文献 1】

特開 2002-148633 号公報

【0006】

【発明が解決しようとする課題】

しかし、複数の柱状スペーサを画素ピッチの整数倍のピッチで配置した液晶表示素子は、前記柱状スペーサの近傍に生じる部分的な表示むらが目立ち、表示品質を低下させるという問題をもっている。

【0007】

この発明は、一对の基板の間隙を、複数の画素がマトリックス状に配列している表示エリアの全域にわたって規定して複数の画素の液晶層厚を均一にし、さらに、柱状スペーサの近傍に生じる部分的な表示むらを目立たなくして良好な表示品質を得ることができる液晶表示素子を提供することを目的としたものである。

40

【0008】

【課題を解決するための手段】

この発明の液晶表示素子は、一对の基板の対向面にそれぞれ設けられ、互いに対向する領域によりマトリックス状に配列する複数の画素を形成する電極と、前記一对の基板の対向面のいずれか一方の前記複数の画素の間に対応する領域に、予め定めた配列密度でランダムに配置され、他方の基板の対向面に当接して前記一对の基板の間隙を規定する複数の柱状スペーサと、前記柱状スペーサにより規定された前記間隙に設けられた液晶層とを備えることを特徴とする。

50

【0009】

この液晶表示素子は、複数の柱状スペーサを、複数の画素の間に対応する領域に予め定めた配列密度で配置しているため、一对の基板の間隙を、前記複数の画素がマトリックス状に配列する表示エリアの全域にわたって前記柱状スペーサにより規定し、複数の画素の液晶層厚を均一にすることができる。

【0010】

しかも、この液晶表示素子では、前記複数の柱状スペーサをランダムに配置しているため、前記柱状スペーサの近傍に生じる部分的な表示むらを目立たなくし、良好な表示品質を得ることができる。

【0011】

このように、この発明の液晶表示素子は、複数の柱状スペーサを、複数の画素の間に対応する領域に、予め定めた配列密度でランダムに配置することにより、一对の基板の間隙を、表示エリアの全域にわたって規定して複数の画素の液晶層厚を均一にし、さらに、柱状スペーサの近傍に生じる部分的な表示むらを目立たなくして良好な表示品質を得ることができるようにしたものである。

【0012】

この発明の液晶表示素子において、前記複数の柱状スペーサは、 $5 \sim 15 \mu\text{m}$ の太さに形成され、 $10 \sim 30 \text{個}/\text{mm}^2$ の密度で配列しているのが好ましい。

【0013】

【発明の実施の形態】

図1～図3はこの発明の一実施例を示しており、図1は液晶表示素子のスペーサ配置図、図2は前記液晶表示素子の一部分の平面図、図3は図2のIII-III線に沿う拡大断面図である。

【0014】

この液晶表示素子は、図2及び図3に示したように、一对の透明基板1、2の対向面にそれぞれ設けられ、互いに対向する領域によりマトリックス状に配列する複数の画素A（図1参照）を形成する透明電極3、4と、前記一对の基板1、2の対向面のいずれか一方の前記複数の画素Aの間に対応する領域に、予め定めた配列密度でランダムに配置され、他方の基板の対向面に当接して前記一对の基板1、2の間隙を規定する複数の柱状スペーサ18と、前記間隙に設けられた液晶層20とを備えている。

【0015】

この実施例の液晶表示素子は、TFT（薄膜トランジスタ）をアクティブ素子とするアクティブマトリックス液晶表示素子であり、一方の基板、例えば表示の観察側とは反対側の基板（以下、後基板と言う）1に設けられた電極3は、行方向（図2において左右方向）及び列方向（図2において上下方向）にマトリックス状に配列する複数の画素電極、他方の基板、つまり観察側の基板（以下、前基板と言う）2に設けられた電極4は、前記複数の画素電極3の全てに対向する一枚膜状の対向電極である。

【0016】

なお、この液晶表示素子は、デルタ配列（モザイク配列とも言う）型のカラー表示素子であり、図2において、（R）の画素電極3は赤色画素を形成する電極、（G）の画素電極3は緑色画素を形成する電極、（B）の画素電極は青色画素を形成する電極である。

【0017】

これらの画素電極3は、行方向には交互に並べて直線状に配列され、列方向には、同色の画素を形成する電極同士を1.5ピッチずつ行方向に交互にずらしてジグザグに配列されている。

【0018】

また、前記複数の画素電極3が形成された後基板1の前基板2と対向する面には、前記複数の画素電極3にそれぞれ対応する複数のTFT5と、各画素電極行に対応するTFT5にそれぞれゲート信号を供給する複数のゲート配線12と、同色の画素Aを形成するジグザグの各画素電極列に対応するTFT5にそれぞれデータ信号を供給する複数のデータ配

10

20

30

40

50

線 1 3 が設けられている。

【0019】

前記 T F T 5 は、前記後基板 1 の基板面上に形成されたゲート電極 6 と、このゲート電極 6 を覆って前記基板面の略全域に形成された透明なゲート絶縁膜 7 と、前記ゲート絶縁膜 7 の上に前記ゲート電極 6 と対向させて形成された i 型半導体膜 8 と、この i 型半導体膜 8 のチャンネル領域を挟む両側部の上に n 型半導体膜 9 を介して形成されたソース電極 1 0 およびドレイン電極 1 1 とからなっている。

【0020】

なお、前記複数の T F T 5 のうち、1 つ置きの行（例えば奇数行）の画素電極 3 に対応する T F T 5 は、前記画素電極 3 の一端縁の左側部分に対応させて設けられ、他の 1 つ置きの行（例えば偶数行）の画素電極 3 に対応する T F T 5 は、前記画素電極 3 の一端の右側部分に対応させて設けられている。 10

【0021】

前記複数のゲート配線 1 2 は、前記後基板 1 の基板面上に各画素電極行の一側にそれぞれ沿わせて形成されており、前記各画素電極行に対応する T F T 5 のゲート電極 6 はそれぞれ、その行に対応するゲート配線 1 2 に一体に形成されている。

【0022】

前記複数のデータ配線 1 3 は、前記ゲート絶縁膜 7 の上に、同色の画素 A を形成するジグザグの各画素電極列にそれぞれ沿わせて形成されており、前記各画素電極列に対応する T F T 5 のドレイン電極 1 1 はそれぞれ、その列に対応するデータ配線 1 3 につながっている。 20

【0023】

このデータ配線 1 3 は、前記 1 つ置きの行の画素電極 3 の左側と、他の 1 つ置きの行の画素電極 3 の右側とをそれぞれ迂回する左右の縦配線部と、各ゲート配線 1 2 の上側に前記ゲート配線 1 2 と平行に形成され、前記左右の縦配線部をつなぐ横配線部とからなっており、前記 T F T 5 のドレイン電極 1 1 は、前記横配線部から T F T 5 側に延長された分岐配線部に一体に形成されている。

【0024】

そして、前記複数の画素電極 3 は、前記ゲート絶縁膜 7 の上に形成されており、これらの画素電極 3 に対応する T F T 5 のソース電極 1 0 にそれぞれ接続されている。 30

【0025】

さらに、前記後基板 1 には、前記複数の T F T 5 と複数のデータ配線 1 3 とを覆って、前記複数の画素電極 3 上の部分にそれぞれ開口が設けられたオーバーコート絶縁膜（透明膜）1 4 が設けられており、その上に配向膜 1 5 が形成されている。

【0026】

一方、前記前基板 2 の後基板 1 と対向する面には、前記複数の画素電極 3 にそれぞれ対応する複数の画素 A 以外の領域に対応する遮光膜 1 6 と、前記（R）、（G）、（B）の各画素電極 3 にそれぞれ対応する赤、緑、青の 3 色のカラーフィルタ 1 7 が設けられており、その上に対向電極 4 が形成されている。

【0027】

そして、前記複数の柱状スペーサ 1 8 は、前記遮光膜 1 6 と対向電極 4 との積層膜の上に、前記複数の画素 A の間に対応させて、予め定めた配列密度でランダムに配置されている。 40

【0028】

この実施例では、前記後基板 1 に設けられた複数の T F T 5 を、単位面積毎に略同数ずつ、且つ前記単位面積毎に乱数表等を利用してランダムに選択し、これらの T F T 5 にそれぞれ対応させて柱状スペーサ 1 8 を配置している。

【0029】

前記柱状スペーサ 1 8 は、前記遮光膜 1 6 とカラーフィルタ 1 7 と対向電極 4 とを形成した前基板 2 上に感光性樹脂を塗布し、その樹脂膜を露光及び現像処理によりパターンニング 50

するフォトファブ리케이션法により形成されたものであり、その高さは、前記柱状スペーサ18を後基板1のTFT形成部に当接させたときに、後基板1と前基板2の画素Aに対応する部分の間隙が予め定めた値になるように設定されている。

【0030】

この柱状スペーサ18は、例えば円柱状スペーサであり、この実施例では、前記柱状スペーサ18を、前記TFT5の幅狭方向の幅と同程度以下の $5\sim 15\mu\text{m}$ の太さ（直径）の円柱状に形成し、これらの柱状スペーサ18を、図1に示したように、 $10\sim 30$ 個/ m^2 の密度でランダムに配列している。

【0031】

なお、前記複数の画素電極3にそれぞれ対応する複数の画素Aは、横幅（行方向の幅）が10
60～70 μm 、縦幅（列方向の幅）が100～120 μm の縦長の矩形状で、その一端部のTFT5に対応する部分は切欠された形状をなしており、また、行方向に並ぶ2つの画素Aの間隔と列方向に並ぶ2つの画素Aの間隔はそれぞれ15～20 μm に設定され、前記列方向に並ぶ2つの画素AのTFT5を挟んで隣り合う部分の間隔は25～40 μm に設定されている。

【0032】

さらに、前記前基板2の後基板1と対向する面には、前記対向電極4と複数の柱状スペーサ18を覆って配向膜19が形成されている。

【0033】

前記後基板1と前基板2の対向面に形成された前記配向膜15, 19は、ポリイミド等からなる水平配向膜であり、これらの配向膜15, 19はそれぞれ、その膜面を予め定めた方向にラビングすることにより配向処理されている。 20

【0034】

そして、後基板1と前基板2は、前記前基板2に設けられた複数の柱状スペーサ18を、前記後基板1に設けられた複数のTFT5のうちの前記柱状スペーサ18に対応するTFT5にそれぞれ前記オーバーコート絶縁膜14及び配向膜15, 19を介して当接させることにより、両基板1, 2の間隙を規定され、前記複数の画素Aがマトリックス状に配列する表示エリアを囲む枠状のシール材（図示せず）を介して接合されており、前記液晶層20は、前記両基板1, 2の間隙の前記シール材で囲まれた領域に設けられている。

【0035】

この液晶表示素子は、例えば、後基板1と前基板2の対向面に形成された配向膜15, 19を互いに直交する方向に配向処理したTN（ツイステッドネマティック）型のものであり、前記液晶層20の液晶分子は、両基板1, 2間において実質的に90度のツイスト角でツイスト配向している。 30

【0036】

なお、図では省略しているが、前記後基板1と前基板2の外面には後側偏光板と前側偏光板が、それぞれの透過軸を実質的に直交させるか、あるいは実質的に平行にして配置される。

【0037】

この液晶表示素子は、複数の柱状スペーサ18を、複数の画素Aの間に対応する領域（この実施例ではTFT5に対応する領域）に予め定めた配列密度で配置しているため、一対の基板1, 2の間隙を、前記複数の画素Aがマトリックス状に配列する表示エリアの全域にわたって前記柱状スペーサ18により規定し、複数の画素Aの液晶層厚dを均一にすることができる。 40

【0038】

しかも、この液晶表示素子では、前記複数の柱状スペーサ18をランダムに配置しているため、前記柱状スペーサ18の近傍に生じる部分的な表示むらを目立たなくし、良好な表示品質を得ることができる。

【0039】

すなわち、前記後基板1と前基板2の対向面に形成された配向膜15, 19の配向処理は 50

、前記配向膜 15, 19 の膜面をラビングローラにより予め定めた方向にラビングすることにより行なわれるが、その場合、前記柱状スペーサ 18 が設けられた前基板 2 に形成された配向膜 19 は、前記柱状スペーサ 18 を覆う部分が他の部分よりも高く突出しているため、その突出部の周囲のうち、ラビングの開始端側から見て影になる部分、つまりラビング方向へのラビングローラの移動に対して被ラビング面の高さが急激に低くなる部分のラビングが充分に行なわれない。

【0040】

図 4 は前記柱状スペーサ 18 が設けられた前基板 2 の配向膜 19 のラビング状態を示す模式図であり、この配向膜 19 を、そのラビング方向を図に矢線で示したように斜め右上方向に向かってラビングしたときは、前記配向膜 19 の柱状スペーサ 18 を覆う突出部の周囲のうち、斜め右上の部分 a のラビングが充分に行なわれない。 10

【0041】

そして、前記配向膜 19 にラビングが充分に行なわれないラビング不良個所があると、液晶層 20 の液晶分子の配向状態が前記ラビング不良個所の付近で乱れ、その領域に、他の部分とは明るさが異なる表示むらが発生する。

【0042】

この表示むらの発生領域は、前記柱状スペーサ 18 の近傍の極く小さい領域であり、しかも、その表示むらの大部分は前記遮光膜 16 により隠され、前記遮光膜 16 からはみ出した部分が画素 A 内に見えるだけであるため、局部的に見た表示むらはほとんど目立たない。 20

【0043】

しかし、前記柱状スペーサ 18 が一定のピッチで規則的に配置されている場合は、各柱状スペーサ 18 の近傍の表示むらが直線状に並んで見える。

【0044】

図 5 は、複数の画素 A の間に対応する領域に前記複数の柱状スペーサ 18 を、上記実施例と同じ配列密度で、各行毎に 1 画素分ずつ行方向にずらして一定のピッチで配置した比較例の液晶表示素子のスペーサ配置図であり、この比較例では、各柱状スペーサ 18 の近傍の表示むらが、各行毎に 1 画素分ずつずれた方向に沿って直線状に並んで見え、そのために、前記表示むらが目立ち、表示品質を低下させる。 30

【0045】

このような比較例に対し、上記実施例の液晶表示素子では、前記複数の柱状スペーサ 18 をランダムに配置しているため、各柱状スペーサ 18 の近傍の表示むらの位置が図 1 に示したように不規則であり、したがって、前記柱状スペーサ 18 の近傍に生じる部分的な表示むらを目立たなくし、良好な表示品質を得ることができる。 40

【0046】

また、上記実施例の液晶表示素子では、上述したように、前記複数の柱状スペーサ 18 を、 $5 \sim 15 \mu\text{m}$ の太さに形成し、これらの柱状スペーサ 18 を $10 \sim 30 \text{ 個}/\text{mm}^2$ の密度で配列しているため、前記柱状スペーサ 18 の強度を十分に確保し、しかも前記表示むらをさらに目立たなくするとともに、複数の画素 A の液晶層厚 d をより均一にし、表示品質をさらに高くすることができる。 50

【0047】

すなわち、前記表示むらの発生領域は前記柱状スペーサ 18 を細くするほど小さくなるが、柱状スペーサ 18 を細くし過ぎると、その強度が弱くなり、スペーサとしての機能を維持できなくなる。

【0048】

上記実施例では、前記複数の柱状スペーサ 18 を、 $5 \sim 15 \mu\text{m}$ の太さに形成しているため、前記柱状スペーサ 18 の強度を十分に確保するとともに、前記表示むらの発生領域を十分に小さくし、画素 A 内に見える前記表示むらをさらに目立たなくして表示品質をより高くすることができる。

【0049】

前記柱状スペーサ 18 の太さは、より好ましくは約 $20\ \mu\text{m}$ であり、前記柱状スペーサ 18 をこのような太さにすることにより、前記柱状スペーサ 18 の強度をより十分に確保するとともに、前記表示むらの発生領域をより小さくすることができる。

【0050】

また、前記一对の基板 1, 2 の間隙は、前記柱状スペーサ 18 の配列密度を高くするほど、前記表示エリアの全域にわたってより精度良く規定できるが、前記柱状スペーサ 18 の配列密度を高くすると、単位面積内に見える前記表示むらの数が多くなる。

【0051】

上記実施例では、前記柱状スペーサ 18 の配列密度を $10 \sim 30\ \text{個}/\text{mm}^2$ としているため、単位面積内に見える前記表示むらの数を十分に少なくし、前記表示むらをさらに目立たなくするとともに、前記一对の基板 1, 2 の間隙を、前記表示エリアの全域にわたって十分な精度で規定し、複数の画素 A の液晶層厚 d をより均一にして、表示品質をより高くすることができる。

【0052】

前記柱状スペーサ 18 の配列密度は、より好ましくは約 $20\ \text{個}/\text{mm}^2$ であり、前記柱状スペーサ 18 をこのような密度で配置することにより、前記一对の基板 1, 2 の間隙を、前記表示エリアの全域にわたってより高い精度で規定し、複数の画素 A の液晶層厚 d をより均一にすることができる。

【0053】

なお、上記実施例では、複数の柱状スペーサ 18 を TFT5 に対応させて配置しているが、前記柱状スペーサ 18 は、複数の画素 A の間に対応する領域であれば、ゲート配線 12 またはデータ配線 13 に対応させてランダムに配置してもよい。

【0054】

また、上記実施例では、複数の柱状スペーサ 18 を対向電極 4 が設けられた基板（前基板）2 に設けているが、前記柱状スペーサ 18 は、複数の画素電極 3 が設けられた基板（後基板）1 に設けてもよい。

【0055】

さらに、上記実施例の液晶表示素子は、TFT5 をアクティブ素子とするクティブマトリックス液晶表示素子であるが、この発明は、MIM 等の 2 端子の非線型抵抗素子をアクティブ素子とするアクティブマトリックス液晶表示素子や、単純マトリックス液晶表示素子にも適用することができる。

【0056】

【発明の効果】

この発明の液晶表示素子は、複数の柱状スペーサを、複数の画素の間に対応する領域に、予め定めた配列密度でランダムに配置したものであるため、一对の基板の間隙を、表示エリアの全域にわたって規定して複数の画素の液晶層厚を均一にし、さらに、柱状スペーサの近傍に生じる部分的な表示むらを目立たなくして良好な表示品質を得ることができる。

【0057】

この発明の液晶表示素子において、前記複数の柱状スペーサは、 $5 \sim 15\ \mu\text{m}$ の太さに形成され、 $10 \sim 30\ \text{個}/\text{mm}^2$ の密度で配列しているのが好ましく、このようにすることにより、前記柱状スペーサの強度を十分に確保し、しかも前記表示むらをさらに目立たなくするとともに、複数の画素の液晶層厚をより均一にし、表示品質をさらに高くすることができる。

【図面の簡単な説明】

【図 1】 この発明の一実施例を示す液晶表示素子のスペーサ配置図。

【図 2】 前記液晶表示素子の一部分の断面図。

【図 3】 図 2 の III-III 線に沿う拡大断面図。

【図 4】 柱状スペーサが設けられた基板の配向膜のラビング状態を示す模式図。

【図 5】 複数の柱状スペーサを一定のピッチで配置した比較例の液晶表示素子のスペーサ配置図。

10

20

30

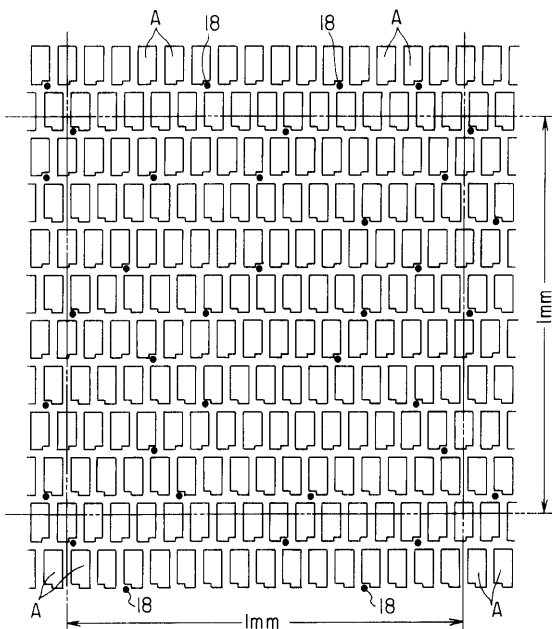
40

50

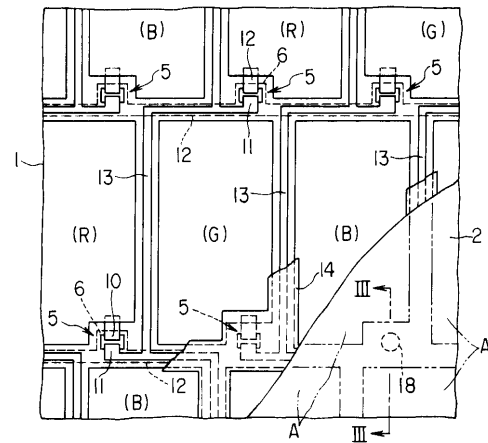
【符号の説明】

1, 2…基板、3, 4…電極、5…T F T、12…ゲート配線、13…データ配線、14…オーバーコート絶縁膜、15, 19…配向膜、16…遮光膜、17…カラーフィルタ、18…柱状スペーサ、20…液晶層。

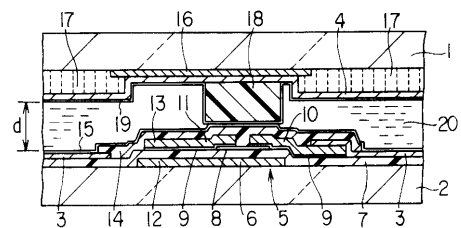
【図 1】



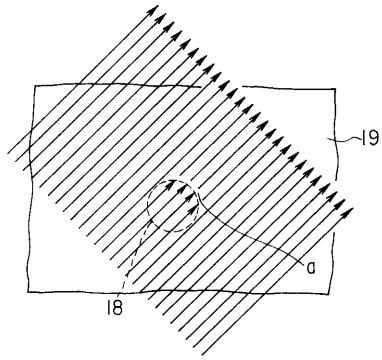
【図 2】



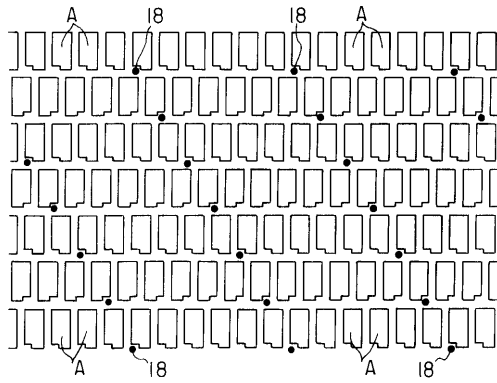
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 北川 克己

東京都八王子市石川町２９５１番地の５ カシオ計算機株式会社八王子研究所内

Fターム(参考) 2H089 LA09 LA10 LA12 LA19 LA20 MA03X NA14 QA14 QA16 RA05

SA17 TA09 TA13

专利名称(译)	液晶显示元件		
公开(公告)号	JP2005017494A	公开(公告)日	2005-01-20
申请号	JP2003179671	申请日	2003-06-24
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	北川克己		
发明人	北川 克己		
IPC分类号	G02F1/1339		
FI分类号	G02F1/1339.500		
F-TERM分类号	2H089/LA09 2H089/LA10 2H089/LA12 2H089/LA19 2H089/LA20 2H089/MA03X 2H089/NA14 2H089/QA14 2H089/QA16 2H089/RA05 2H089/SA17 2H089/TA09 2H089/TA13 2H189/DA07 2H189/DA23 2H189/DA48 2H189/DA49 2H189/FA16 2H189/HA14 2H189/HA15 2H189/JA05 2H189/LA03 2H189/LA05 2H189/LA15		
代理人(译)	河野 哲 中村诚		
外部链接	Espacenet		

摘要(译)

解决的问题：通过在整个显示区域上限定一对基板之间的间隙以提供良好的显示质量，以使多个像素的液晶层厚度均匀，并使在柱状间隔物附近出现的部分显示不均匀不明显。得到 解决方案：在与具有预定阵列密度的多个像素A对应的区域中，随机地排列多个柱状间隔物18。此外，由于摩擦失败而导致的显示不均匀产生区域在柱状间隔物18附近是非常小的区域，大部分显示不均匀被遮光膜16遮盖，并且从遮光膜16突出的部分在像素A中。它被配置为可见。结果，可以使在柱状衬垫18附近发生的部分显示不均不明显。[选型图]图1

