

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-157580
(P2004-157580A)

(43) 公開日 平成16年6月3日(2004.6.3)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO5F 3/24	GO5F 3/24 B	2H093
GO2F 1/133	GO2F 1/133 52O	5F038
HO1L 21/822	HO1L 27/04 B	5H420
HO1L 27/04		

審査請求 未請求 請求項の数 31 O L (全 44 頁)

(21) 出願番号	特願2002-319815 (P2002-319815)	(71) 出願人	000005821
(22) 出願日	平成14年11月1日 (2002.11.1)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100077931
			弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

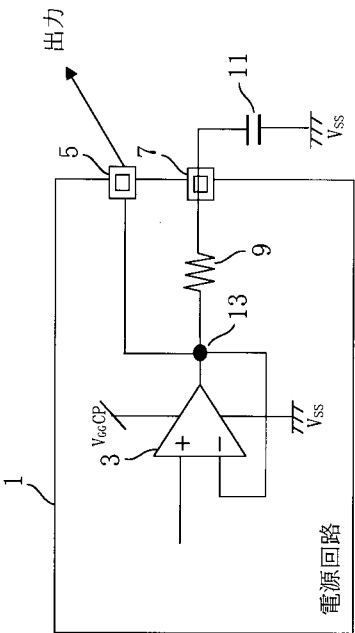
(54) 【発明の名称】 電源回路、半導体集積回路装置及び液晶表示装置

(57) 【要約】

【課題】従来よりも性能の向上が図られた液晶表示装置と、該液晶表示装置に用いられる電源回路及び半導体集積回路とを提供する。

【解決手段】電源回路1は、出力が負帰還されたオペアンプ3と、オペアンプ3の出力部に接続された発振防止用端子7及び出力端子5と、発振防止用端子とオペアンプの出力部との間に介設された抵抗9とを備えている。発振防止用端子を外部のコンデンサと接続することによりオペアンプの発振を防止することができ、且つオペアンプと出力端子との間に抵抗9を挟まないで、大電流を供給することが可能となっている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

外部電源から供給された外部供給電源電圧が入力され、一定電圧の基準電圧を生成するための基準電圧生成回路から接続され、且つ外部回路に駆動電圧を供給するための電源回路であって、
電源電圧と接地電圧とが供給され、出力が負帰還されたオペアンプと、
上記オペアンプの出力部に接続された出力端子と、
上記オペアンプの出力部と上記出力端子とを接続する第 1 の配線と、
上記オペアンプの出力部に接続された発振防止用端子と、
上記第 1 の配線上の節点から分岐し、上記発振防止用端子と上記節点との間を接続する第 10
2 の配線と、
上記第 2 の配線上に介設された発振防止用抵抗と
を備えている電源回路。

【請求項 2】

請求項 1 に記載の電源回路において、
上記外部供給電源電圧または上記基準電圧を昇圧するための昇圧回路をさらに備え、
上記電源電圧は上記昇圧回路からの出力電圧であることを特徴とする電源回路。

【請求項 3】

請求項 1 に記載の電源回路において、
上記外部供給電源電圧または上記基準電圧を昇圧するための昇圧回路と、 20
上記昇圧回路の出力電圧及び接地電圧が供給され、出力が負帰還された前段のオペアンプと、
上記前段のオペアンプの出力部と上記オペアンプとを接続する第 3 の配線と、
上記第 3 の配線から分岐して上記前段のオペアンプの負側入力部に接続される第 4 の配線と、
上記第 4 の配線上に介設された第 1 の抵抗と、
上記第 1 の抵抗及び上記前段のオペアンプの負側入力部とグランドとの間に介設された第 2 の抵抗と
をさらに備え、
上記電源電圧は前段のオペアンプの出力電圧であることを特徴とする電源回路。 30

【請求項 4】

請求項 3 に記載の電源回路において、
M を任意の自然数とすると、上記第 1 の抵抗は、
互いに直列に接続された M 個の分割抵抗と、
上記各分割抵抗間または上記分割抵抗と上記第 2 の抵抗との間を接続する配線と上記前段のオペアンプの負側入力部とをそれぞれ接続するための M 本の接続配線と、
上記各接続配線上に設けられた第 1 のスイッチング手段と
を有する可変抵抗であり、
上記電源回路は、上記分割抵抗のうち、上記前段のオペアンプの出力部に最も近い分割抵抗と 2 番目に近い分割抵抗との間の配線を、所定の期間グランドに接続するための第 2 の 40
スイッチング手段をさらに備えていることを特徴とする電源回路。

【請求項 5】

請求項 1 ~ 4 のうちいずれか 1 つに記載の電源回路において、
上記オペアンプは、
正側入力部及び負側入力部を有する差動増幅部と、
出力部と、
上記出力部とグランドとの間に設けられ、ゲート電極が上記差動増幅部に接続された第 1 導電型の第 1 のトランジスタと、
共に第 2 導電型のトランジスタであり、互いにカレントミラーを構成する第 1 のカレントミラー用トランジスタと、上記差動増幅部に接続された第 2 のカレントミラー用トランジ 50

スタと、上記第 1 のトランジスタ及び上記出力部に接続された第 3 のカレントミラー用トランジスタと、
一端に上記電源電圧が供給され、他端に上記出力部が接続された第 2 導電型の第 2 のトランジスタと、
上記第 2 のトランジスタのゲート電極と上記第 1 のカレントミラー用トランジスタとの間に介設され、ゲート電極に復帰時制御信号を受けて上記第 2 のトランジスタを所定の期間カレントミラー用トランジスタとして動作させる第 1 の制御用トランジスタと、
上記第 1 の制御用トランジスタと同導電型のトランジスタであって、一端に電源電圧が供給され、上記復帰時制御信号の反転信号に応じて上記第 2 のトランジスタの動作状態を制御する第 2 の制御用トランジスタと
を有していることを特徴とする電源回路。

10

【請求項 6】

外部電源から供給された外部供給電源電圧が入力され、一定電圧の基準電圧を生成するための回路に接続され、且つ外部回路に駆動電圧を供給するための電源回路であって、
上記外部供給電圧または上記基準電圧を昇圧するための昇圧回路と、
上記昇圧回路の出力電圧及び接地電圧が供給され、出力が負帰還された第 1 のオペアンプと、
上記第 1 のオペアンプの出力部に接続された第 1 の配線と、
上記第 1 の配線から分岐して上記第 1 のオペアンプの負側入力部に接続される第 2 の配線と、
上記第 1 のオペアンプの負側入力部とグランドとの間に介設された抵抗と、
M を任意の自然数とすると、上記第 2 の配線上に介設され、且つグランドに対して上記抵抗と直列に接続された M 個の分割抵抗と、上記各分割抵抗間または上記分割抵抗と上記抵抗との間を接続する配線と上記第 1 のオペアンプの負側入力部とをそれぞれ接続するための M 本の接続配線と、上記各接続配線上に設けられた第 1 のスイッチング手段とを有する可変抵抗と、
上記分割抵抗のうち、上記第 1 のオペアンプの出力部に最も近い分割抵抗と 2 番目に近い分割抵抗との間の配線を、所定の期間グランドに接続するための第 2 のスイッチング手段と、
上記外部回路に駆動電圧を出力するための出力端子と
を備えている電源回路。

20

30

【請求項 7】

請求項 6 に記載の電源回路において、
上記第 1 のスイッチング手段が互いに同じ導電型の M 個の M I S トランジスタであって、駆動時には上記 M 本の接続配線のうちから選ばれた 1 本の接続配線上の上記第 1 のスイッチング手段のみがオン状態となっていることを特徴とする電源回路。

【請求項 8】

請求項 6 に記載の電源回路において、
上記第 1 のスイッチング手段が C M O S トランスファークロッシングゲートであって、駆動時には上記 M 本の接続配線のうちから選ばれた 1 本の接続配線上の上記第 1 のスイッチング手段のみがオン状態となっていることを特徴とする電源回路。

40

【請求項 9】

請求項 7 または 8 に記載の電源回路において、
上記第 1 のスイッチング手段に含まれる M I S トランジスタは、低耐圧トランジスタであることを特徴とする電源回路。

【請求項 10】

請求項 6 ～ 9 のうちいずれか 1 つに記載の電源回路において、
上記第 2 のスイッチング手段は M I S トランジスタであることを特徴とする電源回路。

【請求項 11】

請求項 6 ～ 9 のうちいずれか 1 つに記載の電源回路において、

50

上記第2のスイッチング手段はダイオードであることを特徴とする電源回路。

【請求項12】

請求項6～11のうちいずれか1つに記載の電源回路において、

上記第1のオペアンプの出力電圧及び接地電圧が供給されるとともに出力が負帰還され、且つ出力部が上記出力端子に接続された第2のオペアンプをさらに備えていることを特徴とする電源回路。

【請求項13】

請求項6～12のうちいずれか1つに記載の電源回路において、

上記第1のオペアンプは、

正側入力部及び負側入力部を有する差動増幅部と、

10

出力部と、

上記出力部とグランドとの間に設けられ、ゲート電極が上記差動増幅部に接続された第1導電型の第1のトランジスタと、

共に第2導電型のトランジスタであり、互いにカレントミラーを構成する第1のカレントミラー用トランジスタと、上記差動増幅部に接続された第2のカレントミラー用トランジスタと、上記第1のトランジスタ及び上記出力部に接続された第3のカレントミラー用トランジスタと、

一端に上記昇圧回路の出力電圧が供給され、他端に上記出力部が接続された第2導電型の第2のトランジスタと、

上記第2のトランジスタのゲート電極と上記第1のカレントミラー用トランジスタとの間に介設され、ゲート電極に復帰時制御信号を受けて上記第2のトランジスタの動作状態を制御する第1の制御用トランジスタと、

20

上記第1の制御用トランジスタと同導電型のトランジスタであって、一端に電源電圧が供給され、上記復帰時制御信号の反転信号に応じて上記第2のトランジスタの動作状態を制御する第2の制御用トランジスタと

を有していることを特徴とする電源回路。

【請求項14】

電源電圧及び接地電圧が供給され、出力が負帰還された第1のオペアンプと、

上記第1のオペアンプの出力部に接続された第1の配線と、

上記第1の配線から分岐して上記第1のオペアンプの負側入力部に接続される第2の配線と、

30

上記第2の配線上に介設された第1の抵抗と、

上記第1の抵抗及び上記第1のオペアンプの負側入力部とグランドとの間に介設された第2の抵抗と、

外部回路に駆動電圧を出力するための出力端子と

を備え、

上記第1のオペアンプは、

正側入力部及び負側入力部を有する差動増幅部と、

出力部と、

上記出力部とグランドとの間に設けられ、ゲート電極が上記差動増幅部に接続された第1導電型の第1のトランジスタと、

40

共に第2導電型のトランジスタであり、互いにカレントミラーを構成する第1のカレントミラー用トランジスタと、上記差動増幅部に接続された第2のカレントミラー用トランジスタと、上記第1のトランジスタ及び上記出力部に接続された第3のカレントミラー用トランジスタと、

一端に上記電源電圧が供給され、他端に上記出力部が接続された第2導電型の第2のトランジスタと、

上記第2のトランジスタのゲート電極と上記第1のカレントミラー用トランジスタとの間に介設され、ゲート電極に復帰時制御信号を受けて上記第2のトランジスタを所定の期間カレントミラー用トランジスタとして動作させる第1の制御用トランジスタと、

50

上記第 1 の制御用トランジスタと同導電型のトランジスタであって、一端に電源電圧が供給され、上記復帰時制御信号の反転信号に応じて上記第 2 のトランジスタの動作状態を制御する第 2 の制御用トランジスタとを有していることを特徴とする電源回路。

【請求項 15】

請求項 14 に記載の電源回路において、

上記第 2 のトランジスタと上記第 3 のカレントミラー用トランジスタの駆動電流能力の和は、上記第 1 のトランジスタの電流駆動能力以上であることを特徴とする電源回路。

【請求項 16】

請求項 14 または 15 に記載の電源回路において、

上記第 1 のオペアンプの出力電圧及び接地電圧が供給されるとともに出力が負帰還され、且つ出力部が上記出力端子に接続された第 2 のオペアンプをさらに備えていることを特徴とする電源回路。

【請求項 17】

電源電圧及び接地電圧が供給され、出力が負帰還された第 1 のオペアンプと、

上記第 1 のオペアンプの出力部に接続された第 1 の配線と、

上記第 1 の配線から分岐して上記第 1 のオペアンプの負側入力部に接続される第 2 の配線と、

上記第 2 の配線上に介設された第 1 の抵抗と、

上記第 1 の抵抗及び上記第 1 のオペアンプの負側入力部とグランドとの間に介設された第 2 の抵抗と、

上記第 1 のオペアンプの出力電圧及び接地電圧が供給されるとともに出力が負帰還された第 2 のオペアンプと、

上記第 2 のオペアンプの出力部に接続され、外部回路に駆動電圧を出力するための出力端子と

を備えている電源回路。

【請求項 18】

電源電圧及び接地電圧が供給され、出力が負帰還されたオペアンプと、

上記オペアンプの出力部に接続され、外部回路に駆動電圧を供給するための出力端子と、

上記オペアンプの負側入力部に接続された帰還用端子と

を備えている電源回路。

【請求項 19】

互いに異なる電圧を外部回路に供給するための複数の電源回路と、

クロック信号と上記複数の電源回路の起動用制御信号とを受けて、上記複数の電源回路を所定の順序で起動させるための起動信号を所定のタイミングで出力する起動制御回路とを備えている半導体集積回路装置。

【請求項 20】

請求項 19 に記載の半導体集積回路装置において、

上記起動制御回路は、

上記所定のタイミングをカウントするためのカウンタと、

上記複数の電源回路のうち、起動するべき電源回路を選択するためのデコードと

を有していることを特徴とする半導体集積回路装置。

【請求項 21】

請求項 20 に記載の半導体集積回路装置において、

上記起動制御回路には、カウンタ用データ信号がさらに入力され、

上記カウンタは、上記カウンタ用データ信号をカウントすることを特徴とする半導体集積回路装置。

【請求項 22】

請求項 19 ~ 21 のうちいずれか 1 つに記載の半導体集積回路装置において、

上記複数の電源回路を所定の順序及びタイミングで起動させるための制御の一部をソフト

10

20

30

40

50

ウェアによって行うことを特徴とする半導体集積回路装置。

【請求項 2 3】

外部回路に駆動電圧を供給するための電源回路と、
セット信号と、第 1 の電源電圧と、上記第 1 の電源電圧よりも絶対値の大きい第 2 の電源電圧と、接地電圧とが供給され、上記セット信号が第 1 の電圧レベルから第 2 の電圧レベルに切り替わるのに応じて上記外部回路に蓄積された電荷をディスチャージさせる緊急ディスチャージ信号を上記電源回路に出力する緊急ディスチャージ回路と
を備えている半導体集積回路装置。

【請求項 2 4】

請求項 2 3 に記載の半導体集積回路装置において、
上記緊急ディスチャージ回路は、
通常動作時の上記セット信号に応じて緊急ディスチャージモードまたは緊急ディスチャージオフモードとなり、
上記緊急ディスチャージモードでは上記セット信号が第 1 の電圧レベルから第 2 の電圧レベルに切り替わるのに応じて上記緊急ディスチャージ信号を出力し、上記緊急ディスチャージオフモードでは上記セット信号によらず上記緊急ディスチャージ信号を出力しないことを特徴とする半導体集積回路装置。

【請求項 2 5】

表示部と、
上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、
上記周辺回路に駆動電圧を供給するための電源回路と、
一方の電極が上記電源回路に接続され、他方の電極がグラウンドに接続された発振防止用コンデンサと
を備え、
上記電源回路は、
電源電圧と接地電圧とが供給され、出力が負帰還されたオペアンプと、
上記オペアンプの出力部に接続された出力端子と、
上記オペアンプの出力部と上記出力端子とを接続する第 1 の配線と、
上記オペアンプの出力部及び上記発振防止用コンデンサに接続された発振防止用端子と、
上記第 1 の配線上の節点から分岐し、上記発振防止用端子と上記節点との間を接続する第 2 の配線と、
上記第 2 の配線上に介設され、上記発振防止用コンデンサと共に上記オペアンプの発振防止用回路を構成する発振防止用抵抗と
を有している液晶表示装置。

【請求項 2 6】

表示部と、
上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、
外部電源から供給された外部供給電源電圧を受けて上記周辺回路に駆動電圧を供給するための電源回路と、
上記外部供給電源電圧が入力され、一定電圧の基準電圧を生成するための基準電圧生成回路と
を備え、
上記電源回路は、
上記外部供給電源電圧または上記基準電圧を昇圧するための昇圧回路と、
上記昇圧回路の出力電圧及び接地電圧が供給され、出力が負帰還された第 1 のオペアンプと、
上記第 1 のオペアンプの出力部に接続された第 1 の配線と、
上記第 1 の配線から分岐して上記第 1 のオペアンプの負側入力部に接続される第 2 の配線と、
上記第 1 のオペアンプの負側入力部とグラウンドとの間に介設された抵抗と、

10

20

30

40

50

Mを任意の自然数とすると、上記第2の配線上に介設され、且つグランドに対して上記抵抗と直列に接続されたM個の分割抵抗と、上記各分割抵抗間または上記分割抵抗と上記抵抗との間を接続する配線と上記第1のオペアンプの負側入力部とをそれぞれ接続するためのM本の接続配線と、上記各接続配線上に設けられた第1のスイッチング手段とを有する可変抵抗と、

上記分割抵抗のうち、上記第1のオペアンプの出力部に最も近い分割抵抗と2番目に近い分割抵抗との間の配線を、所定の期間グランドに接続するための第2のスイッチング手段と、

上記周辺回路に駆動電圧を出力するための出力端子とを有している液晶表示装置。

10

【請求項27】

表示部と、

上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、

オペアンプを有し、上記周辺回路に駆動電圧を供給するための電源回路とを備え、

上記オペアンプは、

正側入力部及び負側入力部を有する差動増幅部と、

出力部と、

上記出力部とグランドとの間に設けられ、ゲート電極が上記差動増幅部に接続された第1導電型の第1のトランジスタと、

20

共に第2導電型のトランジスタであり、互いにカレントミラーを構成する第1のカレントミラー用トランジスタと、上記差動増幅部に接続された第2のカレントミラー用トランジスタと、上記第1のトランジスタ及び上記出力部に接続された第3のカレントミラー用トランジスタと、

一端に電源電圧が供給され、他端に上記出力部が接続された第2導電型の第2のトランジスタと、

上記第2のトランジスタのゲート電極と上記第1のカレントミラー用トランジスタとの間に介設され、ゲート電極に復帰時制御信号を受けて上記第2のトランジスタを所定の期間カレントミラー用トランジスタとして動作させる第1の制御用トランジスタと、

上記第1の制御用トランジスタと同導電型のトランジスタであって、上記復帰時制御信号の反転信号に応じて上記第2のトランジスタのゲート電極に上記昇圧回路の出力電圧を印加する第2の制御用トランジスタと

30

を有している液晶表示装置。

【請求項28】

表示部と、

上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、

上記周辺回路に駆動電圧を供給するための電源回路と、

上記電源回路の外部に設けられ、上記電源回路に接続された発振防止用コンデンサとを備え、

上記電源回路は、

40

電源電圧及び接地電圧が供給され、出力が負帰還された第1のオペアンプと、

上記第1のオペアンプの出力部に接続された第1の配線と、

上記第1の配線から分岐して上記第1のオペアンプの負側入力部に接続される第2の配線と、

上記第2の配線上に介設された第1の抵抗と、

上記第1の抵抗及び上記第1のオペアンプの負側入力部とグランドとの間に介設された第2の抵抗と、

上記第1のオペアンプの出力電圧及び接地電圧が供給されるとともに出力が負帰還された第2のオペアンプと、

上記第2のオペアンプの出力部に接続され、上記周辺回路に駆動電圧を出力するための出

50

力端子と
を有している液晶表示装置。

【請求項 29】

表示部と、
上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、
上記周辺回路に互いに異なる駆動電圧を供給するための複数の電源回路と、
クロック信号と上記複数の電源回路の起動用制御信号とを受けて、上記複数の電源回路を
所定の順序で起動させるための起動信号を所定のタイミングで出力する起動制御回路と
を備えている液晶表示装置。

【請求項 30】

表示部と、
上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、
上記周辺回路に駆動電圧を供給するための電源回路と、
セット信号と、第 1 の電源電圧と、上記第 1 の電源電圧よりも絶対値の大きい第 2 の電源
電圧と、接地電圧とが供給され、上記セット信号が第 1 の電圧レベルから第 2 の電圧レベ
ルに切り替わるのに応じて上記表示部に蓄積された電荷をディスチャージさせる緊急ディ
スチャージ信号を上記電源回路に出力する緊急ディスチャージ回路と
を備えている液晶表示装置。

【請求項 31】

基板を有する表示部と、
上記表示部の周囲に配置され、上記表示部に接続された周辺回路を集積してなる第 1 の半
導体集積回路装置と、
上記周辺回路に駆動電圧を供給するための電源回路を集積してなる第 2 の半導体集積回路
装置と、
上記基板上に設けられ、上記電源回路から出力される上記駆動電圧を上記周辺回路に供給
するための電源供給配線と、
上記基板上に設けられ、上記電源供給配線から分岐した帰還用配線と
を備え、
上記第 1 の半導体集積回路装置及び上記第 2 の半導体集積回路装置とは共に上記基板上に
実装され、
上記電源回路は、
電源電圧及び接地電圧が供給され、出力が負帰還されたオペアンプと、
上記オペアンプの出力部に接続され、且つ上記電源供給配線に接続された出力端子と、
上記オペアンプの負側入力部に接続され、且つ上記帰還用配線に接続された帰還用端子と
を有する液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源回路及び該電源回路を集積した半導体集積回路これを用いた液晶表示装置
に関する。

【0002】

【従来の技術】

液晶表示装置は、TV やパーソナルコンピュータ用ディスプレイ、携帯機器用のパネルな
どに幅広く用いられている。

【0003】

図 14 は、一般的な液晶表示装置の回路構成を示すブロック回路図である。ここでは、ア
クティブマトリックス駆動の液晶表示装置を示す。

【0004】

図 14 に示すように、一般的な液晶表示装置は、マトリックス状に配置された画素（図示
せず）を有する表示部 100 と、画素を制御するためのゲート（走査線）駆動回路 102

10

20

30

40

50

及びソース（信号線）駆動回路１０４と、表示部に接続されたコモン交流回路１０８と、ソース駆動回路１０４に制御信号を供給するための素子制御回路１０６と、ゲート駆動回路１０２，ソース駆動回路１０４及びコモン交流回路１０８に電源電圧を供給するための電源回路１０１とを備えている。アクティブマトリックス方式では、画素に含まれるＴＦＴ（Thin-Film-Transistor）の動作を制御することで、パッシブマトリックス方式に比べ表示の高精細化を可能にしている。

【０００５】

また、図１４に示す電源回路１０１、ゲート駆動回路１０２、ソース駆動回路１０４などは通常それぞれ別個のＬＳＩ（Large Scale IC）として供給され、基板上に実装されている。

10

【０００６】

次に、電源回路１０１について説明する。

【０００７】

携帯電話やＰＤＡ（携帯情報端末）などの携帯機器用の液晶表示装置の場合、電源回路１０１では、低電力化を図るため、チャージポンプ回路などの昇圧回路とオペアンプとを用いて各回路の駆動電圧を供給している。

【０００８】

図１５及び図１６は、共に従来電源回路１０１の一部を示す回路図である。図１５または図１６に示すように、従来電源回路１０１は、リップルを低減すると共に入力電圧を増幅するためのオペアンプ１０３と、外部供給電源電圧から作られた基準電圧を昇圧して昇圧電圧 V_{GGCP} をオペアンプ１０３に供給するための昇圧回路１２７と、外部回路に駆動電圧を供給するための出力端子１０５とを備えている。ここで、基準電圧は例えば２．０Ｖ程度である。

20

【０００９】

従来電源回路１０１は、外部供給電源電圧を受けて動作するが、外部供給電源電圧を受けている場合であっても、起動用制御信号などによって動作をオンまたはオフに制御できるようになっている。本明細書中では、電源回路について、外部供給電源電圧の供給が停止する時点を「外部電源の切断時」、外部供給電源電圧の供給中にパワーオフまたはパワーオン制御される時点をそれぞれ「パワーオフ時」、「パワーオン時」と表現する。

【００１０】

30

また、オペアンプ１０３の出力は、オペアンプ１０３と出力端子１０５との間の節点１０７を介して負帰還されている。そして、昇圧回路１２７及びオペアンプ１０３には、接地された外付けのコンデンサ１３３が接続されている。

【００１１】

なお、図１６に示すように、オペアンプ１０３の負帰還用の配線上に抵抗１３２が設けられ、オペアンプ１０３の（－）側入力部が抵抗１３０を介して接地電圧 V_{SS} を供給するグラウンド（接地）に接続されている場合もある。

【００１２】

また、図１５に示すように、出力端子１０５には、電源電圧を供給する配線とは別に、外付けの抵抗１０９a及び外付けのコンデンサ１１１が設けられている。この抵抗１０９aとコンデンサ１１１とは、グラウンドと出力端子１０５との間に直列に設けられており、出力の発振防止回路として機能する。

40

【００１３】

従来電源回路１０１では、昇圧回路１２７及びオペアンプ１０３により必要に応じた電圧を外部回路に供給することで、一律に高い電圧を供給する場合に比べて省電力化が図られている。また、オペアンプ１０３の発振の抑制も図られている。

【００１４】

なお、従来電源回路１０１ではＬＳＩの外部に設けられた抵抗１０９aとコンデンサ１１１とが必要であったが、抵抗１０９aを電源回路１０１の内部に設けることで、部品点数の削減を図ることもできる。

50

【 0 0 1 5 】

具体的には、図 1 5 に示す電源回路 1 0 1 b のように、抵抗 1 0 9 a に代えてオペアンプ 1 0 3 の出力部と出力端子 1 0 5 との間に抵抗 1 0 9 b を設けてもよい。この際の抵抗 1 0 9 b の抵抗値は一般に数 Ω ~ 数 k Ω 程度である。

【 0 0 1 6 】

また、図 1 6 に示すように、外部供給電源電圧から作られる基準電圧や、昇圧回路 1 2 7 から出力される昇圧電圧 V_{GGCP} には、リップル（脈動）と呼ばれる電圧振幅が含まれているが、従来の電源回路 1 0 1 においては、オペアンプ 1 0 3 が設けられていることにより、出力電圧中のリップルが低減されている。

【 0 0 1 7 】

なお、図 1 5 及び図 1 6 に示す電源回路 1 0 1 の出力電圧は 3 ~ 6 V の範囲であることが多いが、図 1 6 と同様の回路構成で 6 ~ 1 0 V 程度の高電圧を出力することも可能である。

【 0 0 1 8 】

図 1 7 は、高電圧を出力する場合の従来の電源回路の構成を示す図である。

【 0 0 1 9 】

同図に示す電源回路は、図 1 6 に示す電源回路 1 0 1 において、抵抗 1 3 2 を可変抵抗とし、抵抗 1 3 0 を抵抗 R_0 とした回路と等価である。ただし、入力電圧 V_{RFP} は例えば 2 V であるのに対し、出力電圧 V_{GGPRE} は、8 V となっている。また、オペアンプ 1 0 3 に供給される昇圧電圧 V_{GGCP} の最大値は 2 0 V となっている。

【 0 0 2 0 】

図 1 7 に示す従来の電源回路例において、節点 1 0 7 と抵抗 R_0 との間に設けられた抵抗 1 3 2 は 2^M 個（ M は自然数）の抵抗（抵抗 R_1 , 抵抗 R_2 . . . 抵抗 R_{2^M} ）に分割されている。また、オペアンプ 1 0 3 の出力部と（-）側の入力部との間には、例えば 2^M 行 $\times M$ 列のマトリックス状に配置された（ $2^M \times M$ ）個の n チャネル型の高耐圧トランジスタ Tr_h が設けられている。なお、本明細書中で「高耐圧トランジスタ」とは、ソース - ドレイン間耐圧が 4 0 V 以下である電界効果トランジスタを指し、「低耐圧トランジスタ」とは、ソース - ドレイン間耐圧が 6 V 以下である電界効果トランジスタを指す。

【 0 0 2 1 】

ここで、オペアンプの（-）側入力部と高耐圧トランジスタ Tr_h とを接続する配線を配線 1 1 0 とし、節点 1 0 7 と抵抗 R_0 とを結ぶ配線を配線 1 1 2 とすると、配線 1 1 0 と配線 1 1 2 との間には 2^M 本の行方向配線が設けられ、各行方向配線上には M 個ずつの高耐圧トランジスタ Tr_h が介設されていることになる。なお、配線 1 1 2 から各行方向配線への分岐点は、分割された抵抗のうち、抵抗 R_0 側から数えて（ $n - 1$ ）番目の抵抗と n 番目の抵抗（ $n = 1, 2, \dots, 2^M - 1, 2^M$ ）との間に設けられた節点となっている。

【 0 0 2 2 】

また、高耐圧トランジスタ Tr_h はゲート制御信号 $G_0, G_1, \dots, G_{M-1}$ によって列ごとに制御されている。

【 0 0 2 3 】

このような構成により、所望の行の高耐圧トランジスタ Tr_h のみをオンにすることで、抵抗 1 3 2 の抵抗値を変化させることができ、出力電圧の高精度化を図ることができる。ここで、抵抗 R_0 側から数えて n 番目の抵抗 R_n の抵抗値を r_n とすると、抵抗 R_{2^M} と抵抗 $R_{(2^M - 1)}$ との間の節点に加わる電圧を V_{2^M} は、下式（1）で表される。

【 0 0 2 4 】

$$V_{2^M} = V_{GGPRE} \cdot \left\{ \sum_{n=0}^{2^M-1} r_n \right\} / \left\{ \sum_{n=0}^{2^M} r_n \right\} \quad (1)$$

なお、この電源回路の起動時及びパワーオフ時または外部電源の切断時には、オペアンプ 1 0 3 の（-）側入力や、オペアンプ 1 0 3 の出力は、それぞれハイインピーダンスになっている。特に、オペアンプ 1 0 3 の出力部と出力端子とを結ぶ配線が電源切断時に任意

10

20

30

40

50

の電圧をとるので、この部分に電圧を印加することで出力端子に接続される外部回路などの検査が容易に行えるようになっている。

【0025】

また、駆動時の定常状態では、オペアンプの(+)側入力部と(-)側入力部に入力される電圧は、互いに等しくなる。従って、駆動期間中には高耐圧トランジスタ T_{rh} のソース・ドレイン間に大きい電圧差はかからない。

【0026】

しかし、外部電源の切断時または電源回路のパワーオフ時には、オン状態の高耐圧トランジスタ T_{rh} のソース・ドレイン間に接地電圧 $V_{ss}(0V) \sim V_n$ の電圧がかかる。 V_{GGPRE} は V_{ss} から V_{GGCP} までの電圧をとりうるので、通常の低耐圧トランジスタを用いると破壊するおそれがある。そのため、ここでは高耐圧トランジスタ T_{rh} が設けられている。なお、図17では正電圧を出力する電源回路を示したが、高耐圧トランジスタ T_{rh} をpチャネル型にすることで負電圧を出力する電源回路とすることもできる。

10

【0027】

次に、オペアンプ103自体の回路構成について説明する。

【0028】

図18は、従来の電源回路において、オペアンプ103の回路構成の一例を示す回路図である。同図に示すオペアンプは、最も簡単な構成を有し、いわゆる「A級オペアンプ」と呼ばれるものである。

【0029】

20

図18に示すオペアンプは、反転入力部 i_{nn} (-側入力部)と非反転入力部 i_{np} (+側入力部)とを有する差動増幅部120と、互いにカレントミラーを構成する複数のMIS(Metal-Insulator-Semiconductor)トランジスタと、nチャネル型MISトランジスタのトランジスタM108とを有している。

【0030】

つまり、共にソース側に電源電圧 V_{cc} を供給されたトランジスタM101、M102及びM107は共にpチャネル型MISトランジスタであり、互いにカレントミラーを構成している。従って、駆動時のトランジスタM101、M102及びM107にはトランジスタのサイズに比例した電流 I_{101} 、 I_{102} 、 I_{107} がそれぞれ流れている。そして、バイアス電流の入力部 i_{ref} はトランジスタM101のドレイン及びトランジスタM107のゲート電極に接続されている。

30

【0031】

また、トランジスタM102のドレインは差動増幅部120に接続され、トランジスタM108のゲート電極は差動増幅部120に接続されている。そして、トランジスタM107のドレインとトランジスタM108のドレインとは共に出力部OUTに接続されており、トランジスタM108のソースは接地されている。

【0032】

差動増幅部120は、共にpチャネル型MISトランジスタであるトランジスタM103、M104と、トランジスタM103とグランドとの間に介設されたnチャネル型のトランジスタM105と、トランジスタM104とグランドとの間に介設されたnチャネル型のトランジスタM106とから構成されている。

40

【0033】

以上のような回路構成により、従来の電源回路に用いられるオペアンプ(以下、「従来のオペアンプ」と称する)は、入力端子に入力された電圧を増幅している。従来のオペアンプでは、駆動時にカレントミラーを流れる電流の合計($I_{101} + I_{102} + I_{107}$)が消費電流となる。ここで、オペアンプを起動する際の出力の立ち上げまたは立ち下げを高速化したい場合は、トランジスタM108の電流駆動能力を大きくしておく。この場合でも、オペアンプから出力される電流は、入力電圧の変化によらずトランジスタM107を流れる電流 I_{107} に制限される。

【0034】

50

なお、従来のオペアンプにおいて、各トランジスタの導電型を逆の導電型とすることで、立ち上げ時の波形と立ち下げ時の波形が逆になる。

【0035】

図19は、従来の電源回路において、オペアンプの回路構成のさらに別の例を示す回路図である。

【0036】

同図に示すように、オペアンプの構成をより複雑にする場合もある。ここに示すオペアンプは、「AB級オペアンプ」と呼ばれる。この例では、カレントミラーを構成するpチャネル型のトランジスタMP101, MP102, MP105, MP106, MP111に電流 I_{P101} , I_{P102} , I_{P105} , I_{P106} 及び I_{P111} がそれぞれ流れる。従って、この回路構成では、消費電流は $(I_{P101} + I_{P102} + I_{P105} + I_{P106} + I_{P111})$ となる。なお、これはオペアンプを構成する回路の一例であって、他の回路で構成される場合もある。

10

【0037】

次に、1つのLSIに複数の電源電圧を出力する電源回路が設けられている場合の制御について簡単に説明する。

【0038】

図20は、複数種類の電源回路を有する従来の電源回路LSIにおける信号の流れを示す図であり、図21は、従来の電源回路LSIにおける起動時の制御信号及び出力電圧を示すタイミングチャート図である。

20

【0039】

液晶表示装置などの機器では、駆動電圧が互いに異なる回路が混在しており、1つの電源回路LSI上には複数の電源回路が設けられていることが多い。これら複数の電源回路を有する電源回路LSIでは、電源投入時(パワーオン時)に、起動する順番を最適化しておく必要がある。

【0040】

例えば、出力電圧が15Vの電源回路と出力電圧が5Vの電源回路とが存在するとき、電源投入時に15Vの電源回路が先に起動してしまうと、チップ内部の5V系と15V系のインターフェースのレベルシフト等で貫通電流が流れる場合が多い。また、立ち上げる電源回路の順番が不適切な場合、画面表示が乱れたり、液晶パネル上の素子などの外部素子が破壊される可能性もある。さらに、昇圧回路の出力が不安定なうちにオペアンプを立ち上げると、オペアンプが発振を起こすおそれもある。

30

【0041】

図20には、同一チップ内に設けられた電源回路A~Dが示されている。電源回路A~Dのそれぞれは、外部からの電源制御信号P1~P4のそれぞれが入力され、この電源制御信号P1~P4に従って出力電圧 V_A , V_B , V_C , V_D をそれぞれ出力する。

【0042】

また、図21に示すように、電源制御信号P1, P2, P3, P4のそれぞれは所定の時間差をおいてハイからローに切り替わり、これを受けて電源回路A, B, C, Dは順に起動し、それぞれ出力電圧 V_A , V_B , V_C , V_D をそれぞれ出力する。このように、複数の電源回路を適切な順番及びタイミングで起動させることにより、従来の電源回路LSIでは、電源回路の立ち上げ時にチップの内部回路及び外部回路の保護、オペアンプの発振の防止などが図られている。

40

【0043】

なお、従来の電源回路LSIでは、このような電源シーケンス制御は、外部のメモリに保存されたソフトウェアによって行われている。

【0044】

次に、従来の電源回路の終了時の制御について簡単に説明する。

【0045】

多種類の電源回路を有する液晶表示装置において、電源回路の終了時には、パネル側に残

50

存する電荷を速やかに放出させる必要がある。ここで、蓄積した電荷の放出、すなわちディスチャージを行わなければ、画面に残像が残ったり、周辺回路の誤作動が起こったりする。そのため、従来の電源回路 L S I には、電源回路の終了時にパネル側の電荷を抜き、速やかに電源回路の出力を停止させるためのディスチャージ回路が備えられている。

【 0 0 4 6 】

図 2 2 (a) , (b) は、それぞれ、通常終了時 (パワーオフ時) の従来の電源回路において、入力電圧及び出力電圧の変化を示す図、及び電源回路 L S I 及び機器の構成を概略的に示すブロック図である。また、図 2 2 (c) , (d) は、それぞれ、緊急終了時の従来の電源回路において、入力電圧及び出力電圧の変化を示す図、及び電源回路 L S I 及び機器の構成を概略的に示すブロック図である。

10

【 0 0 4 7 】

ここで、発生電圧 A , B は外部機器に供給される出力電圧の一例であり、入力電圧とは、外部電源から電源回路に入力される外部供給電源電圧を意味する (図 2 2 (b) 参照) 。また、緊急終了時とは、電池はずれなど、外部からの電圧供給が予期せず途絶える時を意味する。

【 0 0 4 8 】

従来の電源回路 L S I においては、電源を通常の手順で終了させる場合に、ディスチャージ回路が各電源回路にディスチャージ信号を供給する。ディスチャージ信号を受けた電源回路は、速やかに動作を終了する。これにより、入力電圧の低下と共に発生電圧 A , B も低下し、速やかに 0 V となる。このように、従来の電源回路 L S I では、ディスチャージ回路により、正常に電源回路を終了させることができる。

20

【 0 0 4 9 】

次に、液晶表示装置における電源回路の実装方法について簡単に説明する。

【 0 0 5 0 】

図 2 3 (a) は、液晶表示装置における電源回路 L S I 及び表示データ出力 L S I (図 1 4 に示すソース駆動回路及びゲート駆動回路の L S I) の実装方法を説明するための図であり、図 2 3 (b) は、(a) に示す領域 A を拡大した図である。

【 0 0 5 1 】

図 2 3 (a) の左図に示すように、従来主流であった T C P (T a p e C a r r i e r P a c k a g e) 実装などのパッケージ実装では、パッケージ化された電源回路 L S I 1 4 5 a 及び表示データ出力 L S I がフレキシブルプリント基板 1 4 3 上に配置される。そして、フレキシブルプリント基板 1 4 3 がガラス基板 1 4 1 a と接続される。

30

【 0 0 5 2 】

一方、近年では、液晶表示装置の製造コストの低減、及び表示部の大画面化を図るために C O G (C h i p O n G l a s s) 実装の採用が増加しつつある。

【 0 0 5 3 】

図 2 3 (a) の右図に示すように、C O G 実装では、表示部のガラス基板上に直接電源回路 L S I 1 4 7 b や表示データ出力 L S I などの周辺回路のチップを実装する。そして、電源回路 L S I と表示データ出力 L S I とを接続する配線 1 4 9 b の材料には、透明な I T O (I n d i u m T i n O x i d e) が用いられる。

40

【 0 0 5 4 】

この C O G 実装においても、電源回路 L S I と表示データ出力 L S I との間の接続回路は、従来のパッケージ実装の場合と同様である。

【 0 0 5 5 】

図 2 3 (b) に示すように、従来の液晶表示装置においては、電源回路 1 0 1 の出力端子 1 0 5 は、負帰還されたオペアンプ 1 0 3 の出力部に接続されている。そして、出力端子 1 0 5 と表示データ出力 L S I とを接続する配線 1 4 9 b 上の節点 1 6 0 は、グランドに接続されたコンデンサ 1 1 1 に接続されている。このコンデンサ 1 1 1 は、オペアンプ 1 0 3 の発振を抑えるために設けられている。なお、配線抵抗 1 2 2 は、配線 1 4 9 b の抵抗成分を意味している。

50

【 0 0 5 6 】

【 特許文献 1 】

特開 2 0 0 1 - 6 0 8 4 7 号 公 報

【 特許文献 2 】

特開 2 0 0 2 - 2 3 8 6 6 号 公 報

【 特許文献 3 】

特開平 7 - 2 3 5 8 4 4 号 公 報

【 特許文献 4 】

特開昭 6 1 - 4 6 0 6 6 号 公 報

【 特許文献 5 】

特開 2 0 0 1 - 2 3 7 3 7 4 号 公 報

【 特許文献 6 】

特開平 8 - 2 6 4 7 9 2 号 公 報

【 0 0 5 7 】

【 発明が解決しようとする課題 】

液晶表示装置においては、消費電力の低減や、周辺回路の小面積化が要求されている。特に、携帯機器に搭載される液晶表示装置ではこれらの要望が強い。

【 0 0 5 8 】

図 1 5 に示すように、従来の電源回路 1 0 1 において外部の抵抗 1 0 9 a を電源回路に内蔵して外付け部品の点数を減らせば、液晶パネルへの実装面積が低減される。しかしながら、オペアンプ 1 0 3 の出力電圧が内蔵抵抗 1 0 9 b によって降下するため、出力電圧のレベルが低下してしまうという不具合を生じる。ここで、電源回路 1 0 1 から出力される電流は最大で数十 mA となり、出力電圧は 3 ~ 6 V 程度である。従来の電源回路 1 0 1 では、出力の電流量が大きくなる程内蔵抵抗 1 0 9 b による電圧降下も大きくなる。

【 0 0 5 9 】

また、液晶表示装置の大画面化及び高解像度化に伴って電源回路の出力の大出力化と高精度化が要求されている。出力を高精度にするためには、出力中のリップルを低減したり、オペアンプ 1 0 3 の発振を抑えることが考えられる。

【 0 0 6 0 】

図 1 6 に示すように、従来の電源回路 1 0 1 においては、入力された電源電圧を昇圧回路 1 2 7 で昇圧した場合、出力電圧にはリップル成分が多く含まれる。このリップルはオペアンプ 1 0 3 を通すことで減衰するが、リップル規定の厳しい製品で求められるレベルにまで減衰させることは、従来の回路では困難であった。

【 0 0 6 1 】

また、図 1 7 に示すように、6 ~ 1 0 V 程度の高い電圧を出力する電源回路の場合、オペアンプ 1 0 3 の出力部と (-) 側入力部との間の抵抗値を多段階に変化させることによって出力精度の向上を図っているが、面積の大きい高耐圧トランジスタ T_{rh} が多数必要になるため、低電圧出力用の電源回路に比べて回路面積が増大してしまう。このため、回路面積の増大を抑えた高電圧用の電源回路が望まれていた。

【 0 0 6 2 】

また、液晶表示装置が大画面化に伴い、消費電力の低減の他に電源回路の高速動作も必要になってくる。

【 0 0 6 3 】

図 1 8 に示す一般的なオペアンプ 1 0 3 において、出力電流はトランジスタ M 1 0 7 に流れる電流で決まるため、消費電流を低減する目的でトランジスタ M 1 0 7 の電流駆動能力を低くすることが多い。また、トランジスタ M 1 0 8 の電流駆動能力で立ち上げまたは立ち下げ速度が決まるので、トランジスタ M 1 0 8 の電流駆動能力を高くすることが多い。これにより、電源回路が負電源の場合、消費電力が低減されると同時に電源投入時の出力の立ち下がり速度 (正電源の場合は立ち上がり速度) を向上させることができる。

【 0 0 6 4 】

10

20

30

40

50

しかしながら、従来のオペアンプにおいて、トランジスタM108の電流駆動能力に比べてトランジスタM107の電流駆動能力を著しく低くすると、電流を接地側に引き込む能力が低くなるため、立ち下がり速度は速くなるものの、「リングング」と呼ばれる電圧振幅が生じる。このため、出力電圧が所望の電圧に収束するまでの時間が長くなるという不具合が生じる。このように、従来の回路構成を有するオペアンプでは、動作の信頼性を落とさずに消費電力の低減と動作速度の向上とを両立させることは困難であった。

【0065】

また、図19に示すようなAB級オペアンプでも、トランジスタMN111の駆動能力を高めてトランジスタMP111の駆動能力を低くする場合には立ち下がり時にリングングが生じる。

10

【0066】

ところで、図20、21に示すように、1つのチップに多種類の電源回路が設けられている場合、機器の性能の向上によって電源のシーケンス制御はより複雑になってきている。これに伴い、電源のシーケンス制御を行なうソフトウェアも複雑且つ大規模になりつつある。そのため、ソフトウェアの開発に時間を要したり、ソフトウェアの仕様ミスが発生するなどの不具合が生じることがあった。

【0067】

また、従来の電源回路では、図22(c)に示すように、電池はずれなどの予期せぬ緊急事態が生じる場合には電源回路への入力電圧が途絶えた後も発生電圧A、Bが速やかに0Vとならないという不具合もあった。これは、緊急終了時にはディスチャージ信号が送られず、自然放電のみにより発生電圧A、Bが低下していくためである。このため、従来の液晶表示装置では、図22(d)に示すように、液晶パネルなどに残留した機器による誤作動が起こるおそれがあった。なお、図22(c)に示す時刻 T_1 は緊急事態発生時を示す。

20

【0068】

また、従来の液晶表示装置において、電源回路101と表示データ出力LSI151との接続が図23(b)に示すような構成の場合、パッケージ実装であればフレキシブルプリント基板143上での配線抵抗122が小さいので不具合は生じない。しかしながら、COG実装を用いた場合には、ITO配線の配線抵抗が例えば数百 Ω ～数千 Ω と大きいため、供給電圧に大きなリップルがのり、安定電圧を供給することが難しくなる。また、表示データ出力LSI151に達する電源電圧 V_B は、電源回路101の出力端子105における電圧を V_A 、配線抵抗122の抵抗値を R 、配線149bを流れる電流を I とすると、 $V_B = V_A - IR$ となる。COG実装では R の値が大きくなるので、表示データLSI151への供給電圧が大きく低下してしまう。ここでは表示データ出力LSI151を例にとったが、他の周辺回路への電源供給でも同様の不具合が生じる。

30

【0069】

このように、従来の液晶表示装置では、COG実装による面積低減及びコストダウンの効果と電源回路の精度及び能力とがトレードオフの関係となっていた。

【0070】

以上のように、従来の電源回路には、いくつかの不具合が存在するが、これらの不具合を解消することは、広い意味で液晶表示装置の性能の向上につながる。また、電源回路の小面積化、省電力化、信頼性の向上などは、それらのうちいずれか1つでも達成されればこれを用いる機器の性能の向上につながる。

40

【0071】

本発明の目的は、性能の向上が図られた液晶表示装置と、該液晶表示装置に用いられる電源回路とを提供することにある。

【0072】

【課題を解決するための手段】

本発明の第1の電源回路は、外部電源から供給された外部供給電源電圧が入力され、一定電圧の基準電圧を生成するための基準電圧生成回路から接続され、且つ外部回路に駆動電

50

圧を供給するための電源回路であって、電源電圧と接地電圧とが供給され、出力が負帰還されたオペアンプと、上記オペアンプの出力部に接続された出力端子と、上記オペアンプの出力部と上記出力端子とを接続する第1の配線と、上記オペアンプの出力部に接続された発振防止用端子と、上記第1の配線上の節点から分岐し、上記発振防止用端子と上記節点との間を接続する第2の配線と、上記第2の配線上に介設された発振防止用抵抗とを備えている。

【0073】

この構成により、オペアンプの出力部と出力端子との間に発振防止用抵抗が設けられないので、オペアンプからの出力電圧が電圧降下を受けずに済み、また従来に比べて大電流を供給することが可能となる。一方で、上記発振防止用端子が外部のコンデンサに接続される場合には、発振防止用抵抗との組み合わせによりオペアンプの発振を効果的に防止することができる。

10

【0074】

上記外部供給電源電圧または上記基準電圧を昇圧するための昇圧回路をさらに備え、上記電源電圧は上記昇圧回路からの出力電圧であることにより、各外部回路に適した駆動電圧を出力できるので、電力の消費を抑えることができる。

【0075】

上記外部供給電源電圧または上記基準電圧を昇圧するための昇圧回路と、上記昇圧回路の出力電圧及び接地電圧が供給され、出力が負帰還された前段のオペアンプと、上記前段のオペアンプの出力部と上記オペアンプとを接続する第3の配線と、上記第3の配線から分岐して上記前段のオペアンプの負側入力部に接続される第4の配線と、上記第4の配線上に介設された第1の抵抗と、上記第1の抵抗及び上記前段のオペアンプの負側入力部とグランドとの間に介設された第2の抵抗とをさらに備え、上記電源電圧は前段のオペアンプの出力電圧であることにより、オペアンプを2段重ねにすることになり、出力電圧中のリップルを著しく低減し、高精度の電圧を供給することが可能となる。また、従来の構成でリップルの低減を図る場合に比べて回路面積を低減することもできる。

20

【0076】

Mを任意の自然数とすると、上記第1の抵抗は、互いに直列に接続されたM個の分割抵抗と、上記各分割抵抗間または上記分割抵抗と上記第2の抵抗との間を接続する配線と上記前段のオペアンプの負側入力部とをそれぞれ接続するためのM本の接続配線と、上記各接続配線上に設けられた第1のスイッチング手段とを有する可変抵抗であり、上記電源回路は、上記分割抵抗のうち、上記前段のオペアンプの出力部に最も近い分割抵抗と2番目に近い分割抵抗との間の配線を、所定の期間グランドに接続するための第2のスイッチング手段をさらに備えていることにより、例えば、外部電源の切断直後やパワーオフ時に第2のスイッチング手段をオンさせることで、第1のスイッチング手段に大きな電圧差がかかることが防止されるので、第1のスイッチング手段を構成する素子の破壊を防止することができる。このため、第1のスイッチング手段を低耐圧トランジスタで構成することも可能になり、その場合には高精度の電圧を出力可能で、且つ従来よりも回路面積が縮小された電源回路を実現することができる。

30

【0077】

上記オペアンプは、正側入力部及び負側入力部を有する差動増幅部と、出力部と、上記出力部とグランドとの間に設けられ、ゲート電極が上記差動増幅部に接続された第1導電型の第1のトランジスタと、共に第2導電型のトランジスタであり、互いにカレントミラーを構成する第1のカレントミラー用トランジスタと、上記差動増幅部に接続された第2のカレントミラー用トランジスタと、上記第1のトランジスタ及び上記出力部に接続された第3のカレントミラー用トランジスタと、一端に上記電源電圧が供給され、他端に上記出力部が接続された第2導電型の第2のトランジスタと、上記第2のトランジスタのゲート電極と上記第1のカレントミラー用トランジスタとの間に介設され、ゲート電極に復帰時制御信号を受けて上記第2のトランジスタを所定の期間カレントミラー用トランジスタとして動作させる第1の制御用トランジスタと、上記第1の制御用トランジスタと同導電型

40

50

のトランジスタであって、一端に電源電圧が供給され、上記復帰時制御信号の反転信号に応じて上記第2のトランジスタの動作状態を制御する第2の制御用トランジスタとを有していてもよい。

【0078】

この構成によれば、第1の制御用トランジスタ及び第2の制御用トランジスタにより、任意の期間だけ第2のトランジスタをカレントミラーの一部として動作させることができる。このため、例えば、電源回路の起動時に1水平周期期間のみ上記第2のトランジスタをオン状態にする場合には、第1のトランジスタの電流駆動能力を向上させても出力中のリネーシングが低減されるので、所望の出力電圧に速やかに収束させることができる。また、第2のトランジスタを短時間しか動作させないことで、動作時の消費電力を小さく保つことができる。

10

【0079】

本発明の第2の電源回路は、外部電源から供給された外部供給電源電圧が入力され、一定電圧の基準電圧を生成するための回路に接続され、且つ外部回路に駆動電圧を供給するための電源回路であって、上記外部供給電圧または上記基準電圧を昇圧するための昇圧回路と、上記昇圧回路の出力電圧及び接地電圧が供給され、出力が負帰還された第1のオペアンプと、上記第1のオペアンプの出力部に接続された第1の配線と、上記第1の配線から分岐して上記第1のオペアンプの負側入力部に接続される第2の配線と、上記第1のオペアンプの負側入力部とグランドとの間に介設された抵抗と、Mを任意の自然数とすると、上記第2の配線上に介設され、且つグランドに対して上記抵抗と直列に接続されたM個の分割抵抗と、上記各分割抵抗間または上記分割抵抗と上記抵抗との間を接続する配線と上記第1のオペアンプの負側入力部とをそれぞれ接続するためのM本の接続配線と、上記各接続配線上に設けられた第1のスイッチング手段とを有する可変抵抗と、上記分割抵抗のうち、上記第1のオペアンプの出力部に最も近い分割抵抗と2番目に近い分割抵抗との間の配線を、所定の期間グランドに接続するための第2のスイッチング手段と、上記外部回路に駆動電圧を出力するための出力端子とを備えている。

20

【0080】

この構成により、例えば、パワーオフ時や外部電源の切断時に第2のスイッチング手段をオンさせることで、第1のスイッチング手段に大きな電圧差がかかることが防止されるので、第1のスイッチング手段を構成する素子の破壊を防止することができる。このため、第1のスイッチング手段を低耐圧トランジスタで構成することも可能になり、その場合には高精度の電圧を出力可能で、且つ従来よりも回路面積が縮小された電源回路を実現することができる。さらに、第2のスイッチング手段と第1のオペアンプの出力部との間には1個の分割抵抗が存在するので外部電源の切断時またはパワーオフ時における第1のオペアンプの出力はハイインピーダンスとなり、ここに外部から電圧を加えることで外部回路などの製品検査が可能となる。

30

【0081】

上記第1のスイッチング手段が互いに同じ導電型のM個のMISトランジスタであって、駆動時には上記M本の接続配線のうちから選ばれた1本の接続配線上の上記第1のスイッチング手段のみがオン状態となっていていてもよい。MISトランジスタは集積化に有利であるので好ましい。

40

【0082】

上記第1のスイッチング手段がCMOSトランスファークラップゲートであって、駆動時には上記M本の接続配線のうちから選ばれた1本の接続配線上の上記第1のスイッチング手段のみがオン状態となっていていてもよい。

【0083】

上記第1のスイッチング手段に含まれるMISトランジスタは、低耐圧トランジスタであることにより、高耐圧トランジスタを用いる場合に比べて回路面積を著しく縮小することが可能になる。

【0084】

50

上記第2のスイッチング手段はMISトランジスタであってもよい。

【0085】

上記第2のスイッチング手段はダイオードであってもよい。

【0086】

上記第1のオペアンプの出力電圧及び接地電圧が供給されるとともに出力が負帰還され、且つ出力部が上記出力端子に接続された第2のオペアンプをさらに備えていることにより、出力電圧中のリップルをさらに低減できるので、出力電圧の精度をさらに向上させることができる。

【0087】

上記第1のオペアンプは、正側入力部及び負側入力部を有する差動増幅部と、出力部と、上記出力部とグランドとの間に設けられ、ゲート電極が上記差動増幅部に接続された第1導電型の第1のトランジスタと、共に第2導電型のトランジスタであり、互いにカレントミラーを構成する第1のカレントミラー用トランジスタと、上記差動増幅部に接続された第2のカレントミラー用トランジスタと、上記第1のトランジスタ及び上記出力部に接続された第3のカレントミラー用トランジスタと、一端に上記昇圧回路の出力電圧が供給され、他端に上記出力部が接続された第2導電型の第2のトランジスタと、上記第2のトランジスタのゲート電極と上記第1のカレントミラー用トランジスタとの間に介設され、ゲート電極に復帰時制御信号を受けて上記第2のトランジスタを所定の期間カレントミラー用トランジスタとして動作させる第1の制御用トランジスタと、上記第1の制御用トランジスタと同導電型のトランジスタであって、一端に電源電圧が供給され、上記復帰時制御信号の反転信号に応じて上記第2のトランジスタの動作状態を制御する第2の制御用トランジスタとを有していることにより、起動時の出力電圧が所定の電圧値に収束するまでの時間を短縮することができる。

10

20

【0088】

本発明の第3の電源回路は、電源電圧及び接地電圧が供給され、出力が負帰還された第1のオペアンプと、上記第1のオペアンプの出力部に接続された第1の配線と、上記第1の配線から分岐して上記第1のオペアンプの負側入力部に接続される第2の配線と、上記第2の配線上に介設された第1の抵抗と、上記第1の抵抗及び上記第1のオペアンプの負側入力部とグランドとの間に介設された第2の抵抗と、外部回路に駆動電圧を出力するための出力端子とを備え、上記第1のオペアンプは、正側入力部及び負側入力部を有する差動増幅部と、出力部と、上記出力部とグランドとの間に設けられ、ゲート電極が上記差動増幅部に接続された第1導電型の第1のトランジスタと、共に第2導電型のトランジスタであり、互いにカレントミラーを構成する第1のカレントミラー用トランジスタと、上記差動増幅部に接続された第2のカレントミラー用トランジスタと、上記第1のトランジスタ及び上記出力部に接続された第3のカレントミラー用トランジスタと、一端に上記電源電圧が供給され、他端に上記出力部が接続された第2導電型の第2のトランジスタと、上記第2のトランジスタのゲート電極と上記第1のカレントミラー用トランジスタとの間に介設され、ゲート電極に復帰時制御信号を受けて上記第2のトランジスタを所定の期間カレントミラー用トランジスタとして動作させる第1の制御用トランジスタと、上記第1の制御用トランジスタと同導電型のトランジスタであって、一端に電源電圧が供給され、上記復帰時制御信号の反転信号に応じて上記第2のトランジスタの動作状態を制御する第2の制御用トランジスタとを有している。

30

40

【0089】

この構成により、電源回路の起動時に所定の期間のみ上記第2のトランジスタをカレントミラーの一部として動作させることができるので、第1のトランジスタの電流駆動能力を向上させても出力中のリングングが低減されるので、起動時の電圧の立ち上げまたは立ち下げ速度を向上させ、且つ所望の出力電圧に速やかに収束させることができる。また、第2のトランジスタを起動直後の短時間のみ動作させることで、動作時の消費電力を小さく保つことができる。

【0090】

50

なお、上記第2のトランジスタと上記第3のカレントミラー用トランジスタの駆動電流能力の和は、上記第1のトランジスタの電流駆動能力以上であることが、起動時のリングングを抑制するために好ましい。

【0091】

上記第1のオペアンプの出力電圧及び接地電圧が供給されるとともに出力が負帰還され、且つ出力部が上記出力端子に接続された第2のオペアンプをさらに備えていることにより、出力電圧中のリップルをさらに低減することができるので、出力電圧の精度をさらに高めることができる。

【0092】

本発明の第4の電源回路は、電源電圧及び接地電圧が供給され、出力が負帰還された第1のオペアンプと、上記第1のオペアンプの出力部に接続された第1の配線と、上記第1の配線から分岐して上記第1のオペアンプの負側入力部に接続される第2の配線と、上記第2の配線上に介設された第1の抵抗と、上記第1の抵抗及び上記第1のオペアンプの負側入力部とグランドとの間に介設された第2の抵抗と、上記第1のオペアンプの出力電圧及び接地電圧が供給されるとともに出力が負帰還された第2のオペアンプと、上記第2のオペアンプの出力部に接続され、外部回路に駆動電圧を出力するための出力端子とを備えている。

【0093】

この構成により、オペアンプを2段重ねにすることになり、出力電圧中のリップルを著しく低減し、高精度の電圧を供給することが可能となる。また、外部の発振防止用コンデンサに接続する場合、第1及び第2の抵抗と発振防止用コンデンサとの分断が図られているので、時定数により決まる起動時の充電時間を従来よりも短縮することができる。さらに、従来の構成でリップルの低減を図る場合に比べて回路面積を低減することもできる。

【0094】

本発明の第5の電源回路は、電源電圧及び接地電圧が供給され、出力が負帰還されたオペアンプと、上記オペアンプの出力部に接続され、外部回路に駆動電圧を供給するための出力端子と、上記オペアンプの負側入力部に接続された帰還用端子とを備えている。

【0095】

これにより、例えば本発明の電源回路を有する半導体集積回路装置がCOG実装される場合に、外部の配線をオペアンプの帰還用配線として用いることが可能になるので、外部の配線の配線抵抗の影響を受けずに外部回路に駆動電圧を供給することができる。このため、ノイズの低減された電圧を外部回路に供給することができる。

【0096】

本発明の第1の半導体集積回路装置は、互いに異なる電圧を外部回路に供給するための複数の電源回路と、クロック信号と上記複数の電源回路の起動用制御信号とを受けて、上記複数の電源回路を所定の順序で起動させるための起動信号を所定のタイミングで出力する起動制御回路とを備えている。

【0097】

これにより、異なる電圧を出力する複数の電源回路のそれぞれを最適な順番及びタイミングで起動させることができるので、電源回路内の素子や外部回路の破壊を防ぐことが可能になる。また、このような電源のシーケンス制御をソフトウェアで行う場合に比べて、電源回路の制御が複雑化しても制御の誤りを発生しにくくすることができる。このため、本発明の半導体集積回路を電源回路として用いる機器の信頼性を向上させることができる。

【0098】

上記起動制御回路は、上記所定のタイミングをカウントするためのカウンタと、上記複数の電源回路のうち、起動すべき電源回路を選択するためのデコーダとを有していることにより、上述の電源回路のシーケンス制御を容易に実現することができる。

【0099】

上記起動制御回路には、カウンタ用データ信号がさらに入力され、上記カウンタは、上記カウンタ用データ信号をカウントすることにより、複雑なタイミング制御でも容易に行な

うことができる。

【0100】

上記複数の電源回路を所定の順序及びタイミングで起動させるための制御の一部をソフトウェアによって行うことにより、従来に比べて使用するソフトウェアを簡略化することができるので、電源回路の起動制御をより確実に行うことが可能になる。

【0101】

本発明の第2の半導体集積回路装置は、外部回路に駆動電圧を供給するための電源回路と、セット信号と、第1の電源電圧と、上記第1の電源電圧よりも絶対値の大きい第2の電源電圧と、接地電圧とが供給され、上記セット信号が第1の電圧レベルから第2の電圧レベルに切り替わるのに応じて上記外部回路に蓄積された電荷をディスチャージさせる緊急ディスチャージ信号を上記電源回路に出力する緊急ディスチャージ回路とを備えている。

10

【0102】

これにより、例えば電池はずれなどの緊急事態が発生する場合に、第1の電源電圧が低下した時点でも、より絶対値が大きい第2の電源電圧を用いて緊急ディスチャージ信号を発生することができるので、外部回路に蓄積された電荷を抜いて電源回路の出力を速やかに停止させ、外部回路の誤作動を防止することができる。このため、本発明の半導体集積回路装置を液晶表示装置に用いる場合には、オフ残像の発生を防ぐことができる。

【0103】

上記緊急ディスチャージ回路は、通常動作時の上記セット信号に応じて緊急ディスチャージモードまたは緊急ディスチャージオフモードとなり、上記緊急ディスチャージモードでは上記セット信号が第1の電圧レベルから第2の電圧レベルに切り替わるのに応じて上記緊急ディスチャージ信号を出力し、上記緊急ディスチャージオフモードでは上記セット信号によらず上記緊急ディスチャージ信号を出力しないことにより、例えば外部回路が緊急ディスチャージ回路に適合しない場合には緊急ディスチャージオフモードとすることで、不具合なく動作させることができる。

20

【0104】

本発明の第1の液晶表示装置は、表示部と、上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、上記周辺回路に駆動電圧を供給するための電源回路と、一方の電極が上記電源回路に接続され、他方の電極がグランドに接続された発振防止用コンデンサとを備え、上記電源回路は、電源電圧と接地電圧とが供給され、出力が負帰還されたオペアンプと、上記オペアンプの出力部に接続された出力端子と、上記オペアンプの出力部と上記出力端子とを接続する第1の配線と、上記オペアンプの出力部及び上記発振防止用コンデンサに接続された発振防止用端子と、上記第1の配線上の節点から分岐し、上記発振防止用端子と上記節点との間を接続する第2の配線と、上記第2の配線上に介設され、上記発振防止用コンデンサと共に上記オペアンプの発振防止用回路を構成する発振防止用抵抗とを有している。

30

【0105】

この構成により、電源回路が周辺回路の駆動電圧を供給する際に発振防止用抵抗による電圧降下を受けないので、消費電力のロスを低減すると同時に電源回路の出力電流を従来に比べ大きくすることができる。

40

【0106】

本発明の第2の液晶表示装置は、表示部と、上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、外部電源から供給された外部供給電源電圧を受けて上記周辺回路に駆動電圧を供給するための電源回路と、上記外部供給電源電圧が入力され、一定電圧の基準電圧を生成するための基準電圧生成回路とを備え、上記電源回路は、上記外部供給電源電圧または上記基準電圧を昇圧するための昇圧回路と、上記昇圧回路の出力電圧及び接地電圧が供給され、出力が負帰還された第1のオペアンプと、上記第1のオペアンプの出力部に接続された第1の配線と、上記第1の配線から分岐して上記第1のオペアンプの負側入力部に接続される第2の配線と、上記第1のオペアンプの負側入力部とグランドとの間に介設された抵抗と、Mを任意の自然数とすると、上記第2の配線上に介設され、且つ

50

グラウンドに対して上記抵抗と直列に接続されたM個の分割抵抗と、上記各分割抵抗間または上記分割抵抗と上記抵抗との間を接続する配線と上記第1のオペアンプの負側入力部とをそれぞれ接続するためのM本の接続配線と、上記各接続配線上に設けられた第1のスイッチング手段とを有する可変抵抗と、上記分割抵抗のうち、上記第1のオペアンプの出力部に最も近い分割抵抗と2番目に近い分割抵抗との間の配線を、所定の期間グラウンドに接続するための第2のスイッチング手段と、上記周辺回路に駆動電圧を出力するための出力端子とを有している。

【0107】

これにより、電源回路が比較的高い電圧を出力する場合でも該出力の電圧を高精度にすることができ、且つ電源回路の面積の縮小を図ることもできるので、高性能の液晶表示装置を実現することができる。

10

【0108】

本発明の第3の液晶表示装置は、表示部と、上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、オペアンプを有し、上記周辺回路に駆動電圧を供給するための電源回路とを備え、上記オペアンプは、正側入力部及び負側入力部を有する差動増幅部と、出力部と、上記出力部とグラウンドとの間に設けられ、ゲート電極が上記差動増幅部に接続された第1導電型の第1のトランジスタと、共に第2導電型のトランジスタであり、互いにカレントミラーを構成する第1のカレントミラー用トランジスタと、上記差動増幅部に接続された第2のカレントミラー用トランジスタと、上記第1のトランジスタ及び上記出力部に接続された第3のカレントミラー用トランジスタと、一端に電源電圧が供給され、他端に上記出力部が接続された第2導電型の第2のトランジスタと、上記第2のトランジスタのゲート電極と上記第1のカレントミラー用トランジスタとの間に介設され、ゲート電極に復帰時制御信号を受けて上記第2のトランジスタを所定の期間カレントミラー用トランジスタとして動作させる第1の制御用トランジスタと、上記第1の制御用トランジスタと同導電型のトランジスタであって、一端に電源電圧が供給され、上記復帰時制御信号の反転信号に応じて上記第2のトランジスタの動作状態を制御する第2の制御用トランジスタとを有している。

20

【0109】

この構成により、例えば電源回路の起動時に短時間のみ上記第2のトランジスタを動作状態にする場合には、第1のトランジスタの電流駆動能力を向上させても電源回路の出力中のリングングが低減されるので、起動時の電圧の立ち上げまたは立ち下げ速度を向上させ、且つ所望の出力電圧に速やかに収束させることができる。このため、本発明の液晶表示装置によれば、電源回路の動作速度が要求される動画表示などを良好に行うことができる。

30

【0110】

本発明の第4の液晶表示装置は、表示部と、上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、上記周辺回路に駆動電圧を供給するための電源回路と、上記電源回路の外部に設けられ、上記電源回路に接続された発振防止用コンデンサとを備え、上記電源回路は、電源電圧及び接地電圧が供給され、出力が負帰還された第1のオペアンプと、上記第1のオペアンプの出力部に接続された第1の配線と、上記第1の配線から分岐して上記第1のオペアンプの負側入力部に接続される第2の配線と、上記第2の配線上に介設された第1の抵抗と、上記第1の抵抗及び上記第1のオペアンプの負側入力部とグラウンドとの間に介設された第2の抵抗と、上記第1のオペアンプの出力電圧及び接地電圧が供給されるとともに出力が負帰還された第2のオペアンプと、上記第2のオペアンプの出力部に接続され、上記周辺回路に駆動電圧を出力するための出力端子とを有している。

40

【0111】

この構成により、本発明の液晶表示装置では、電源回路の出力電圧中のリップルが大幅に低減されており、周辺回路に精度の高い駆動電圧が供給される。このため、高精細の画面表示など、高精度の制御が必要な動作を行なうことができる。また、従来の電源回路に比べて面積の増加はわずかであるので、額縁部のサイズの増加も抑えられる。

50

【 0 1 1 2 】

本発明の第 5 の液晶表示装置は、表示部と、上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、上記周辺回路に互いに異なる駆動電圧を供給するための複数の電源回路と、クロック信号と上記複数の電源回路の起動用制御信号とを受けて、上記複数の電源回路を所定の順序で起動させるための起動信号を所定のタイミングで出力する起動制御回路とを備えている。

【 0 1 1 3 】

これにより、ソフトウェアを用いて複数の電源電圧の起動制御を行なう場合に比べて制御が複雑な場合でも仕様ミスなどの不具合の発生を抑えることができるので、動作の信頼性を向上させることができる。

10

【 0 1 1 4 】

本発明の第 6 の液晶表示装置は、表示部と、上記表示部の周囲に配置され、上記表示部に接続された周辺回路と、上記周辺回路に駆動電圧を供給するための電源回路と、セット信号と、第 1 の電源電圧と、上記第 1 の電源電圧よりも絶対値の大きい第 2 の電源電圧と、接地電圧とが供給され、上記セット信号が第 1 の電圧レベルから第 2 の電圧レベルに切り替わるのに応じて上記表示部に蓄積された電荷をディスチャージさせる緊急ディスチャージ信号を上記電源回路に出力する緊急ディスチャージ回路とを備えていることにより、電池はずれなど、予期せぬ外部電源の切断がある場合にも、表示部に蓄積された電荷が速やかに放出されるので、オフ残像の発生や周辺回路の誤作動などを防止することができる。

20

【 0 1 1 5 】

本発明の第 7 の液晶表示装置は、基板を有する表示部と、上記表示部の周囲に配置され、上記表示部に接続された周辺回路を集積してなる第 1 の半導体集積回路装置と、上記周辺回路に駆動電圧を供給するための電源回路を集積してなる第 2 の半導体集積回路装置と、上記基板上に設けられ、上記電源回路から出力される上記駆動電圧を上記周辺回路に供給するための電源供給配線と、上記基板上に設けられ、上記電源供給配線から分岐した帰還用配線とを備え、上記第 1 の半導体集積回路装置及び上記第 2 の半導体集積回路装置とは共に上記基板上に実装され、上記電源回路は、電源電圧及び接地電圧が供給され、出力が負帰還されたオペアンプと、上記オペアンプの出力部に接続され、且つ上記電源供給配線に接続された出力端子と、上記オペアンプの負側入力部に接続され、且つ上記帰還用配線に接続された帰還用端子とを有している。

30

【 0 1 1 6 】

この構成により、基板上に設けられた上記電源供給配線及び帰還用配線を用いてオペアンプの出力を負帰還させることができるので、電源回路は電源供給配線または帰還用配線の配線抵抗によらず、周辺回路にノイズの低減された電圧を供給することができる。このため、例えば COG 実装により電源回路や周辺回路の集積回路装置が実装される場合には、製造コストが削減され、且つ大画面、高解像度の液晶表示装置が実現できる。

【 0 1 1 7 】

【 発明の実施の形態 】

(第 1 の実施形態)

本発明の第 1 の実施形態として、発振防止回路の一部を構成する抵抗 9 を内部に設け、直流電流を出力する電源回路について説明する。

40

【 0 1 1 8 】

図 1 は、本実施形態の電源回路 1 の一部を示す回路図である。なお、本実施形態の電源回路 1 も従来の電源回路と同様に半導体チップ上に集積化された形で供給される。そして、本実施形態の電源回路 1 は、図 1 4 に示すような液晶表示装置の電源回路として好ましく用いられる。

【 0 1 1 9 】

図 1 に示すように、本実施形態の電源回路 1 は、(+) 側入力部に入力された電圧を増幅するためのオペアンプ 3 と、外部供給電源電圧または外部供給電源電圧から作られた基準電圧を昇圧して昇圧電圧 V_{GGCP} をオペアンプ 3 に供給するための昇圧回路 (図示せず

50

）と、オペアンプ 3 の出力部に接続され、外部に電源電圧を供給するための出力端子 5 と、オペアンプ 3 の出力部に接続された発振防止用端子 7 と、オペアンプ 3 の出力部と発振防止用端子 7 との間に介設された抵抗 9 とを備えている。オペアンプ 3 の出力部と抵抗 9 との間には節点 13 があり、オペアンプ 3 の出力はこの節点 13 から分岐する配線により負帰還されている。そして、発振防止用端子 7 は、グランドに接続された外付けのコンデンサ 11 に接続される。なお、基準電圧はチップ内部（あるいは外部）に設けられた基準電圧生成回路により生成され、一例を挙げれば 2.0 V 程度である。昇圧回路は、用いない場合もあるが、用いる方が消費電力を低減することができる。

【0120】

また、抵抗 9 と外付けのコンデンサ 11 とはオペアンプ 3 の出力部とグランド（接地）Vss との間に直列に接続されており、オペアンプ 3 の発振を防止する機能を有している。なお、抵抗 9 の抵抗値は例えば数 Ω ~ 数 k Ω 程度であり、コンデンサ 11 の容量値は 0.1 μ F ~ 数 μ F 程度である。

【0121】

本実施形態の電源回路 1 の特徴は、発振防止用回路の一部となる抵抗 9 を電源回路内に設けたことである。これにより、本実施形態の電源回路 1 では、抵抗 9 を外付けする場合に比べて部品点数を減らすことができるので、装置全体として見た場合、面積を縮小することができる。例えば、本実施形態の電源回路を液晶表示装置に用いる場合には、液晶パネルへの実装面積を低減することができる。

【0122】

さらに、本実施形態の電源回路 1 のもう 1 つの特徴は、発振防止用端子 7 と出力端子 5 とを別個に設けて、出力電圧用の経路とオペアンプ 3 の発振防止用回路とを分けたことである。これにより、本実施形態の電源回路 1 では、出力電圧の低下を来すことなくオペアンプ 3 の発振を防止することができるようになっている。さらに、出力経路上に抵抗 9 が設けられないので、従来に比べて数 mA ~ 数百 mA 程度）までの大きな電流を出力することが可能になっている。

【0123】

本実施形態の電源回路は、入力電圧が 3 V 程度で、出力電圧が 3 ~ 6 V 程度であるので、携帯電話や PDA の液晶パネルに特に好ましく使用することができる。

【0124】

また、本実施形態の電源回路 1 は、アクティブマトリックス駆動だけでなくパッシブマトリックス方式の液晶表示装置にも用いられる。加えて、TCP 実装や COG 実装など、いずれの方式の実装方法を用いる液晶表示装置にも用いられる。また、フィルム基板を用いた液晶表示装置にも適用することができる。

【0125】

なお、本実施形態の電源回路 1 において、オペアンプ 3 の前段にもう 1 つオペアンプを挿入してリップルの低減を図ることもできる。その場合には、オペアンプ 3 への入力電圧は前段オペアンプからの出力電圧となる。

【0126】

次に、本実施形態の電源回路 1 を搭載した液晶表示装置についても簡単に説明する。

【0127】

本実施形態の液晶表示装置は、図 15 に示す液晶表示装置の電源回路 101 を電源回路 1 に置き換えた構造を有している。すなわち、本実施形態の液晶表示装置は、マトリクス状に配置された画素を有する表示部と、画素を制御するためのゲート駆動回路及びソース駆動回路と、表示部に接続されたコモン交流回路と、ソース駆動回路に制御信号を供給するための表示制御回路と、ゲート駆動回路、ソース駆動回路及びコモン交流回路に電源電圧を供給するための電源回路 1 とを備えている。

【0128】

ゲート駆動回路やソース駆動回路、電源回路、表示制御回路などの周辺回路は、個別の LSI として実装されている場合もあるが、ゲート駆動回路と電源回路、あるいはソース駆

10

20

30

40

50

動回路と表示制御回路とをそれぞれ同一チップ上に設ける場合や、周辺回路を同一チップ上に設ける場合もある。これは、以後で説明する各実施形態の電源回路を用いた液晶表示装置でも同じである。

【0129】

本実施形態の液晶表示装置においては、従来よりも電源回路の駆動能力が向上しているので、大画面化が可能となっている。また、周辺回路の部品点数が低減されているので、周辺回路の面積が低減され、製造コストも従来に比べて低減されている。

【0130】

(第2の実施形態)

本発明の第2の実施形態として、小面積化が図られた高電圧用の電源回路について説明する。本実施形態の電源回路も、第1の実施形態の電源回路と同様に、携帯用機器の液晶表示装置に用いられる。 10

【0131】

図2は、本実施形態の電源回路の構成を示す回路図である。

【0132】

同図に示すように、本実施形態の電源回路は、基準電圧 V_{RFP} が入力される入力部15と、基準電圧 V_{RFP} を増幅するためのオペアンプ3と、外部供給電源電圧または基準電圧を昇圧して昇圧電圧 V_{GGCP} をオペアンプ3に供給するための昇圧回路(図示せず)と、出力電圧 V_{GGPRE} を出力するための出力部17とを備えている。ここで、外部供給電源電圧は例えば2.9V程度であり、 V_{GGCP} は最大で20V程度、 V_{GGPRE} は8V程度、基準電圧 V_{RFP} は2V程度、オペアンプ3に供給される接地電圧 V_{SS} は0Vである。なお、 V_{GGPRE} は8Vに限らず、6~20V程度であってもよい。 20

【0133】

また、オペアンプ3の出力は負帰還され、オペアンプ3の出力部と(-)側入力部との間には可変抵抗20が介設されている。そして、オペアンプ3の(-)側入力部及び可変抵抗20は、抵抗 R_0 を介してグラウンドに接続されている。さらに、本実施形態の電源回路には、可変抵抗20とグラウンドとの間に、起動用制御信号 $Poff$ により制御されるnチャンネル型のトランジスタ21が設けられている。ここで、起動用制御信号 $Poff$ は、電源の切断及び投入を伝達する信号であって、例えば外部電源の切断時またはパワーオフ時にハイ(High)、電源の駆動時(パワーオン時)にはロー(Low)となる信号である。 30

【0134】

次に、可変抵抗20の回路構成を説明する。

【0135】

図2に示すように、オペアンプ3の出力部と(-)側の入力部の間には、例えば($2^M \times M$)個のnチャンネル型のトランジスタ $Tr1$ が 2^M 行 $\times$ M列のマトリックス状に配置されている。このトランジスタ $Tr1$ は、ソース・ドレイン間の耐圧が6V以下の低耐圧トランジスタである。

【0136】

また、可変抵抗20は、オペアンプ3の出力部と出力部17とを接続する配線上に設けられた節点16と、節点16と抵抗 R_0 との間に互いに直列に設けられた合計 2^M 個(Mは自然数)の抵抗 $R_1, R_2, \dots, R(2^M - 1), R_{2^M}$ とを有している。 40

【0137】

ここで、オペアンプの(-)側入力部とトランジスタ $Tr1$ とを接続する配線を配線10とし、節点16と抵抗 R_0 とを結ぶ配線を配線12とすると、配線10と配線12の間には 2^M 本の行方向配線が設けられ、各行方向配線上にはM個ずつのトランジスタ $Tr1$ が介設されている。なお、配線12から各行方向配線への分岐点は、複数の抵抗のうち、抵抗 R_0 側から数えて(n-1)番目の抵抗とn番目の抵抗($n = 1, 2, \dots, 2^M - 1, 2^M$)との間に設けられた節点となっている。

【0138】

また、トランジスタ T_{r1} はゲート制御信号 $G_0, G_1 \dots G_{M-1}$ によって列ごとにオンまたはオフが制御されている。なお、図示しないが、実際には行ごとにトランジスタ T_{r1} のスイッチングを制御するデコーダも設けられている。

【0139】

さらに、本実施形態の電源回路においては、抵抗 R_{2^M} と抵抗 $R(2^M - 1)$ との間の節点がトランジスタ 21 に接続されている。

【0140】

このような構成により、所望の行のトランジスタ T_{r1} のみをオンにすることで、可変抵抗 20 の抵抗値を変化させることができ、出力電圧の高精度化を図ることができる。

【0141】

以上で説明した回路構成のうち、本実施形態の電源回路が図 17 に示す従来の電源回路と異なる点について説明する。

【0142】

まず、本実施形態の電源回路の特徴は、電源回路の終了時にのみオンになるように制御されたトランジスタ 21 を備えていることである。これにより、電源回路の終了時（外部電源の切断時またはパワーオフ時）にオペアンプ 3 の出力がハイインピーダンスになっても、抵抗 R_{2^M} と $R(2^M - 1)$ との間の節点をグランドに接続することができるので、該節点の電位 V_{2^M} をほぼ 0 V にすることができる。

【0143】

一方、電源回路の駆動時には、 V_{GGPRE} は 8 V であり、 V_{RFP} は約 2 V となっているので、トランジスタ T_{r1} のソース - ドレイン間にかかる電圧は最大でも 6 V 未満となる。

【0144】

このように、本実施形態の電源回路においては、トランジスタ T_{r1} のソース - ドレイン間にかかる電圧が低減されているので、トランジスタ T_{r1} としてソース - ドレイン間耐圧が低いトランジスタを用いることができるのである。そして、低耐圧トランジスタは高耐圧トランジスタに比べて面積が $1/2 \sim 2/3$ であるので、電源回路の面積を大幅に縮小することができる。なお、トランジスタ T_{r1} の数が非常に多いため、トランジスタ 21 による面積の増加よりも可変抵抗 20 で低減される面積の方が遙かに大きい。

【0145】

以上のように、本実施形態の電源回路では、出力電圧の高精度化が図られた上、従来よりも回路面積を大幅に縮小されている。このため、本実施形態の電源回路を用いることで、液晶表示装置の信頼性を向上させることができる上、大画面化を図ることもできる。

【0146】

これに加え、本実施形態の電源回路では、抵抗 R_{2^M} があるために、電源回路の終了時にオペアンプ 3 の出力はハイインピーダンスになっている。出力部 17 には、D/A コンバータやフィルタなどが接続される場合があり、これらの製品検査の際には、出力部 17 に種々の電圧を印加することがある。本実施形態の電源回路は、終了時にオペアンプ 3 の出力がハイインピーダンスとなっているので、上述のような製品検査が可能になっている。

【0147】

なお、本実施形態の電源回路において、トランジスタ 21 は p チャネル型 MIS トランジスタであってもよい。この場合、電源回路の終了時にのみ、 P_{off} がローになる。

【0148】

また、本実施形態の電源回路では、トランジスタ 21 を設けることで電源回路の終了時のみ V_{2^M} を 0 V としたが、この他にも、抵抗 R_{2^M} と抵抗 $R(2^M - 1)$ 間の節点を電源終了時のみグランドに接続するような接続手段であればトランジスタ 21 の代わりに用いることができる。この接続手段は、素子であってもよいし、複数の素子からなる回路であってもよい。

【0149】

また、本実施形態の電源回路に用いられたトランジスタ T_{r1} は全て n チャネル型であっ

10

20

30

40

50

たが、pチャネル型のトランジスタを用いても同様の効果がある。ここでのトランジスタ T_{r1} は、スイッチとして用いているので、各行方向配線上にトランジスタ T_{r1} に代えて低耐圧トランジスタからなるCMOSトランスファークートを設けてもよい。

【0150】

本実施形態の電源回路は、携帯用機器に搭載される液晶表示装置であればいかなる駆動方式のものにも好ましく用いられる。その他にも、携帯用機器の電源回路として液晶表示装置以外にも用いることができる。

【0151】

また、出力部17には外部の回路が接続する場合もあるが、より出力電圧のリプル成分を小さくするために出力部17をもう1つのオペアンプの入力部に接続してもよい。

10

【0152】

なお、本実施形態の電源回路で用いる低耐圧トランジスタ T_{r1} のソース・ドレイン間耐圧は6V以下としたが、設計ルールなどにより耐圧範囲は異なってくる。例えば、設計ルールが小さくなれば耐圧範囲もより小さくなる。

【0153】

- 第2の実施形態の変形例 -

本発明の第2の実施形態の変形例として、第2の実施形態に係る電源回路のトランジスタ21をダイオードに置き換えた電源回路について説明する。

【0154】

なお、トランジスタ21以外は第2の実施形態の電源回路と同一であるので、説明は省略する。

20

【0155】

本変形例では、抵抗 R_{2^M} と抵抗 $R(2^M - 1)$ 間の節点とグランドとの間に、出力側をグランドに向けたダイオード23が直列に8個配置されている。このダイオード23のしきい値は、約0.7Vである。また、トランジスタ T_{r1} のソース・ドレイン間耐圧は6Vとする。

【0156】

この回路構成により、電源回路の終了時にオペアンプ3の出力がハイインピーダンスになって抵抗 R_{2^M} と抵抗 $R(2^M - 1)$ 間の節点の電圧 V_{2^M} が上昇しても、8個のダイオード23のしきい値の合計値に達した時点でダイオード23がオンになるので、トランジスタ T_{r1} の破壊を防ぐことができる。

30

【0157】

なお、図3に示す例では、ダイオード23を8個用いたが、トランジスタ T_{r1} の耐圧によって適当な個数に調節する。ダイオード23の個数は、(トランジスタ T_{r1} の耐圧) / (ダイオード23のしきい値) で算出された値を超えない整数値とする。

【0158】

以上のように、トランジスタ21に代えてダイオード23を用いることによってトランジスタ T_{r1} に低耐圧トランジスタを用いることができるので、高精度の電源電圧を供給し、且つ従来よりも面積を低減した電源回路を実現することができる。

【0159】

なお、本変形例では、正電圧を供給する電源回路の例を示したが、負電圧を供給する電源回路の場合は、ダイオード23の向きを逆にすればよい。

40

【0160】

(第3の実施形態)

本発明の第3の実施形態として、消費電力の増加を抑えつつ、動作の高速化が図られたオペアンプの例を説明する。

【0161】

図4は、本実施形態のオペアンプの構成を示す回路図である。

【0162】

同図に示す本実施形態のオペアンプは、反転入力部 i_{nn} (-側入力部) と非反転入力部

50

i_{np} (+側入力部)とを有する差動増幅部26と、互いにカレントミラーを構成し、 p チャネル型トランジスタであるトランジスタ $M1$, $M2$, $M7$ と、ソースが電源電圧 V_{cc} を供給する電圧供給部に接続された p チャネル型のトランジスタ $M11$ と、トランジスタ $M11$ のスイッチングを制御するためのトランジスタ $M9$, $M10$ と、ゲート電極が差動増幅部26に、ソースがグランドにそれぞれ接続されたトランジスタ $M8$ とを備えている。ここで、トランジスタ $M8$, $M9$, $M10$ はいずれも p チャネル型トランジスタである。また、トランジスタ $M7$ 及びトランジスタ $M11$ のドレインと、トランジスタ $M8$ のドレイン、トランジスタ $M7$ のドレインとは互いに接続され、且つ出力部 OUT に接続されている。

【0163】

10

また、差動増幅部26は、トランジスタ $M2$ のドレインに接続されている。そして、トランジスタ $M9$ 及びトランジスタ $M10$ は、それぞれ復帰時制御信号 $Poffpre$ と復帰時制御信号 $Poffpre$ の反転信号をゲート電極に受けてトランジスタ $M11$ のスイッチングを制御している。

【0164】

なお、トランジスタ $M1$, $M2$, $M7$, $M10$ の各ソースには電源電圧 V_{cc} が供給されている。

【0165】

一方、差動増幅部26は、共に p チャネル型トランジスタである1対のトランジスタ $M3$, $M4$ と、共にソースがグランドに接続され、互いのゲート電極が接続された1対の n チャネル型トランジスタであるトランジスタ $M5$, $M6$ とから構成されている。そして、トランジスタ $M3$ のゲート電極には反転入力部 i_{nn} が接続され、トランジスタ $M4$ のゲート電極には非反転入力部 i_{np} が接続されている。なお、トランジスタ $M2$ のドレインはトランジスタ $M3$ 及びトランジスタ $M4$ のソースに接続されており、トランジスタ $M8$ のゲート電極はトランジスタ $M4$ のソース及びトランジスタ $M6$ のドレインに接続されている。

20

【0166】

また、トランジスタ $M8$ の電流駆動能力は他のトランジスタに比べて大きくなっており、トランジスタ $M7$ とトランジスタ $M11$ の電流駆動能力の和は、トランジスタ $M8$ の電流駆動能力にほぼ等しくなっている。

30

【0167】

次に、本実施形態のオペアンプの動作を説明する。

【0168】

まず、電源回路の起動時(またはオフ状態からの復帰時)には、オペアンプのバイアス電流の入力部 i_{ref} から定電流が供給され、非反転入力部 i_{np} には2.0V程度の正電圧が入力され、反転入力部 i_{nn} の電位は非反転入力部 i_{np} と等しくなっている。また、復帰時制御信号 $Poffpre$ は1水平周期期間のみローになっている。

【0169】

復帰時制御信号 $Poffpre$ がローの際には、トランジスタ $M9$ がオンとなり、トランジスタ $M10$ がオフとなるので、トランジスタ $M11$ のゲート電極に電源電圧 V_{cc} が印加され、トランジスタ $M11$ には電流 I_{M11} が流れる。この状態では、トランジスタ $M11$ はトランジスタ $M1$, $M2$, $M7$ と共にカレントミラーを構成する。

40

【0170】

この時、カレントミラーを構成するトランジスタ $M1$, $M2$, $M7$ には各トランジスタのサイズに比例した大きさの電流 I_{M1} , I_{M2} , I_{M7} がそれぞれ流れる。本実施形態では、例えば電流 I_{M1} , I_{M2} , I_{M7} が共に1 μA 、 I_{M11} は100 μA とする。

【0171】

このときのオペアンプの電流駆動能力は、トランジスタ $M7$ とトランジスタ $M11$ の電流駆動能力の和によって決まる。なお、トランジスタの電流駆動能力は、そのサイズに比例する。

50

【0172】

一方、1水平周期期間の経過後は、復帰時制御信号 $Poffpre$ がハイとなるので、トランジスタ $M9$ がオフ、トランジスタ $M10$ がオンとなり、トランジスタ $M11$ は動作を停止する。

【0173】

また、オペアンプの駆動中のトランジスタ $M8$ には電流が流れる。このトランジスタ $M8$ の電流駆動能力は電源の立ち下げ（正の電源回路では立ち上げ）の速度に関係する。

【0174】

次に、電源回路の駆動時には、引き続きバイアス電流の入力部 $iref$ に定電流が供給され、非反転入力部 inp には $2.0V$ 程度の正電圧が入力され、反転入力部 inn の電圧は非反転入力部 inp への入力電圧と等しくなる。また、復帰時制御信号 $Poffpre$ はハイになっている。 10

【0175】

このため、トランジスタ $M11$ の動作は停止しており、トランジスタ $M1$ 、 $M2$ 、 $M7$ にのみ各 $1\mu A$ の電流が流れる。なお、このとき、オペアンプの正電圧方向の電流供給能力は、トランジスタ $M7$ の電流駆動能力のみによって決まる。

【0176】

以上のように、本実施形態のオペアンプでは、出力電圧を下げる方向（負電圧方向）に働くトランジスタ $M8$ の電流駆動能力が大きくなっているため、例えばオペアンプが負電圧を出力する場合、起動時に出力の立ち下がりが速やかになっている。しかも、電源回路の起動（オペアンプの立ち上げ時）から1水平周期期間の間は、トランジスタ $M11$ をオンさせることにより電流供給能力が増強されている。そのため、従来のオペアンプで見られた起動直後の出力におけるリングングが抑えられ、出力電圧を所望の電圧値に速やかに収束させることができる。その結果、本実施形態のオペアンプを用いて高速動作に適した液晶表示装置用の電源回路を作製することができる。 20

【0177】

加えて、起動時から一水平周期期間後からの消費電流は $3\mu A$ であるので、消費電力は従来のA級オペアンプとほぼ同じに抑えられている。また、回路構成はAB級オペアンプなどと比べて単純であるので、回路面積も比較的小さくなっている。

【0178】

なお、本実施形態のオペアンプでは、トランジスタ $M7$ と $M11$ の電流駆動力の和がトランジスタ $M8$ の電流駆動力とほぼ等しくすることで、消費電力の削減と起動時の立ち下げ速度の向上とのバランスをとりつつ出力電圧のリングングを抑えているが、トランジスタ $M11$ の電流駆動能力をさらに高めてもリングングを抑えることはできる。 30

【0179】

なお、本実施形態のオペアンプにおいて、回路を構成するトランジスタの導電型をすべて逆にすれば、正電圧を出力し、起動時の立ち上げ速度の速いオペアンプを作製することができる。

【0180】

以上のように、本実施形態のオペアンプは電源回路など、起動または終了のうちいずれか一方の高速性が求められる電源回路に好ましく用いられる。特に、液晶表示装置の電源回路に適している。 40

【0181】

なお、本実施形態のオペアンプには、電源電圧として $6V$ 以下の V_{cc} が供給されているが、チャージポンプ回路などの昇圧回路により $20V$ 程度にまで昇圧された昇圧電圧 V_{GCP} をオペアンプに供給する場合でも同様の効果が得られる。

【0182】

また、本実施形態の例ではトランジスタ $M11$ を1水平周期期間のみ動作させたが、電源回路の起動時に任意の期間動作させてもよい。

【0183】

また、本実施形態のオペアンプではトランジスタ M 1 1 の制御をトランジスタ M 9、M 1 0 を用いて行ったが、これ以外の制御手段を用いてもよい。

【0184】

(第4の実施形態)

本発明の第4の実施形態として、出力電圧に含まれるリップルの低減が図られた電源回路を説明する。

【0185】

まず、本発明に至る経緯を簡単に説明する。

【0186】

当初、本願発明者らは、出力電圧中に含まれるリップルを抑えてちらつきの少ない液晶表示装置を実現するため、図16に示す従来の電源回路においてオペアンプ103のリップル低減能力を向上させることを試みた。しかしながら、このようなオペアンプは元のオペアンプに比べて面積の増加が著しく、チップサイズの著しい増大を招く結果となった。また、リップルを減衰させることはできたものの、発振防止用の抵抗109aの抵抗値を数MΩ程度、コンデンサ111の容量値を数μF程度にする必要があり、抵抗値×容量値から求められる充電時間が数秒にもなってしまうことが判明した。

【0187】

そこで、本願発明者らは、回路の充電時間を実使用に耐えるレベルに抑えつつ、リップルを低減する方法を検討した。そして、種々の回路を検討した結果、オペアンプを2段重ねることでリップルを顕著に抑えつつ、充電時間も数十μ秒以下に抑えられることを見いだした。また、従来の回路構成のままでリップルの低減を図る場合に比べて回路面積を大幅に小さくできることも分かった。以下に、この構成を用いた具体的な電源回路について説明する。

【0188】

図5は、本実施形態の電源回路1を示す回路図である。同図に示すように、本実施形態の電源回路1は、従来の電源回路の出力部にもう1段オペアンプを追加している。

【0189】

すなわち、本実施形態の電源回路1は、第1のオペアンプ29と、外部供給電源電圧または外部供給電源電圧から作られた基準電圧を昇圧して昇圧電圧 V_{GGCP} を第2のオペアンプ31に供給するための昇圧回路27と、第1のオペアンプ29からの出力と接地電圧 V_{SS} とが供給された第2のオペアンプ31と、第2のオペアンプ31の出力部に接続され、外部に電源電圧を供給するための出力端子35とを備えている。ここで、基準電圧は例えば2.0V程度である。

【0190】

また、第1のオペアンプ29及び第2のオペアンプ31の出力は、共に負帰還されている。ここで、第1のオペアンプ29の出力部と(-)側入力部との間には抵抗32が設けられており、該(-)側入力部とグランドとの間には、抵抗32に接続された抵抗30が設けられている。抵抗32と抵抗30の抵抗値は、例えば、それぞれ100kΩと100kΩであり、第1のオペアンプ29は入力電圧 V_1 をより高い電圧 V_2 にして出力する。この例では、 $V_2 = 2V_1$ となっている。

【0191】

これに対し、第2のオペアンプ31では入力電圧と出力電圧とが共に V_3 と等しくなっている。

【0192】

また、昇圧回路27は、接地された外付けのコンデンサ33が接続されている。なお、図示しないが、出力端子35には発振を防止するための接地されたコンデンサが設けられている。このコンデンサの容量値は例えば1μFである。このコンデンサと出力端子35との間に発振防止用の抵抗を設けてもよい。

【0193】

本実施形態の電源回路1においては、第1のオペアンプ29と第2のオペアンプ31とを

10

20

30

40

50

設けることにより、従来の電源回路に比べて出力中のリップルが著しく減衰している。例えば、1つのオペアンプにつきリップルを1/10程度に減衰することができるので、本実施形態の電源回路1では、昇圧電圧に比べてリップルを1/100程度にまで減衰することができる。このため、精度の高い電源電圧を外部回路に供給することができる。特に、液晶表示装置に用いる場合には、ちらつきが少ない、高精細の表示を可能にする。

【0194】

加えて、本実施形態の電源回路1では、充電時間が数msec以下に抑えられている。これは、第1のオペアンプ29で入力電圧の増幅を行い、第2のオペアンプ31では電圧の増幅を行わないため、抵抗30、32と外付けコンデンサとの分断が図られるからである。

10

【0195】

なお、第2のオペアンプ31で帰還用の配線に抵抗を設けて電圧の増幅を行う場合でも、従来に比べて増幅率を小さくできるので、外付けのコンデンサの容量値を小さくすることができる。

【0196】

さらに、本実施形態の電源回路1では、従来の回路構成でリップルの低減を図る場合に比べて、回路面積を小さくすることができる。なお、第2のオペアンプ31は、第1のオペアンプ29と同様の回路構成を有するものを用いることができる。このため、本実施形態の電源回路を液晶表示装置に用いる場合には、チップ面積を大きく増加させることなく高性能の表示を可能にできる。

20

【0197】

なお、本実施形態の電源回路1においてオペアンプを3段以上設けた場合には、リップルはさらに低減できるが、オペアンプを通すことによる動作の遅れを生じる。そのため、本実施形態で示したように、オペアンプを2段構成とすることが最も好ましい。

【0198】

なお、本実施形態で示したオペアンプの2段構造を図1に示すような抵抗を電源回路LSI内部に設ける構造と組み合わせることで、部品点数を削減した高精度の電源回路を実現することができる。

【0199】

(第5の実施形態)

本発明の第5の実施形態として、多種類の電源回路を有する電源回路LSIにおいて、電源シーケンス制御を内部回路を用いて行なう例を説明する。

30

【0200】

はじめに、本願発明者らが本発明に想到した経緯を説明する。

【0201】

従来の電源回路LSIでは、図20、21で示すような電源のシーケンス制御をソフトウェアで行っていた。そして、ソフトウェアによる制御でも、現時点の液晶表示装置に用いられる電源回路では実用上の問題はないものとの認識があった。

【0202】

これに対し、本願発明者らは、今後の液晶表示装置では電源のシーケンス制御が複雑化することと、これに伴ってソフトウェアが大規模になり、ソフトウェアの開発に時間を要するようになることを予見した。また、ソフトウェアが大規模になれば仕様ミス等が発生しやすくなることも予想した。

40

【0203】

この予想を基に多種類の電源回路の起動を制御するための起動制御回路を設けたところ、ソフトウェアを用いる場合に比べ予想以上に多くの利点があることが確かめられた。以下、本実施形態の電源回路の起動制御とその利点について、図を用いて説明する。

【0204】

図6は、複数種類の電源回路を有する本発明の電源回路LSIにおける信号の流れを示す図であり、図7は、本発明の電源回路LSIにおける起動時の制御信号及び出力電圧を示

50

すタイミングチャート図である。

【0205】

図6に示すように、本実施形態の電源回路LSIは、電源回路A、B、C、Dと、起動時に電源回路A～Dの立ち上げを制御する起動制御回路25とを有している。この起動制御回路25は、例えばカウンタ及びデコーダから構成される。

【0206】

次に、電源回路における信号の流れについて説明する。

【0207】

図6に示すように、まず、クロック信号CLK及び起動用制御信号POFFが起動制御回路25に入力される。ここで、起動用制御信号POFFは、電源の切断及び投入を伝達する信号であって、例えば外部電源の切断時またはパワーオフ時にハイ(High)、電源の駆動時にはロー(Low)となる信号である。

10

【0208】

次に、起動制御回路25は、カウンタ用データ信号STV、クロック信号CLK及び起動用制御信号POFFに応じて電源制御信号P1、P2、P3及びP4をそれぞれ電源回路A、B、C、Dに出力する。カウンタ用データ信号STVは、クロック信号に比べ周期が著しく長くなっている。

【0209】

次いで、電源制御信号P1、P2、P3及びP4を受けた電源回路A、B、C、Dのそれぞれは、出力電圧VA、VB、VC、VDを外部回路に出力する。

20

【0210】

次に、本実施形態の電源回路の動作について説明する。

【0211】

まず、図7に示すように、外部電源の切断中またはパワーオフ中には、起動用制御信号POFFがハイになっており、電源制御信号P1～P4はすべてハイになっている。このとき、電源回路は外部に電圧を供給しない。

【0212】

これに対し、電源回路の起動時に起動用制御信号POFFがローに変化すると、起動制御回路中のカウンタがカウンタ用データ信号STV及びクロック信号をカウントし、デコーダが所定のタイミングで電源制御信号P1～P4をハイからローに変化させる。この例では、電源制御信号P1～P4は例えばクロック信号の立ち上がりに合わせて電源制御信号を立ち下げている。ここで、各電源回路の立ち上がりの時間差は10msec～200msec程度であり、これはオペアンプの動作速度に比べて非常に長くなっている。

30

【0213】

以上の動作により、それぞれの電源回路は所定の順番及びタイミングで起動する。

【0214】

このように、本実施形態の電源回路LSIでは、従来はソフトウェアによって制御されていた多電源のシーケンス制御を起動制御回路によって行なうことにより、以下のような利点を有している。

【0215】

40

まず、第1の利点は、電源回路が起動する際に内部回路の保護がより確実に行えることである。つまり、起動制御回路25では、ソフトウェアを用いる場合に比べ仕様ミスを低減することができる。これは、ハードウェアを用いる場合、電源回路の設計者が起動制御回路25と電源回路とを併せて作製するため、電源回路とは別に開発するソフトウェアよりも仕様ミスを減らせることによる。

【0216】

ここで、起動制御回路による制御の例としては、高い電圧を出力する電源回路を低い電圧を出力する電源回路よりも後に立ち上げてLSI内部でのラッチアップを防いだりするような制御や、昇圧回路の出力が安定した後にオペアンプを起動するような制御などが挙げられる。特に、昇圧回路の出力が安定するのには数msecの時間を要する上、出力が安

50

定する前にオペアンプが起動すると発振を起こすおそれがあるので、オペアンプの立ち上げを制御することは重要である。

【0217】

次に、第2の利点は、液晶表示装置に用いる場合、画素などの表示部側素子をより確実に保護することができることである。ソフトウェアの場合、大規模化するとバグや仕様ミスが存在する確率が高まるが、起動制御回路を設けてしまえば誤動作の危険性を低減することができる。これによって、電源回路を最適な順番及びタイミングで立ち上げることができるので、画面表示の乱れを抑え、表示部側素子を保護することができる。

【0218】

また、必要に応じて適宜ソフトウェアを併用することもできる。この場合には、ソフトウェアを簡略化することができるので、電源のシーケンス制御を確実に行うことができる。

【0219】

なお、本実施形態の電源回路LSIは、液晶表示装置だけでなく、他種類の電源回路を必要とする各種機器に好ましく用いることができる。

【0220】

また、本実施形態で説明した起動制御回路では、カウンタ用データ信号STVが入力されていたが、このカウンタ用データ信号STVを用いずに、クロック信号CLKがカウンタ用データ信号の機能を兼ねることもできる。

【0221】

(第6の実施形態)

本発明の第6の実施形態として、電池はずれなどの緊急事態の際に外部回路の誤作動を防止するための緊急ディスチャージ回路を備えた電源回路について説明する。

【0222】

本実施形態で説明する緊急ディスチャージ回路は、これまでに説明した実施形態に係る電源回路と同じ電源回路LSI内に設けられることが多いが、別個のLSIとして提供される場合もある。

【0223】

図8は、本実施形態の電源回路における緊急ディスチャージ回路を示す図であり、図9は、緊急ディスチャージモードにおける緊急ディスチャージ回路の動作を示す図であり、図10は、緊急ディスチャージオフモードにおける緊急ディスチャージ回路の動作を示す図である。なお、以下の明細書では、本実施形態の電源回路における緊急ディスチャージ回路を「本実施形態の緊急ディスチャージ回路」と称する。

【0224】

図8に示すように、本実施形態の緊急ディスチャージ回路60は、外部電源の意図しないダウンを感知して、電源電圧 V_{DD} がダウンする場合に緊急ディスチャージ信号を電源回路に出力する。この緊急ディスチャージ回路60では、回路の前段部に電源電圧 V_{DD} が供給され、後段部に例えば $2V_{DD}$ に昇圧された昇圧電圧 V_{DD2} が供給されている。また、緊急ディスチャージ回路60には接地電圧も供給されている。

【0225】

本実施形態の緊急ディスチャージ回路60には、通常動作時にセット信号が入力されており、該セット信号がハイ(入力電圧 V_{DD})の場合には外部電源が予期せぬダウンをした時に緊急ディスチャージ信号が電源回路に出力される緊急ディスチャージモードになっている(図9参照)。また、図10に示すように、セット信号がロー(入力電圧は接地電圧GND)の場合には外部電源がダウンする際に緊急ディスチャージ信号は出力されない。

【0226】

より詳しくは、図9に示す緊急ディスチャージモードにおいては、通常動作時にセット信号としてハイ(V_{DD})が入力され、出力部からは接地電圧が出力される。ここで、電源電圧 V_{DD} の供給が緊急事態により停止すると、入力部及び回路の前段部への電圧供給が停止する。しかしながら、昇圧電圧 V_{DD2} は電源電圧 V_{DD} に比べて高いために、電源電圧 V_{DD} が低下した時点でも後段部の回路を駆動させるだけの電圧を保っている。そのた

め、緊急事態の発生時には後段部の回路が駆動することにより昇圧電圧 V_{DD2} が出力部から出力される。これがディスチャージ信号として各出力回路に供給される。すると、電源回路の出力は順次オフし、表示部などに蓄積された電荷が放出される。その結果、本実施形態の緊急ディスチャージ回路60を有する液晶表示装置の場合、周辺回路の誤作動が防止されているとともに、オフ残像の発生も抑えられている。なお、オフ残像とは、電源切断後の画面に残る残像のことである。

【0227】

図11(a)は、緊急ディスチャージモードにおける通常終了時(パワーオフ時)の発生電圧及び入力電圧の変化を示す図であり、同図(b)は、緊急終了時の発生電圧及び入力電圧を示す図である。ここで、発生電圧A、Bは電源回路からの出力電圧の一例である。

10

【0228】

図11(a)に示すように、緊急ディスチャージモードにおける通常終了時には、従来と同様に、電源回路内のディスチャージ回路が機能することにより、まず発生電圧A、Bの出力が停止し、次いで入力電圧の入力も停止する。

【0229】

また、図11(b)に示すように、電池はずれなどによる緊急終了時では、緊急事態発生時 T_1 から入力電圧が低下し始める。そして、入力電圧が所定値を下回った時点 T_2 で緊急ディスチャージ回路から緊急ディスチャージ信号が出力され、電源回路からの発生電圧A、Bの出力は共に停止する。この T_2 を以下では「緊急事態感知時」と呼ぶ。

【0230】

20

次に、図10に示す緊急ディスチャージオフモードにおいては、通常動作時にセット信号としてロー(接地電圧GND)が入力され、出力部からは接地電圧が出力される。このモードにおいては、電源回路からの出力電圧及び電源回路への入力電圧の変化は従来の電源回路LSIと同様となる。

【0231】

すなわち、電源回路が通常終了する際にはディスチャージ回路の機能によってまず発生電圧が停止する。その後、入力電圧も停止する。

【0232】

これに対して、電源電圧 V_{DD} の供給が緊急事態により停止すると、入力部及び回路の前段部への電圧供給が停止する。この際にも出力部からは接地電圧GNDが出力され、緊急ディスチャージ信号は出力されない。

30

【0233】

このような緊急ディスチャージオフモードは必ずしも必要ではないが、外部回路の仕様が緊急ディスチャージモードに対応しない場合や、緊急ディスチャージに予期せぬ不具合が生じる際に、緊急ディスチャージオフモードにすることによって不具合を生じずに機器を動作させることができる。

【0234】

次に、具体的な緊急ディスチャージ回路の構成例を示す。

【0235】

図12は、本実施形態の緊急ディスチャージ回路の一例を示す回路図である。

40

【0236】

同図に示す緊急ディスチャージ回路は、入力電圧 V_{in} を受ける入力部と、入力部に接続されたインバータ61、69と、インバータ61からの出力が入力されるインバータ63及びNORゲート67と、インバータ63からの出力が入力され、NORゲート67と共に非同期SRフリップフロップを構成するNORゲート65と、該非同期SRフリップフロップからの出力及びインバータ69からの出力がそれぞれ入力されるNANDゲート71と、NANDゲート71からの出力が入力されるインバータ73と、インバータ73からの出力及びNANDゲート71からの出力がそれぞれ入力され、緊急ディスチャージ信号 V_{dis} を出力するためのレベルシフタ75とを備えている。

【0237】

50

また、インバータ 61, 63 には電源電圧 V_{DD} 及び接地電圧が供給され、NOR ゲート 65, 67、インバータ 69、NAND ゲート 71 及びインバータ 73 には、それぞれ昇圧電圧 V_{DDCP} 及び接地電圧が供給されている。また、発生電圧 A, B はレベルシフタ 75 に供給される。ここで、昇圧電圧 V_{DDCP} は図 8 ~ 10 中の V_{DD2} のことである。

【0238】

このような回路構成によって、緊急事態の発生時に V_{DD2} が供給される回路が動作し、緊急ディスチャージ信号が出力される。ただし、ここで示す回路は緊急ディスチャージ回路の一例であって、他の構成をとることもできる。

【0239】

また、本実施形態の緊急ディスチャージ回路は、電源電圧 V_{DD} 及び昇圧電圧 V_{DDCP} が負の場合でも同様に動作させることができる。なお、昇圧電圧 V_{DDCP} の絶対値は必ず電源電圧 V_{DD} の絶対値よりも大きくなっている。

【0240】

なお、本実施形態の緊急ディスチャージ回路は、液晶表示装置用の電源回路以外にも電池駆動の各種機器用の電源回路に用いることができる。

【0241】

なお、本実施形態の緊急ディスチャージ回路では、セット信号が電源電圧 V_{DD} が入力される場合に緊急ディスチャージモードになるようにしたが、電源電圧 V_{DD} が入力される場合に緊急ディスチャージオフモードになり、接地電圧が入力される場合に緊急ディスチャージモードになるように設計してもよい。

【0242】

(第7の実施形態)

本発明の第7の実施形態として、外部配線を帰還用配線として用いる電源回路を有する液晶表示装置について説明する。なお、本実施形態の液晶表示装置は、電源回路 37 と電源回路に接続される電源供給用配線に特徴を有し、それ以外の部分は図 14 に示す液晶表示装置と同様の構成を有しているので、ここでは特徴部分についてのみ説明する。

【0243】

図 13 は、本実施形態の液晶表示装置のうち、電源回路 LSI 及び表示データ出力 LSI を示すブロック回路図である。

【0244】

同図に示すように、本実施形態の液晶表示装置は、昇圧電圧 V_{DDCP} 及び接地電圧 V_{SS} が供給されたオペアンプ 41 と、オペアンプ 41 の出力部に接続された出力端子 43 と、オペアンプ 41 の (-) 側入力部に接続された帰還用端子 45 とを有する電源回路 LSI 37 と、表示データ出力 LSI 39 と、ガラス基板上に設けられ、電源回路 LSI 37 と表示データ出力 LSI 39 とを接続する配線とを備えている。

【0245】

両 LSI 間を接続する配線は、電源回路 LSI 37 からの電源電圧を表示データ出力 LSI に供給するための電源供給配線 52 と、電源供給配線 52 から分岐して帰還用端子 45 に接続する帰還用配線 54 とを有している。また、電源供給配線 52 上の抵抗 47 及び帰還用配線 54 上の抵抗 49 は、各配線の配線抵抗を示したもので、素子が設けられているわけではない。

【0246】

また、電源供給配線 52 には接地された平滑用 (発振防止用) のコンデンサ 50 が接続されている。

【0247】

なお、本実施形態の液晶表示装置において、電源回路 LSI 37 及び表示データ出力 LSI 39 は COG 実装され、両 LSI 間を接続する配線の材料としては、例えば ITO が用いられている。

【0248】

10

20

30

40

50

以上の構成によれば、オペアンプ 41 の出力の負帰還がガラス基板上の配線を用いて行われることになる。ここで、オペアンプ 41 の (+) 側入力部への入力電圧を V_1 とすると、イマジナリー・ショートにより (-) 側入力部へも電圧 V_1 が印加される。また、帰還用配線 54 には電流が流れないので、配線抵抗の大きさに関係なく表示データ出力 LSI 39 の入力端子に供給される電圧も V_1 となる。

【0249】

このため、電源回路 LSI からの出力電圧は、配線抵抗が従来の TCP 実装などに比べ高くなる COG 実装の場合にも、電圧降下されずに表示データ出力 LSI に供給される。従って、電源回路 LSI からの出力電圧に含まれるノイズは低減される。

【0250】

最近の液晶表示装置では、電源回路から周辺回路への供給電流が 10 mA 程度のこともあるが、本実施形態の液晶表示装置では、電源回路の出力がそのような小電流の場合でも精度の高い電圧を供給できる。

【0251】

また、電源回路が配線抵抗の影響を受けずに電圧を供給できるので、COG 実装を用いた場合でも大電流を供給することができる。なお、(配線)抵抗 47 及び(配線)抵抗 49 の抵抗値は数 Ω ~ 数 k Ω 以下であれば上述の効果が十分に得られる。

【0252】

このように、本実施形態の液晶表示装置は、配線抵抗が大きいため電源回路からの出力電圧にノイズがのりやすいという COG 実装の弱点を克服しているので、外部回路に高精度の電圧を供給でき、且つその製造コストも低減されている。

【0253】

また、図 13 には電源回路 LSI 37 と表示データ出力 LSI 39 とを例にとって説明したが、表示データ出力 LSI 以外の周辺回路と電源回路 LSI とを接続する配線をオペアンプ 41 の帰還用配線に用いる場合でも同様の効果が得られる。また、電源回路と他の周辺回路とを同一チップ上に集積化する場合にも有効である。

【0254】

なお、本実施形態の液晶表示装置では、周辺回路を COG 実装する例を示したが、これ以外の実装方法のものに適用することも可能である。

【0255】

また、液晶表示装置が、ガラス基板に代えて高分子からなるフィルム基板を用いるフレキシブルディスプレイの場合にも、本実施形態で説明した電源回路及び配線を適用することができる。

【0256】

また、本実施形態で説明した電源回路の構成を、第 4 の実施形態で説明したオペアンプの 2 段積みの構成とを組み合わせることで、さらに高精度の電源回路を実現できる。

【0257】

【発明の効果】

本発明の電源回路は、例えば、出力が負帰還されたオペアンプと、オペアンプの出力部に接続された発振防止用端子及び出力端子と、発振防止用端子とオペアンプの出力部との間に介設された抵抗とを備えている。このため、発振防止用端子を外部のコンデンサと接続する場合に、オペアンプの発振を防止し、且つ大電流を供給することが可能となっている。

【0258】

この他にも、本実施形態の電源回路及びこれを用いた液晶表示装置には、高精度の電圧を出力するための対策、あるいは省電力化、小面積化を図るための対策、あるいは起動時の電源シーケンス制御についての対策、または緊急事態の発生時にパネル側に蓄積された電荷をディスチャージするための対策が講じられているので、従来に比べて信頼性や性能が向上している。

【図面の簡単な説明】

10

20

30

40

50

- 【図 1】本発明の第 1 の実施形態に係る電源回路を示す回路図である。
- 【図 2】本発明の第 2 の実施形態に係る電源回路の構成を示す回路図である。
- 【図 3】本発明の第 2 の実施形態の変形例に係る電源回路の構成を示す回路図である。
- 【図 4】本発明の第 3 の実施形態に係るオペアンプの構成を示す回路図である。
- 【図 5】本発明の第 4 の実施形態に係る電源回路を示す回路図である。
- 【図 6】本発明の第 5 の実施形態に係る電源回路 L S I における信号の流れを示す図である。
- 【図 7】第 5 の実施形態に係る電源回路 L S I における起動時の制御信号及び出力電圧を示すタイミングチャート図である。
- 【図 8】本発明の第 6 の実施形態に係る緊急ディスチャージ回路を示す図である。 10
- 【図 9】緊急ディスチャージモードにおける第 6 の実施形態に係る緊急ディスチャージ回路の動作を示す図である。
- 【図 10】緊急ディスチャージオフモードにおける第 6 の実施形態に係る緊急ディスチャージ回路の動作を示す図である。
- 【図 11】(a) は、第 6 の実施形態に係る緊急ディスチャージ回路の緊急ディスチャージモードにおける通常終了時の発生電圧及び入力電圧の変化を示す図であり、(b) は、緊急終了時の発生電圧及び入力電圧を示す図である。
- 【図 12】第 6 の実施形態に係る緊急ディスチャージ回路の具体例を示す回路図である。
- 【図 13】本発明の第 7 の実施形態に係る液晶表示装置のうち、電源回路 L S I 及び表示データ出力 L S I を示すブロック回路図である。 20
- 【図 14】一般的な液晶表示装置の回路構成を示すブロック回路図である。
- 【図 15】従来電源回路の一部を示す回路図である。
- 【図 16】従来電源回路を示す回路図である。
- 【図 17】高電圧を出力する場合の従来電源回路の構成を示す回路図である。
- 【図 18】従来電源回路において、オペアンプの回路構成の一例を示す回路図である。
- 【図 19】従来電源回路において、オペアンプの回路構成のさらに別の例を示す回路図である。
- 【図 20】複数種類の電源回路を有する従来電源回路 L S I における信号の流れを示す図である。
- 【図 21】従来電源回路 L S I における起動時の制御信号及び出力電圧を示すタイミングチャート図である。 30
- 【図 22】(a) , (b) は、それぞれ通常終了時の従来電源回路において、入力電圧及び出力電圧の変化を示す図、及び電源回路 L S I 及び機器の構成を概略的に示すブロック図であり、(c) , (d) は、それぞれ緊急終了時の従来電源回路において、入力電圧及び出力電圧の変化を示す図、及び電源回路 L S I 及び機器の構成を概略的に示すブロック図である。
- 【図 23】(a) は、液晶表示装置における電源回路 L S I 及び表示データ出力 L S I の実装方法を説明するための図であり、(b) は、(a) に示す領域 A を拡大した図である。
- 【符号の説明】 40
- | | |
|-----------------|---------|
| 1 | 電源回路 |
| 3 , 4 1 | オペアンプ |
| 5 | 出力端子 |
| 7 | 発振防止用端子 |
| 9 | 抵抗 |
| 1 0 , 1 2 | 配線 |
| 1 1 , 3 3 , 5 0 | コンデンサ |
| 1 3 , 1 6 | 節点 |
| 1 5 | 入力部 |
| 1 7 | 出力部 |

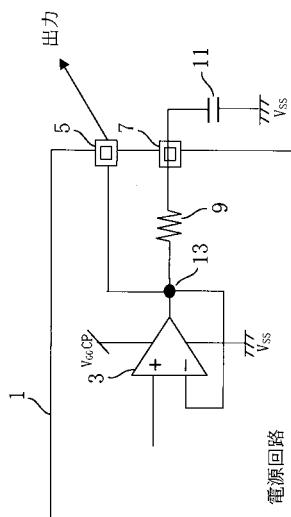
2 0	可変抵抗
2 1	トランジスタ
2 3	ダイオード
2 5	起動制御回路
2 6	差動増幅部
2 7	昇圧回路
2 9	
3 0 , 3 2 , 4 7 , 4 9	抵抗
3 1	第 2 のオペアンプ
3 5 , 4 3	出力端子
3 7	電源回路 L S I
3 9	表示データ出力 L S I
4 5	帰還用端子
5 2	電源供給配線
5 4	帰還用配線
6 0	緊急ディスチャージ回路
6 1 , 6 3 , 6 9 , 7 3	インバータ
6 5 , 6 7	NORゲート
7 1	NANDゲート
7 5	レベルシフト

第 1 のオペアンプ

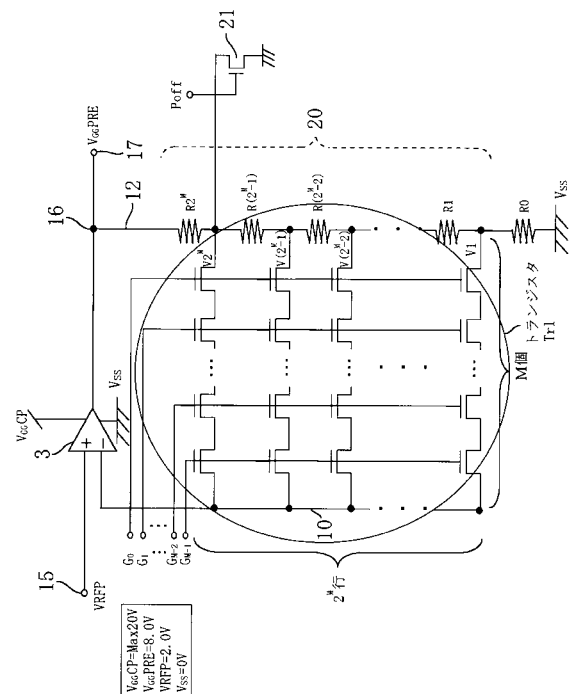
10

20

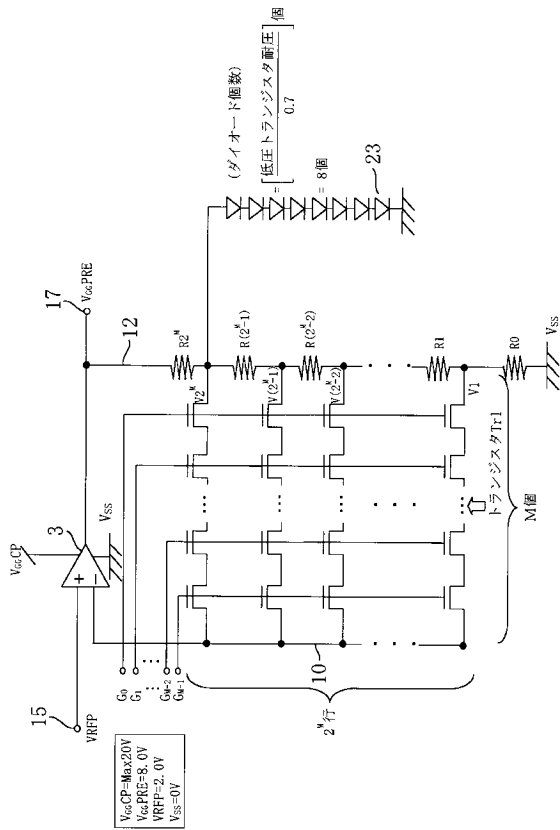
【 図 1 】



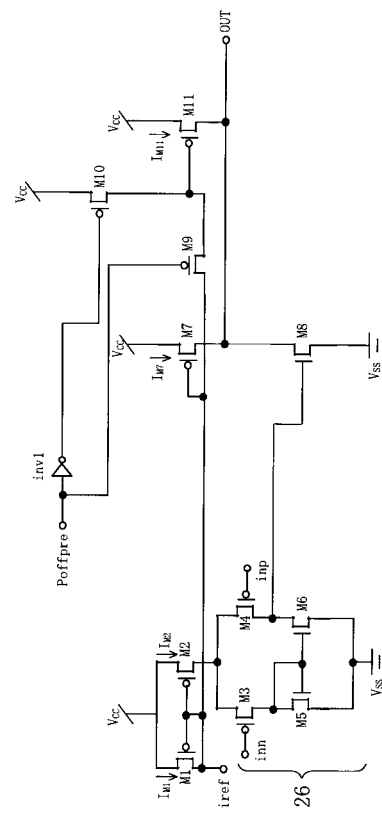
【 図 2 】



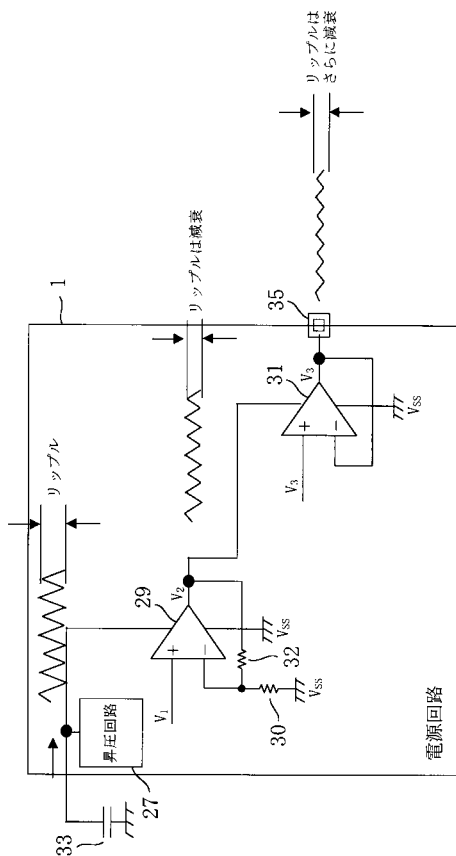
【図 3】



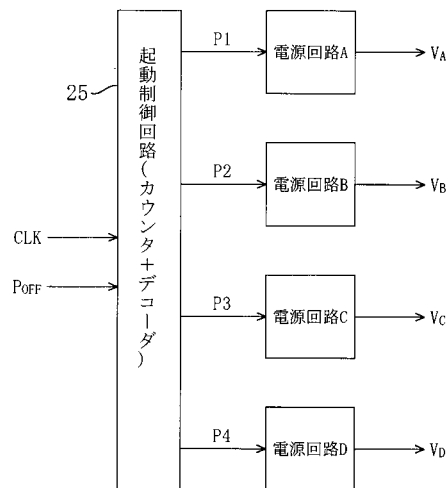
【図 4】



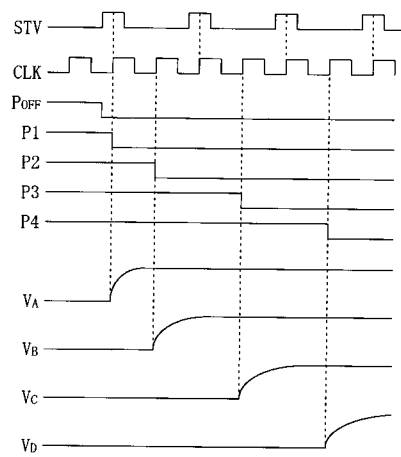
【図 5】



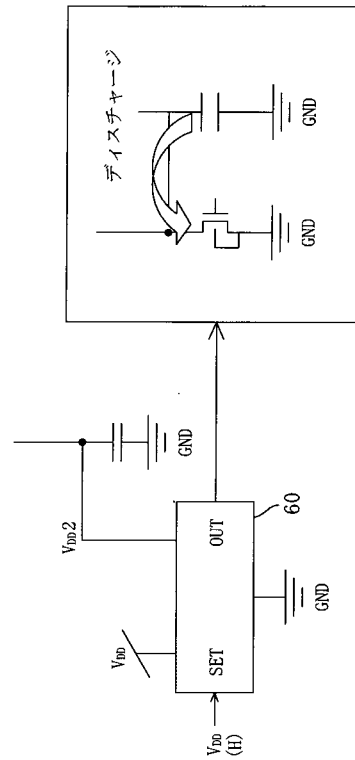
【図 6】



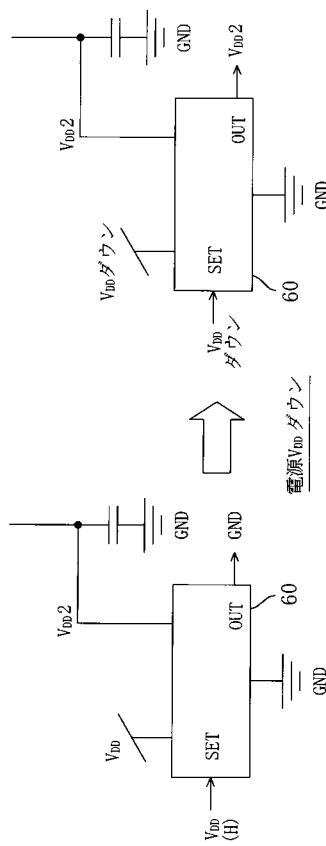
【図 7】



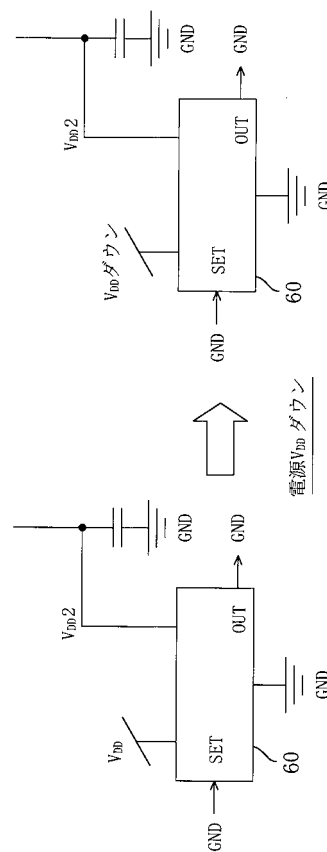
【図 8】



【図 9】

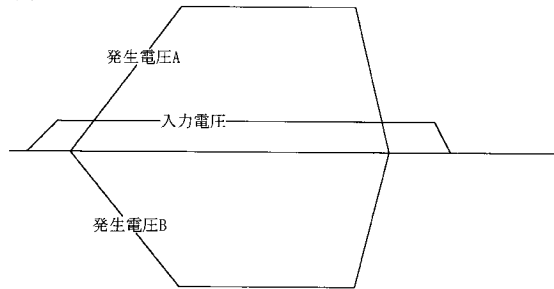


【図 10】

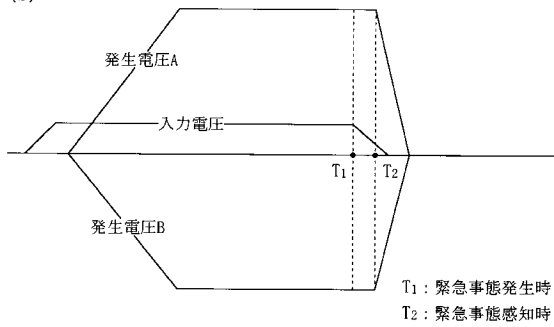


【図 1 1】

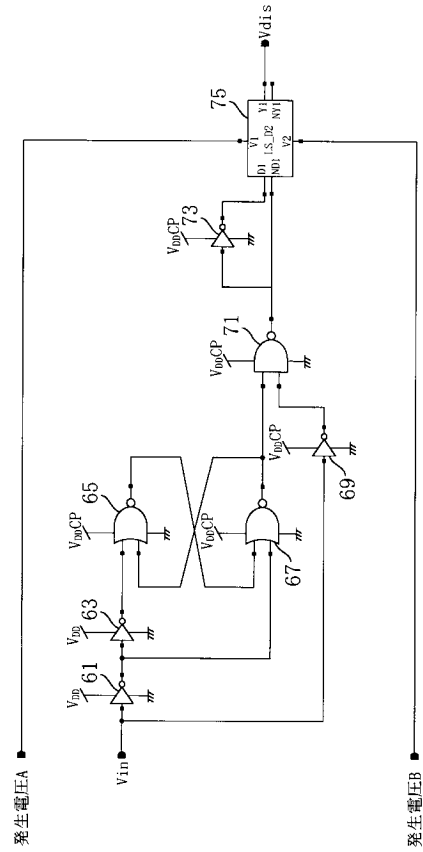
(a) <通常終了時>



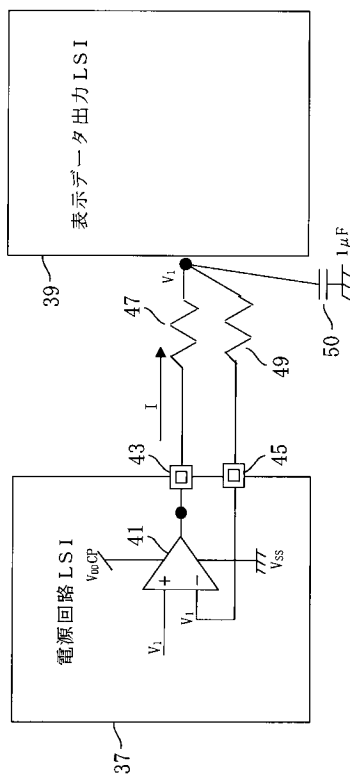
(b) <緊急終了時>



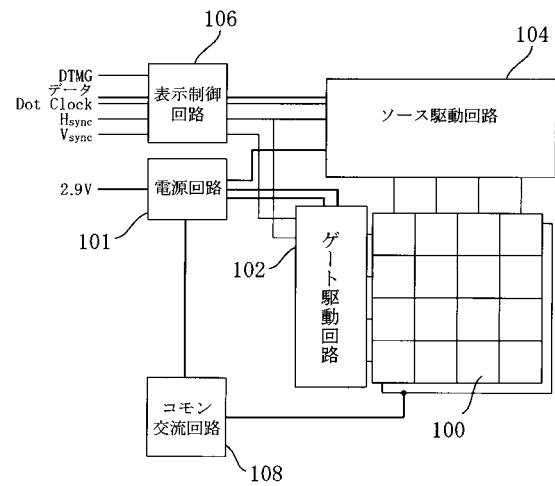
【図 1 2】



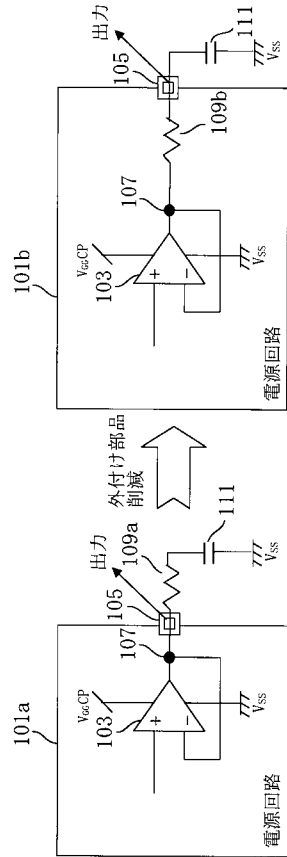
【図 1 3】



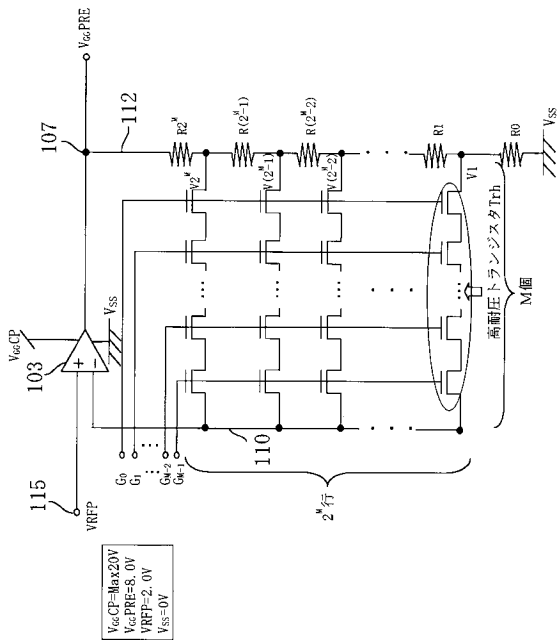
【図 1 4】



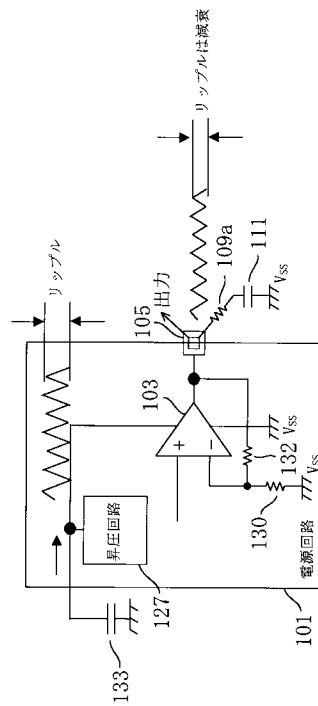
【図 15】



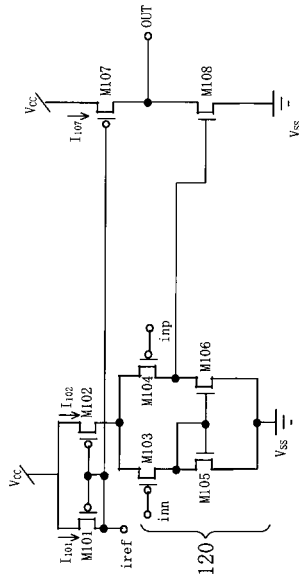
【図 17】



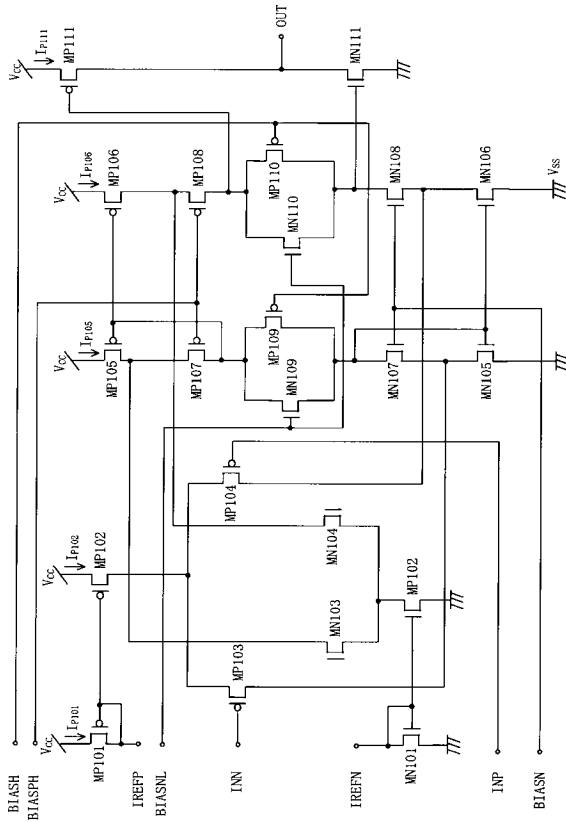
【図 16】



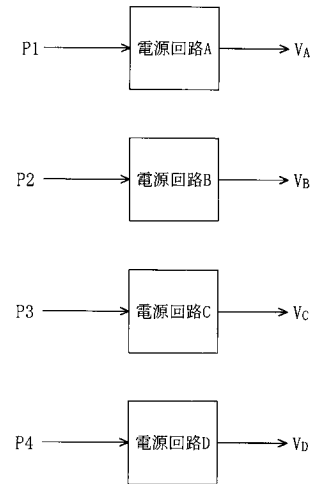
【図 18】



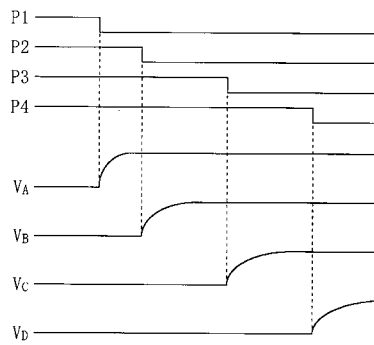
【図 19】



【図 20】

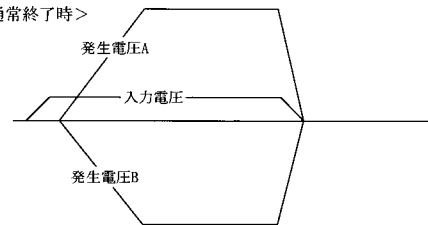


【図 21】



【図 22】

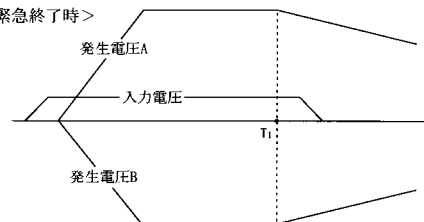
(a) <通常終了時>



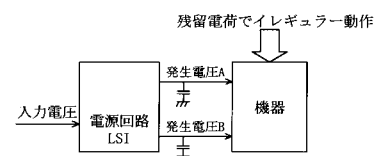
(b)



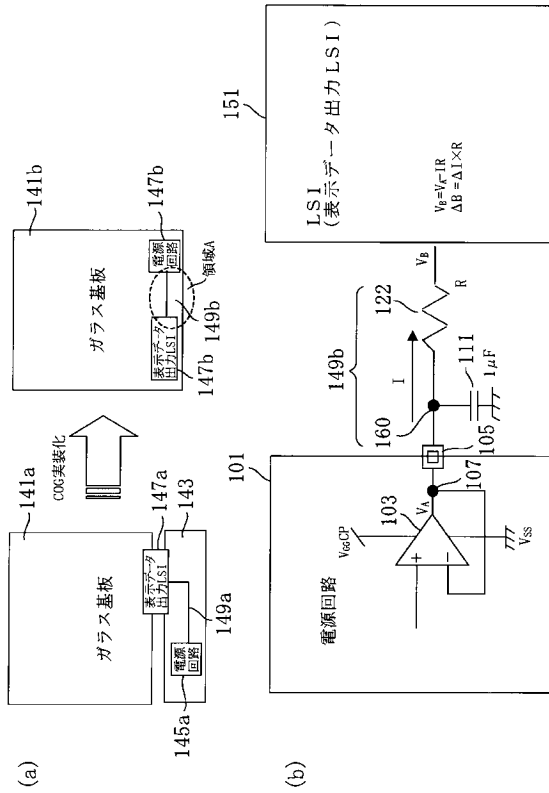
(c) <緊急終了時>



(d)



【図 23】



フロントページの続き

(74)代理人 100115510
弁理士 手島 勝

(74)代理人 100115691
弁理士 藤田 篤史

(72)発明者 須山 透
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 榊原 努
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 小島 友和
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 赤堀 雅弘
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 2H093 NA16 NC02 NC03 NC05 ND39 ND42 ND54
5F038 AV13 BB04 BB05 BH02 BH04 BH11 DF01 EZ20
5H420 NA03 NB02 NB16 NB22 NB26 NC03 NC26

专利名称(译)	电源电路，半导体集成电路器件和液晶显示器件		
公开(公告)号	JP2004157580A	公开(公告)日	2004-06-03
申请号	JP2002319815	申请日	2002-11-01
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	須山透 榊原努 小島友和 赤堀雅弘		
发明人	須山 透 榊原 努 小島 友和 赤堀 雅弘		
IPC分类号	G02F1/133 G05F3/24 H01L21/822 H01L27/04		
FI分类号	G05F3/24.B G02F1/133.520 H01L27/04.B		
F-TERM分类号	2H093/NA16 2H093/NC02 2H093/NC03 2H093/NC05 2H093/ND39 2H093/ND42 2H093/ND54 5F038/AV13 5F038/BB04 5F038/BB05 5F038/BH02 5F038/BH04 5F038/BH11 5F038/DF01 5F038/EZ20 5H420/NA03 5H420/NB02 5H420/NB16 5H420/NB22 5H420/NB26 5H420/NC03 5H420/NC26 2H093/NA80 2H193/ZE31 2H193/ZE38 2H193/ZF02 2H193/ZF03		
代理人(译)	前田弘 竹内浩 高久岛 竹内雄二 藤田淳		
外部链接	Espacenet		

摘要(译)

本发明提供一种与以往相比性能提高的液晶显示装置以及在该液晶显示装置中使用的电源电路和半导体集成电路。电源电路(1)包括其输出被负反馈的运算放大器(3)，振荡防止端子(7)和连接到运算放大器(3)的输出部分的输出端子(5)，振荡防止端子和运算放大器的输出部分。在其之间具有电阻器9。通过将防振端子连接到外部电容器可以防止运算放大器的振荡，并且由于电阻器9没有被夹在运算放大器和输出端子之间，因此可以提供大电流。有。[选型图]图1

