

【特許請求の範囲】

【請求項 1】

基板と、前記基板上に、第 1 方向と前記第 1 方向と交差する第 2 方向に沿って配列された複数の画素領域によって規定される表示領域と、前記表示領域の周辺に配置され前記複数の画素領域を駆動するための信号が入力される複数の端子によって規定される端子領域と、前記複数の画素領域に所定の信号を供給するための複数の第 1 配線、複数の第 2 配線、複数の第 3 配線および複数の第 4 配線と、前記複数の第 2 配線に電氣的に接続された第 5 配線と、前記複数の第 3 配線に電氣的に接続された第 6 配線とを有するアクティブマトリクス基板であって、

前記複数の第 1 配線、前記複数の第 2 配線および前記複数の第 3 配線は前記第 1 方向に延びており、前記複数の第 4 配線、前記第 5 配線および前記第 6 配線は、前記第 2 方向に平行に延びており、且つ、

前記複数の第 1 配線のそれぞれは、前記端子領域の外側まで延設されており、前記第 5 配線および前記第 6 配線の少なくとも一方が前記端子領域の外側まで延設されている、アクティブマトリクス基板。

【請求項 2】

前記複数の画素領域のそれぞれは、少なくとも 1 つのスイッチング素子と、前記少なくとも 1 つのスイッチング素子を介して表示信号が供給される画素電極、少なくとも 1 つの補助容量電極と、前記少なくとも 1 つの補助容量電極に絶縁層を介して対向し補助容量を構成する補助容量対向電極とを有し、

前記複数の第 1 配線は、それぞれが前記少なくとも 1 つのスイッチング素子に接続された複数の走査線であって、前記複数の第 4 配線はそれぞれが前記少なくとも 1 つのスイッチング素子に接続された複数の表示信号線であって、前記複数の第 2 配線および前記複数の第 3 配線は、それぞれが前記補助容量対向電極に接続された補助容量配線である、請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

請求項 1 または 2 に記載のアクティブマトリクス基板の製造方法であって、

(a) 母基板を用意する工程と、

(b) 前記母基板上に、前記表示領域と、前記端子領域と、前記表示領域および前記端子領域の外側に配置されたショートリングであって、前記複数の第 1 配線のそれぞれと、前記第 5 配線および前記第 6 配線の前記少なくとも一方とに接続されたショートリングを形成する工程と、

(c) 前記ショートリングと前記端子領域との間で、前記複数の第 1 配線のそれぞれ、および、前記ショートリングに接続された前記第 5 配線および前記第 6 配線の前記少なくとも一方を切断する工程と、

を包含するアクティブマトリクス基板の製造方法。

【請求項 4】

前記ショートリングは、前記複数の第 1 配線、前記複数の第 2 配線、前記複数の第 3 配線および前記第 6 配線と同一の工程で形成される、請求項 3 に記載のアクティブマトリクス基板の製造方法。

【請求項 5】

基板と、前記基板上に、第 1 方向と前記第 1 方向と交差する第 2 方向に沿って配列された複数の画素領域によって規定される表示領域と、前記表示領域の周辺に配置され前記複数の画素領域を駆動するための信号が入力される複数の端子によって規定される端子領域とを有し、

前記複数の画素領域のそれぞれが、少なくとも 1 つのスイッチング素子と、前記少なくとも 1 つのスイッチング素子を介して表示信号が供給される画素電極、第 1 補助容量電極、および第 2 補助容量電極と、前記第 1 補助容量電極に絶縁層を介して対向し第 1 補助容量を構成する第 1 補助容量対向電極と、前記第 2 補助容量電極に絶縁層を介して対向し第 2 補助容量を構成する第 2 補助容量対向電極とを有するアクティブマトリクス基板であって

10

20

30

40

50

、
それぞれが前記少なくとも1つのスイッチング素子に接続された複数の走査信号線と、それぞれが前記少なくとも1つのスイッチング素子に接続された複数の表示信号線と、それぞれが前記第1補助容量対向電極に第1補助容量対向電圧を供給する複数の第1補助容量配線と、それぞれが前記第2補助容量対向電極に第2補助容量対向電圧を供給する複数の第2補助容量配線と、前記複数の第1補助容量配線に電気的に接続された第1補助容量幹線と、前記複数の第2補助容量配線に電気的に接続された第2補助容量幹線とを有し、前記複数の走査信号線、前記複数の第1補助容量配線および前記複数の第2補助容量配線は前記第1方向に延びており、前記複数の表示信号線、前記第1補助容量幹線および前記第2補助容量幹線は前記第2方向に延びており、且つ、
前記複数の走査線のそれぞれは前記端子領域の外側まで延設されており、前記第1補助容量幹線および前記第2補助容量幹線の少なくとも一方は前記端子領域の外側まで延設されている、アクティブマトリクス基板。

10

【請求項6】

前記端子領域は、前記基板の前記第1方向と交差する2つの第1端辺の一方の第1端辺と前記表示領域の間、および、前記基板の前記第2方向と交差する2つの第2端辺の一方の第2端辺と前記表示領域との間にのみ形成されている、請求項5に記載のアクティブマトリクス基板。

【請求項7】

前記複数の補助容量配線の少なくとも1本が前記端子領域の外側まで延設されており、前記第2補助容量幹線が前記端子領域の外側まで延設されている、請求項5または6に記載のアクティブマトリクス基板。

20

【請求項8】

前記複数の走査線、前記複数の第1補助容量配線、前記複数の第2補助容量配線および前記第2補助容量幹線は、同じ導電層から形成されている、請求項5から7のいずれかに記載のアクティブマトリクス基板。

【請求項9】

請求項5から8のいずれかに記載のアクティブマトリクス基板の製造方法であって、

(a) 母基板を用意する工程と、

(b) 前記母基板上に、前記表示領域と、前記端子領域と、前記表示領域および前記端子領域の外側に配置されたショートリングであって、前記複数の走査線のそれぞれと、前記第1補助容量幹線および前記第2補助容量幹線の前記少なくとも一方とに接続されたショートリングを形成する工程と、

30

(c) 前記ショートリングと前記端子領域との間で、前記複数の走査線のそれぞれ、および、前記ショートリングに接続された前記第1補助容量幹線および前記第2補助容量幹線の前記少なくとも一方を切断する工程と、

を包含するアクティブマトリクス基板の製造方法。

【請求項10】

前記ショートリングは、前記複数の走査線、前記複数の第1補助容量配線、前記複数の第2補助容量配線および前記第2補助容量幹線と同一の工程で形成される、請求項9に記載のアクティブマトリクス基板の製造方法。

40

【請求項11】

工程(c)は、前記ショートリングと前記端子領域との間で、前記母基板を切断する工程を包含する、請求項9または10に記載のアクティブマトリクス基板の製造方法。

【請求項12】

請求項9から11のいずれかに記載のアクティブマトリクス基板の製造方法によって製造されたアクティブマトリクス基板。

【請求項13】

請求項5から8および12のいずれかに記載のアクティブマトリクス基板と、液晶層と、前記液晶層を介して前記アクティブマトリクス基板に対向するように配設された対向基板

50

とを有する液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス基板およびその製造方法並びに液晶表示装置に関し、特に、パーソナルコンピュータ用のモニタ、テレビジョンシステム、携帯機器の表示パネルなどとして用いられる液晶表示装置などにおいて好適に用いられるアクティブマトリクス基板およびその製造方法に関する。

【0002】

【従来の技術】

液晶表示装置は、高精細、薄型、軽量および低消費電力等の優れた特長を有する平面表示装置であり、近年、表示性能の向上、生産能力の向上および他の表示装置に対する価格競争力の向上に伴い、市場規模が急速に拡大している。

【0003】

液晶表示装置は、例えば、対向して設けられた一对の基板間に表示媒体層としての液晶層が挟持された構造を有する。画素毎にスイッチング素子を備える、いわゆるアクティブマトリクス型液晶表示装置の一方の基板（「アクティブマトリクス基板」と呼ばれる）には、表示信号線（データ線あるいはソースライン）、走査線（ゲートライン）、表示信号電圧（ドレイン電圧）を保持するために設けられる補助容量（CS）を形成するための補助容量配線などが形成される。この基板には、また、走査線ゲートラインから供給されるゲート信号によって駆動されるスイッチング素子や、スイッチング素子に接続された画素電極がマトリクス状に配置される。また、他方の基板（対向基板）には共通電極などが設けられる。液晶表示装置では、画素電極と共通電極とを用いて液晶層に所定の電圧を印加することで液晶層の光変調状態が制御される。このように液晶層の光変調状態を制御することで画像の表示を行うことが可能である。

【0004】

液晶表示装置としては、ドット反転駆動方式を採用したアクティブマトリクス型液晶表示装置が知られている。ドット反転駆動方式とは、互いに隣合う画素に印加される画像信号の極性を反転させるような駆動方式である。

【0005】

例えば、特許文献1に記載されているドット反転駆動方式の液晶表示装置では、画素電極に対向して設けられた共通電極が2つの群に分けられており、それぞれの群の共通電極に対して、互いに極性が逆の異なる信号（共通電圧）が供給される。また、画素ごとに設けられている補助容量を形成する補助容量配線（以下「CS配線」という。）も、共通電極と同様に2つの群に分けられており、それぞれの群のCS配線に対して異なる信号（補助容量対向電圧）が入力される。より具体的には、CS配線は、奇数番目のCS配線の群と偶数番目のCS配線の群とに分けられており、各群のCS配線に対して所定期間ごとに極性が反転する互いに逆相の信号が入力される。

【0006】

アクティブマトリクス型液晶表示装置の製造プロセスにおいては、静電気によるスイッチング素子（典型的には薄膜トランジスタ、以下「TFT」という。）の破壊や断線等の発生を防止するために、静電気対策を取り得るアクティブマトリクス基板を設計することが重要である。

【0007】

従来の静電気対策として典型的な例は、ボトムゲート型TFTを有するアクティブマトリクス基板に、走査線（およびTFTのゲート電極）を形成する導電層（「ゲートメタル」ということもある。）を利用して、パネルの周囲にショートリングを形成し、その後の工程で形成される回路要素（TFTや配線などを含む）のできるだけ多くをこのショートリングに接続することによって、これらの回路要素を同電位に保つというものである。表示領域（「アクティブエリア」ともいう。）内に存在する走査線およびCS配線の全てをシ

10

20

30

40

50

ョートリングに接続することが好ましい。

【0008】

走査線に走査信号を供給するための端子は、表示領域の外側の端子領域に形成され、ショートリングは端子領域の外側の近傍に形成されるので、各走査線を端子領域の外側まで延長することによって、各走査線をショートリングに直接接続することができる。

【0009】

これに対し、走査線に平行に設けられる複数のCS配線には、従来は全て同じ信号（典型的には共通電極に印加される電圧と同じ）が供給されるので、表示領域に対して、ゲート信号入力側（端子領域が設けられている側）と反対側（ゲート信号非入力側）において、全てのCS配線をCS幹線に接続した上で、このCS幹線をショートリングに接続していた。 10

【0010】

【特許文献1】

特開平11-119193号公報

【0011】

【発明が解決しようとする課題】

しかしながら、上述の特許文献1に記載されているように、CS配線を2つの群に分け、それぞれの群に対して異なる信号を供給する場合（すなわち、CS配線を2系統で駆動する場合）、2つの群のCS配線は交互に配置されるので、ゲート信号非入力側において、同一の導電層から形成される2つの群のCS配線を系統ごとに1本のCS幹線に接続することが不可能である。 20

【0012】

従って、CS配線をショートリングに接続する箇所が増加するので、端子領域の配線密度が増加したり、あるいは、ショートリングの切断によって露出される配線の数が増えるなどの問題が生じる。上記特許文献1には、CS配線の静電気対策については言及されていない。

【0013】

本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、例示した2系統のCS配線を有するアクティブマトリクス基板のように、2系統の配線を有するアクティブマトリクス基板において簡便に静電気対策が取れる構成を提供することにある。 30

【0014】

【課題を解決するための手段】

本発明のアクティブマトリクス基板は、基板と、前記基板上に、第1方向と前記第1方向と交差する第2方向に沿って配列された複数の画素領域によって規定される表示領域と、前記表示領域の周辺に配置され前記複数の画素領域を駆動するための信号が入力される複数の端子によって規定される端子領域と、前記複数の画素領域に所定の信号を供給するための複数の第1配線、複数の第2配線、複数の第3配線および複数の第4配線と、前記複数の第2配線に電気的に接続された第5配線と、前記複数の第3配線に電気的に接続された第6配線とを有するアクティブマトリクス基板であって、前記複数の第1配線、前記複数の第2配線および前記複数の第3配線は前記第1方向に延びており、前記複数の第4配線、前記第5配線および前記第6配線は、前記第2方向に平行に延びており、且つ、前記複数の第1配線のそれぞれは、前記端子領域の外側まで延設されており、前記第5配線および前記第6配線の少なくとも一方が前記端子領域の外側まで延設されていることを特徴とする。 40

【0015】

ある実施形態において、前記複数の画素領域のそれぞれは、少なくとも1つのスイッチング素子と、前記少なくとも1つのスイッチング素子を介して表示信号が供給される画素電極、少なくとも1つの補助容量電極と、前記少なくとも1つの補助容量電極に絶縁層を介して対向し補助容量を構成する補助容量対向電極とを有し、前記複数の第1配線は、それぞれが前記少なくとも1つのスイッチング素子に接続された複数の走査線であって、前記 50

複数の第 4 配線はそれぞれが前記少なくとも 1 つのスイッチング素子に接続された複数の表示信号線であって、前記複数の第 2 配線および前記複数の第 3 配線は、それぞれが前記補助容量対向電極に接続された補助容量配線である。

【0016】

本発明のアクティブマトリクス基板の製造方法は、上記の構成を備えるアクティブマトリクス基板の製造方法であって、(a)母基板を用意する工程と、(b)前記母基板上に、前記表示領域と、前記端子領域と、前記表示領域および前記端子領域の外側に配置されたショートリングであって、前記複数の第 1 配線のそれぞれと、前記第 5 配線および前記第 6 配線の前記少なくとも一方とに接続されたショートリングを形成する工程と、(c)前記ショートリングと前記端子領域との間で、前記複数の第 1 配線のそれぞれ、および、前記ショートリングに接続された前記第 5 配線および前記第 6 配線の前記少なくとも一方を切断する工程とを包含することを特徴とする。

10

【0017】

ある好ましい実施形態において、前記ショートリングは、前記複数の第 1 配線、前記複数の第 2 配線、前記複数の第 3 配線および前記第 6 配線と同一の工程で形成される。

【0018】

本発明の好ましい実施形態によるアクティブマトリクス基板は、基板と、前記基板上に、第 1 方向と前記第 1 方向と交差する第 2 方向に沿って配列された複数の画素領域によって規定される表示領域と、前記表示領域の周辺に配置され前記複数の画素領域を駆動するための信号が入力される複数の端子によって規定される端子領域とを有し、前記複数の画素領域のそれぞれが、少なくとも 1 つのスイッチング素子と、前記少なくとも 1 つのスイッチング素子を介して表示信号が供給される画素電極、第 1 補助容量電極、および第 2 補助容量電極と、前記第 1 補助容量電極に絶縁層を介して対向し第 1 補助容量を構成する第 1 補助容量対向電極と、前記第 2 補助容量電極に絶縁層を介して対向し第 2 補助容量を構成する第 2 補助容量対向電極とを有するアクティブマトリクス基板であって、それぞれが前記少なくとも 1 つのスイッチング素子に接続された複数の走査信号線と、それぞれが前記少なくとも 1 つのスイッチング素子に接続された複数の表示信号線と、それぞれが前記第 1 補助容量対向電極に第 1 補助容量対向電圧を供給する複数の第 1 補助容量配線と、それぞれが前記第 2 補助容量対向電極に第 2 補助容量対向電圧を供給する複数の第 2 補助容量配線と、前記複数の第 1 補助容量配線に電氣的に接続された第 1 補助容量幹線と、前記複数の第 2 補助容量配線に電氣的に接続された第 2 補助容量幹線とを有し、前記複数の走査信号線、前記複数の第 1 補助容量配線および前記複数の第 2 補助容量配線は前記第 1 方向に延びており、前記複数の表示信号線、前記第 1 補助容量幹線および前記第 2 補助容量幹線は前記第 2 方向に延びており、且つ、前記複数の走査線のそれぞれは前記端子領域の外側まで延設されており、前記第 1 補助容量幹線および前記第 2 補助容量幹線の少なくとも一方は前記端子領域の外側まで延設されている。

20

30

【0019】

ある好ましい実施形態において、前記端子領域は、前記基板の前記第 1 方向と交差する 2 つの第 1 端辺の一方の第 1 端辺と前記表示領域の間、および、前記基板の前記第 2 方向と交差する 2 つの第 2 端辺の一方の第 2 端辺と前記表示領域との間にのみ形成されている。

40

【0020】

ある好ましい実施形態において、前記複数の補助容量配線の少なくとも 1 本が前記端子領域の外側まで延設されており、前記第 2 補助容量幹線が前記端子領域の外側まで延設されている。

【0021】

ある好ましい実施形態において、前記複数の走査線、前記複数の第 1 補助容量配線、前記複数の第 2 補助容量配線および前記第 2 補助容量幹線は、同じ導電層から形成されている。

【0022】

本発明の好ましい実施形態によるアクティブマトリクス基板の製造方法は、上記の構成を

50

備えるアクティブマトリクス基板の製造方法であって、(a)母基板を用意する工程と、(b)前記母基板上に、前記表示領域と、前記端子領域と、前記表示領域および前記端子領域の外側に配置されたショートリングであって、前記複数の走査線のそれぞれと、前記第1補助容量幹線および前記第2補助容量幹線の前記少なくとも一方とに接続されたショートリングを形成する工程と、(c)前記ショートリングと前記端子領域との間で、前記複数の走査線のそれぞれ、および、前記ショートリングに接続された前記第1補助容量幹線および前記第2補助容量幹線の前記少なくとも一方を切断する工程とを包含する。

【0023】

ある好ましい実施形態において、前記ショートリングは、前記複数の走査線、前記複数の第1補助容量配線、前記複数の第2補助容量配線および前記第2補助容量幹線と同一の工程で形成される。 10

【0024】

ある好ましい実施形態において、工程(c)は、前記ショートリングと前記端子領域との間で、前記母基板を切断する工程を包含する。あるいは逆に、例えばレーザ光などを用いて配線のみを切断し、ショートリングから電氣的に切断しても良い。すなわち、完成したアクティブマトリクス基板はショートリングを備えていても良い。

【0025】

本発明の液晶表示装置は、上記のいずれかに記載のアクティブマトリクス基板と、液晶層と、前記液晶層を介して前記アクティブマトリクス基板に対向するように配設された対向基板とを有することを特徴とする。 20

【0026】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施形態のアクティブマトリクス基板およびその製造方法を説明する。以下では、スイッチング素子としてTFTを備えるアクティブマトリクス型液晶表示装置を例示する。

【0027】

図1は、実施形態1にかかるアクティブマトリクス基板100Aを有する液晶パネル100の構成を模式的に示す図である。液晶パネル100に電源回路や必要に応じてバックライト等を設けることによって液晶表示装置が得られる。

【0028】

液晶パネル100は、液晶表示装置の表示可能領域に対応する表示領域1と、その周囲に設けられた額縁領域R0とを含む。この表示領域1には、複数の画素21(図8参照)がマトリクス状(アレイ状)に配列されている。 30

【0029】

なお、本明細書においては、アクティブマトリクス基板100Aについても、表示パネル100のそれぞれに対応する領域を表示領域1、額縁領域R0といい、画素21に対応する領域を画素領域ということにする。

【0030】

アクティブマトリクス基板100Aの額縁領域R0には、走査線(ゲート線、GL、12)に走査信号(ゲート信号)を入力する端子が配列された走査線端子部2aと、走査線端子部2aと表示領域1内の走査線とを接続するための走査線部3aと、信号線(ソース線)に表示信号(ソース信号)を入力する端子が配列された信号線端子部2bと、信号線端子部2aと表示領域1内の信号線(SL、14)とを接続するための信号線部3bとを有する。走査線端子部2aと信号線端子部2bとを合せて端子領域2という。 40

【0031】

液晶パネル100の表示領域1内の等化回路を図8に示す。アクティブマトリクス基板100Aには、画素電極18a、18b、それぞれの画素21に対応して設けられたスイッチング素子としてのTFT16a、16bと、TFT16a、16bのオン/オフを制御するためのゲート線GL、画素電極18a、18bに所定の電圧を供給するためのソース線SL、補助容量配線CSO(奇数番目の補助容量配線)、CSE(偶数番目の補助容量 50

配線)などが設けられている。補助容量配線C S Oおよび補助容量配線C S Eは、補助容量C c s O, C c s Eを形成するための補助容量対向電極2 2 aおよび2 2 bのそれぞれに接続されており、これらの電極2 2 aおよび2 2 bに所定の電圧を印加するために用いられる。アクティブマトリクス基板1 0 0 Aの画素領域は、T F T 1 6 a, 1 6 bと、画素電極1 8 a, 1 8 bと、補助容量C c s O, C c s Eによって構成されている。

【0 0 3 2】

また、アクティブマトリクス基板1 0 0 Aに対向するように設けられた対向基板(不図示)には、共通電極1 7が形成されている。この共通電極1 7と画素電極1 8 a, 1 8 bとの間に液晶容量C l c O, C l c Eが形成されている。対向基板には、必要に応じてカラーフィルタ等が設けられていてもよい。なお、このような回路構成を有する液晶パネルの動作については後述する。 10

【0 0 3 3】

本発明の実施形態にアクティブマトリクス基板の構成を説明する前に、従来の設計手法に基づく構成の例(参考例)を図2、図3および図4を参照しながら説明する。

【0 0 3 4】

図2に示すアクティブマトリクス基板1 0 0 Bは、表示領域1内を延びる、奇数番目のC S配線C S O(以下、C S O配線という場合もある、2 4 O)、偶数番目のC S配線C S E(以下、C S E配線という場合もある、2 4 E)、およびゲートラインG L(1 2)を示している。

【0 0 3 5】

図2において、参照符号1 0 2'は母基板を示し、参照符号1 0 2は最終的なアクティブマトリクス基板1 0 0 Aの外縁を示している。すなわち、母基板1 0 2'上に種々の回路要素等が形成された後、1 0 2で示す線に沿って、母基板1 0 2'が切断され、アクティブマトリクス基板1 0 0 Aが得られる。なお、図面を単純にするために、C S O配線およびC S E配線は、基板1 0 2の外側に示しているが、当然に、ショートリング3 0よりも内側に設けられている。 20

【0 0 3 6】

また、図2において、実線で示している配線は、ゲートメタルで形成されており、破線で示している配線は、ソースメタルで形成されている。

【0 0 3 7】

図2から分かるように、表示領域1内において、実質的に平行な複数のC S O配線2 4 Oと、実質的に平行な複数の偶数番目のC S E配線2 4 Eとが、パネルの横方向(X方向)に沿って延びている。C S O配線2 4 OとC S E配線2 4 Eとは、パネルの縦方向(Y方向)において交互に並んでおり、これらの隣接する一対のC S配線間(すなわちC S O配線2 4 OとC S E配線2 4 Eとの間)にゲートラインG Lが設けられている。 30

【0 0 3 8】

また、複数の奇数番目のC S配線C S Oは、走査線領域3 aにおいて共通の幹線2 6 b(以下、C S O幹線と言う場合もある)に電氣的に接続されており、複数の偶数番目のC S配線C S Eは、走査線領域3 aにおいて共通の幹線2 6 a(以下、C S E幹線と言う場合もある)に電氣的に接続されている。C S O幹線2 6 b、2 6 dおよびC S E幹線2 6 a、2 6 cは、パネルの縦方向(Y方向)に沿って延び、表示領域1内の複数のC S E配線2 4 EおよびC S O配線2 4 Oの延びる方向(X方向)に交差する方向(ここでは直交する方向)に延びている。これらの幹線2 6 bおよび2 6 aまたは2 6 dおよび2 6 cは、互いに間隔を開けて絶縁され、且つ、隣接するように設けられており、それぞれ別個に信号が供給される。2 6 bと2 6 d、または2 6 aと2 6 cは共通の信号が供給されている。 40

【0 0 3 9】

パネル周囲にはショートリング3 0が表示領域1および端子領域2の外側に配置されており、このショートリング3 0にゲート信号入力側で走査線G Lが端子部2 aを経由して接続されている。 50

【 0 0 4 0 】

ゲート信号入力側においては端子部 2 a を通してゲート信号を入力する必要から端子部 2 a に A C F 又は T A B が接続できるよう端子ピッチを表示領域 1 における画素ピッチよりも小さくする必要がある。従ってゲートラインのピッチを狭くする必要がある。しかし、ゲート信号非入力側においては T A B を配置しないため C S O 配線 2 4 O および C S E 配線 2 4 E のピッチを狭くする必要はない。ゲートラインの配線密度を 1 としたとき、図 2 の構成における配線密度は 1 である。

【 0 0 4 1 】

しかしながら、母基板 1 0 2 ' から基板 1 0 2 を切断する際に、ショートリング 3 0 まで延設されている C S O 配線 2 4 O および C S E 配線 2 4 E が切断されるために、これらの配線が露出されるので、何らかの腐食対策を施す必要が生じる。この領域は、走査線や信号線用の端子領域 2 が形成されていない領域であり、腐食対策を施す必要が無かった領域なので、工程数が増えてしまう欠点がある。

【 0 0 4 2 】

次に、図 3 に示すアクティブマトリクス基板 1 0 0 C では、ショートリング 3 0 にゲート信号入力側において、走査線 G L および C S O 配線 2 4 O、C S E 配線 2 4 E が端子部 2 a を経由して接続されている。従って、図 2 に示したように、端子領域 2 が無い領域で C S O 配線 2 4 O および C S E 配線 2 4 E の延設部が切断されることが無い。しかしながら、図 2 の場合に比べて、ゲート信号入力側における配線密度は 2 倍となるために、不良率が増える欠点がある。

【 0 0 4 3 】

次に、図 4 に示すアクティブマトリクス基板 1 0 0 D では、C S E 配線 2 4 E をゲート信号入力側から、C S O 配線 2 4 O をゲート信号非入力側からショートリングに接続する構成をとっている。この場合、図 2 の場合に比べてゲート信号入力側における配線密度は 3 / 2 となる。しかしながら、この場合においても、図 2 の場合と同様に、本来腐食対策が必要なかった領域に腐食対策を施す必要が生じ、工程数が増えるという問題がある。

【 0 0 4 4 】

図 5 に本発明の実施形態によるアクティブマトリクス基板 1 0 0 A の構成を模式的に示す。

【 0 0 4 5 】

アクティブマトリクス基板 1 0 0 A においては、C S E 配線 2 4 E とショートリング 3 0 との接続はゲート信号入力側（左側）において行っている。ここでは、全ての C S E 配線 2 4 E のそれぞれを端子部 2 a を経由してショートリング 3 0 に接続しているが、C S E 配線 2 4 E の少なくとも 1 本をショートリング 3 0 に接続すればよい。

【 0 0 4 6 】

一方、全ての C S O 配線 2 4 O はそれぞれ、ゲート信号非入力側（右側）において幹線 2 6 d に接続されており、幹線 2 6 d を介して、ショートリング 3 0 に接続されている。幹線 2 6 d は C S O 配線 2 4 O と交差する方向に設けられており、ショートリング 3 0 とはソース端子部 3 a が設けられている端子部 2 b（図 1 参照）の外側で接続されている。

【 0 0 4 7 】

アクティブマトリクス基板 1 0 0 A においては、ゲート信号入力側では、C S E 配線 2 4 E だけがショートリング 3 0 に接続されているので、ゲート信号入力側の配線密度は、図 4 のアクティブマトリクス基板 1 0 0 D と同じく 3 / 2 である。また、C S O 配線 2 4 O は幹線 2 6 d に接続され、ソース信号入力側の端子部 2 b を経由してショートリングに接続されているので、余分な腐食対策を必要は無い。

【 0 0 4 8 】

本実施形態のアクティブマトリクス基板 1 0 0 A によれば、ゲート信号入力側の配線密度は C S 配線が 1 系統の場合の 3 / 2 におさえられ、且つ、C S 配線 2 4（2 4 O および 2 4 E）をショートリング 3 0 に接続する箇所を端子領域 2 が設けられている側のみにすることができるので、端子領域 2 に対する腐食対策（例えば樹脂層の形成）によって、C S

10

20

30

40

50

配線 24 の切断部を保護することができる。

【0049】

さらに、図 5 に示した構成は、ゲート配線 GL、CS 配線 24 (24O、24E) および CS 幹線 26d をゲートメタルで形成できるという利点がある。

【0050】

ボトムゲート型 TFT を採用すると、母基板 102' 上に形成されるショートリング 30 は、図 6 に模式的に示すように、ゲートメタル、ゲート絶縁膜 GI、半導体層 (i 層、n + 層)、ソースメタル層、さらに、上層 ITO (画素電極を形成する層) が積層された断面構造を有する。最下部に形成されるゲートメタルを用いると、図 7 に示したように、ゲート配線 GL、CS 配線 24 (24O、24E) および CS 幹線 26d を同一の工程で形成することができる。さらに、この上に形成されるソースメタルを用いて他の CS 幹線を形成することによって、容易に図 5 に示したアクティブマトリクス基板 100A を製造することができる。

10

【0051】

以下、図 8 ~ 図 10 を参照しながら、上述のようなアクティブマトリクス基板 100 を有する液晶パネル 100 を用いた液晶表示装置の一例について説明する。

【0052】

図 8 は、液晶パネルの表示領域内における、液晶パネルの等価回路を模式的に示す図である。この液晶パネルは、行および列を有するマトリクス状に配列された画素 (ドットと呼ばれることがある。) を有するアクティブマトリクス型の液晶パネルである。図 8 に示す画素 21 は、n 行 m 列の画素に対応する。

20

【0053】

画素 21 は、第 1 副画素と第 2 副画素を有する。図 8 では、第 1 副画素に対応する液晶容量を C1cO と表記し、第 2 副画素に対応する液晶容量を C1cE と表記している。第 1 副画素の液晶容量 C1cO は、第 1 副画素電極 18a と共通電極 17 と、これらの間の液晶層によって構成されている。第 2 副画素の液晶容量 C1cE は、第 2 副画素電極 18b と共通電極 17 と、これらの間の液晶層によって構成されている。第 1 副画素電極 18a は TFT 16a を介して信号線 14 (ソースライン SL) に接続されており、第 2 副画素電極 18b は TFT 16b を介して、同じ信号線 14 に接続されている。TFT 16a および TFT 16b のゲート電極は、共通の走査線 12 (ゲートライン GL) に接続されている。

30

【0054】

それぞれの第 1 副画素および第 2 副画素に対応して設けられている第 1 補助容量および第 2 補助容量は、図 8 中では、それぞれ CcsO および CcsE と表記している。第 1 補助容量 CcsO の補助容量電極 23a は、TFT 16a のドレインに接続されており、第 2 補助容量 CcsE の補助容量電極 23b は、TFT 16b のドレインに接続されている。なお、補助容量電極の接続形態は図示した例に限られず、それぞれ対応する副画素電極と同じ電圧が印加されるように電氣的に接続されていればよい。即ち、副画素電極とそれぞれ対応する補助容量電極とが直接または間接に電氣的に接続されていればよく、例えば、それぞれの副画素電極と対応する補助容量電極とを接続してもよい。

40

【0055】

第 1 補助容量 CcsO の補助容量対向電極 22a は、CSO 配線 (補助容量配線 24O (または 24E)) に接続されており、第 2 補助容量 CcsE の補助容量対向電極 22b は、CSE 配線 (補助容量配線 24E (または 24O)) に接続されている。この構成によって、第 1 および第 2 補助容量のそれぞれの補助容量対向電極 22a および 22b に異なる補助容量電圧を供給することが可能になっている。補助容量対向電極と補助容量配線の接続関係は、駆動方法 (ドット反転駆動など) に応じて、適宜選択される。なお、補助容量を構成する絶縁層として、例えばゲート絶縁膜を共通に用いることができる。

【0056】

次に、図 9 を参照しながら、上記構成によって、第 1 副画素 (C1cO) および第 2 副画

50

素 (C1cE) に異なる電圧を印加できる原理を説明する。

【0057】

図9は、図8の画素 (n、m) に入力される各種信号の電圧波形とタイミングを示している。(a)は2つのフレームに亘る水平走査期間 (H) を示し、(b)は $m \pm 1$ 本目の信号線14に供給される表示信号電圧 $V_s (m \pm 1)$ の波形(破線)を示し、(c)はm本目の信号線14に供給される表示信号電圧(階調信号電圧) $V_s (m)$ の波形(実線)を示している。(d)はn本目の走査線12に供給される走査信号電圧($V_g (n)$)の波形を示しており、(e)および(f)はそれぞれ補助容量配線24Oおよび24Eに供給される補助容量対向電圧(V_{csO} 、 V_{csE})の波形を示している。(g)および(h)は、それぞれ第1副画素の液晶容量C1cOおよび第2副画素の液晶容量C1cEに印加される電圧(V_{1cO} 、 V_{1cE})の波形を示している。

【0058】

図9に示した駆動方式は、2Hドット反転+フレーム反転方式の液晶表示装置に本発明を適用した実施形態を示したものである。

【0059】

信号線14に印加される表示信号電圧 V_s は、2本の走査線が選択されるたび(2Hごと)に極性が反転し、且つ、隣接する信号線(例えば V_m と $V (m \pm 1)$)に印加される表示信号電圧の極性は逆になっている(2Hドット反転)。また、全ての信号線14に表示信号電圧 V_s はフレーム毎に極性が反転する(フレーム反転)。

【0060】

ここで、補助容量対向電圧 V_{csO} および V_{csE} の極性が反転する周期は、表示信号電圧の極性が反転する周期(2H)と同じであり、且つ、位相が $1/2$ 周期(1H)ずれている。補助容量対向電圧 V_{csO} および V_{csE} は、振幅が同じで、位相が 180° 異なる波形を有している。

【0061】

図9を参照しながら、液晶容量C1cOおよび液晶容量C1cEに印加される電圧(V_{1cO} 、 V_{1cE})が図9のようになる理由を説明する。

【0062】

走査信号電圧 V_g がハイレベル(V_{gH})のときにTF16aおよび16bnが導通状態となり、信号線14の表示信号電圧 V_s が副画素電極18aおよび18bに印加される。液晶容量C1cOおよびC1cEのそれぞれの両端に印加される電圧は、それぞれ、副画素電極18aおよび18bの電圧と、共通電極17の電圧(V_{com})との差である。即ち、 $V_{1cO} = V_s - V_{com}$ ($V_{1cE} = V_s - V_{com}$)である。

【0063】

($n \times h - \Delta t$)秒後に、走査線信号電圧 V_g がON状態である高電圧 V_{gH} からOFF状態の低電圧 V_{gL} ($< V_s$)に切り替わると、いわゆる引込み現象の影響で、副画素電極18aおよび18bの電圧が V_d だけ下がる。この V_d 低下分だけ共通電極17の電圧 V_{com} は表示信号電圧 V_s のセンター電位より低い電圧に調整される。この低下分が ΔV である。

【0064】

($n \times h$)秒後、液晶容量C1cOの電圧 V_{1cO} は、液晶容量C1cOを構成する副画素電極18aと電氣的に接続された、補助容量CcsOの補助容量対向電極の電圧 V_{csO} の影響を受けて変化する。また、液晶容量C1cEの電圧 V_{1cE} は、液晶容量C1cEを構成する副画素電極18bと電氣的に接続された、補助容量CcsEの補助容量対向電極の電圧 V_{csE} の影響を受けて変化する。ここで、($n \times h$)秒において、補助容量対向電圧 V_{csO} が $V_{csOp} > 0$ だけ増加し、補助容量対向電圧 V_{csE} が $V_{csEp} > 0$ だけ低下したとする。即ち、補助容量対向電圧 V_{csO} の全振幅($V_p - p$)を V_{csOp} とし、補助容量対向電圧 V_{csE} の全振幅を V_{csEp} とする。

【0065】

TF16aのドレインに接続された液晶容量C1cOと補助容量CcsOとの合計の容

量を C_{pixO} とすると、

$$V_{lcO} = V_s - \Delta V + V_{csOp} (C_{csO} / C_{pixO}) - V_{com}$$

となり、

TFT16bのドレインに接続された液晶容量 C_{lcE} と補助容量 C_{csE} との合計の容量を C_{pixE} とすると、

$$V_{lcE} = V_s - \Delta V - V_{csEp} (C_{csE} / C_{pixE}) - V_{com}$$

となる。

【0066】

次に、 $(n+2) \times h$ 秒後 $((n+3)H$ 時) には、同様に補助容量対向電極の電圧 V_{csO} (または V_{csE}) の影響を受けて、 V_{lcO} および V_{lcE} は、それぞれ、 nH 時の電圧値に戻る。 10

【0067】

$$V_{lcO} = V_s - \Delta V - V_{com}$$

$$V_{lcE} = V_s - \Delta V - V_{com}$$

この電圧の変化は、次のフレームにおいて $V_g(n)$ が V_{gH} となるまで繰り返される。その結果、 V_{lcO} および V_{lcE} のそれぞれの実効値が異なる値となる。

【0068】

すなわち、 V_{lcO} の実効値を V_{lcOrms} とし、 V_{lcE} の実効値 V_{lcErms} とすると、

$$V_{lcOrms} = V_s - \Delta V + (1/2) V_{csOp} (C_{csO} / C_{pixO}) - V_{com} \quad 20$$

$$V_{lcErms} = V_s - \Delta V - (1/2) V_{csEp} (C_{csE} / C_{pixE}) - V_{com}$$

となる。従って、これら実効値の差を $\Delta V_{lc} = V_{lcOrms} - V_{lcErms}$ とすると、

$$\Delta V_{lc} = (1/2) \{ V_{csOp} (C_{csO} / C_{pixO}) + V_{csEp} (C_{csE} / C_{pixE}) \}$$

となる。

【0069】

2つの副画素が有する液晶容量および補助容量の大きさが等しい ($C_{lcO} = C_{lcE} = C_{lc}$ 、 $C_{csO} = C_{csE} = C_{cs}$ 、 $C_{pixO} = C_{pixE} = C_{pix}$) とすると、 30

$$\Delta V_{lc} = (1/2) (V_{csOp} + V_{csEp}) (C_{cs} / C_{pix})$$

となる。図9に示したように、 $V_{csOp} = V_{csEp}$ で位相が 180° 異なっている場合には、 $V_{csOp} = V_{csEp} = V_{csp}$ とすると、

$$\Delta V_{lc} = V_{csp} (C_{cs} / C_{pix})$$

となり、 V_{lcO} の実効値は大きく、 V_{lcE} の実効値は小さくなる。

【0070】

なお、 V_{csO} と V_{csE} の電圧を入れ替えれば、逆に V_{lcO} の実効値を小さく、 V_{lcE} の実効値を大きくなるように設定できる。

【0071】

なお、ここでは、フレーム反転駆動を行っているので、次フレームでは、 V_s の極性を反転し、 $V_{lc} < 0$ となるが、これに同期して V_{csO} および V_{csE} の極性も反転させれば、同様の結果が得られる。 40

【0072】

また、ここでは、ドット反転駆動を行うために、隣接する信号線14に供給する表示信号電圧の極性を互いに逆にしているので、画素 (n, m) の次フレームの駆動状態は、画素 (n, m) の信号線14 (m) の両隣りの画素 $(n, m \pm 1)$ の駆動状態と同じになる。

【0073】

次に、図10を参照しながら、図9に示した駆動方法によって得られる、あるフレームにおける各画素 (液晶容量) に印加される電圧の極性の分布 (a) および補助容量対向電圧 50

(補助容量配線)の組合わせ(b)、ならびに、各画素ごとの副画素に印加される実効電圧の分布(c)を説明する。

【0074】

図10(a)に示したように、図9の駆動方法を採用すると、2行ごとに極性が反転し、且つ、隣接する列ごとに極性が反転した、2Hドット反転が実現される。図10(a)に示した次のフレームにおいては、全ての極性が反転する(フレーム反転)。

【0075】

ここで、図10(b)に示したように、それぞれの副画素電極に接続する補助容量の補助容量対向電極を接続する補助容量配線を組み合わせると、図10(c)に示すような実効電圧の分布を形成することができる。なお、図10(b)における各セルの上段は、副画素電極18aと組み合わせて用いられる補助容量対向電極が接続される補助容量配線(24Oまたは24E)を示し、下段は、副画素電極18bと組み合わせて用いられる補助容量対向電極が接続される補助容量配線(24Oまたは24E)を示している。また、図10(c)における各セルの上段は、副画素電極18aが構成する副画素(液晶容量)に対応し、下段は、副画素電極18bが構成する副画素(液晶容量)に対応する。図10(c)において「O」と表記している副画素の実効電圧が高く、「E」と表記している副画素の実効電圧が低い。

10

【0076】

図10(c)からわかるように、図9の駆動方法を採用すると、2Hドット反転駆動(図10(a))が実現されているとともに、副画素に印加される実効値の大小関係も、行および列方向のそれぞれにおいて、副画素ごとに逆転している。このように、副画素に印加される電圧の実効値の分布の空間周波数が高いと、高品位の表示を行うことができる。

20

【0077】

また、上記の液晶パネルでは、副画素電極18aおよび18bは、それぞれ対応するTFT16aおよび16bを介して、共通の信号線14から表示信号電圧が供給される。TFT16aおよび16bのゲート電極は、共通の走査線12と一体に形成されており、副画素電極18aおよび18bの間に設けられている。副画素電極18aおよび18bは、走査線12に関して対称な位置にあり、この例では、同じ面積を有している。また、補助容量対向電極は、補助容量配線24O、24Eと一体に形成されており、各補助容量配線24O、24Eは、Y方向に隣接する2つの画素に共用されている。

30

【0078】

なお、上記には、TFT型の液晶表示装置を例示したが、他のスイッチング素子(例えば、MIM素子)を用いてもよい。

【0079】

以上に説明した液晶パネルにおいて、アクティブマトリクス基板100Aを用いているので、CSO配線(24O)およびCSE配線(24E)のそれぞれに対して、図9(e)および(f)に示すような、振幅が同じで、位相が180°異なる、互いに反転した波形を有している補助容量対向電圧VcsOおよびVcsEを適切に供給することができる。従って、画素分割駆動方式における補助容量対向電圧の振幅によって変化する液晶層への印加電圧を適切に制御できる。このように、本実施形態の表示装置では、2系統で駆動されるCS配線群のそれぞれに極性の異なる電圧を印加するドット反転駆動方式において、液晶層に印加する実効電圧を適切に変化させることで、高品位の表示を行なうことができる。

40

【0080】

なお、図5に示したアクティブマトリクス基板100Aに代えて、図11に示したアクティブマトリクス基板を用いることもできる。図11に示した構成では、ゲート端子領域側においても、CS配線(24)をCS幹線26a、26bに接続し、これらのCS幹線26a、26bを介して、ソース端子領域側でショートリングに接続した構成を有している。この構成を採用すると、ゲート端子領域に配線密度を1とできる利点を得られる。但し、CS幹線26a、26bは、ゲートメタルで形成することができないので、ショートリ

50

ング 30 と接続するために、コンタクトホール等を形成する必要がある。

【0081】

また、本発明は上記の実施形態に限られず、特許文献 1 に記載されているような CS2 系統の液晶表示装置にも好適に適用され得る。

【0082】

【発明の効果】

本発明によると、2 系統の配線を有するアクティブマトリクス基板において簡便に静電気対策が取れる構成が提供される。

【図面の簡単な説明】

【図 1】本発明の実施形態によるアクティブマトリクス基板 100A を有する液晶パネル 100 の構成を模式的に示す図である。 10

【図 2】参考例のアクティブマトリクス基板 100B の構成を模式的に示す図である。

【図 3】参考例のアクティブマトリクス基板 100C の構成を模式的に示す図である。

【図 4】参考例のアクティブマトリクス基板 100D の構成を模式的に示す図である。

【図 5】本発明の実施形態によるアクティブマトリクス基板 100A の構成を模式的に示す図である。

【図 6】本発明の実施形態によるアクティブマトリクス基板 100A におけるショートリング 30 の構成を模式的に示す図であり、(a) は (c) 中の 6A - 6A' 線に沿った断面図、(b) は (c) 中の 6A - 6A' 線に沿った断面図、(c) は平面図である。

【図 7】本発明の実施形態によるアクティブマトリクス基板 100A において、ゲートメタルで形成される配線パターンを模式的に示す図である。 20

【図 8】本発明の実施形態による液晶パネル 100 の表示領域 1 内の等化回路を示す図である。

【図 9】図 8 の画素 (n、m) に入力される各種信号の電圧波形とタイミングを示す図である。

【図 10】(a) は、図 9 に示した駆動方法によって得られるあるフレームにおける各画素 (液晶容量) に印加される電圧の極性の分布を示し、(b) は補助容量対向電圧 (補助容量配線) の組合わせを示し、(c) は各画素ごとの副画素に印加される実効電圧の分布を示す。

【図 11】本発明の実施形態による他のアクティブマトリクス基板を示す図である。 30

【符号の説明】

C1cO 液晶容量 (第 1 副画素)

C1cE 液晶容量 (第 2 副画素)

CcsO 第 1 補助容量

CcsE 第 1 補助容量

12 走査線

14 信号線

17 共通電極

18a 第 1 副画素電極

18b 第 2 副画素電極

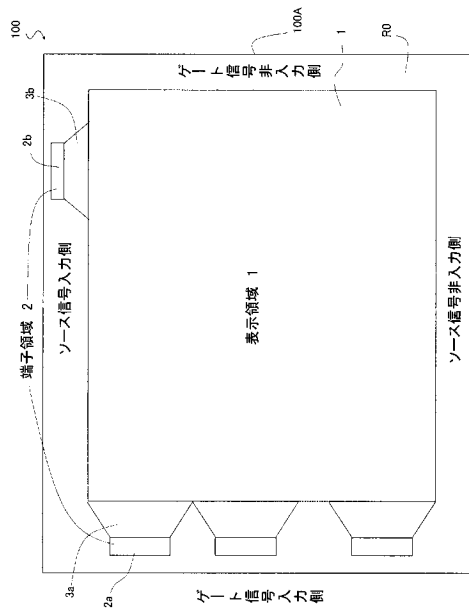
16a、16b TFT

16O、16E ドレイン電極延長部

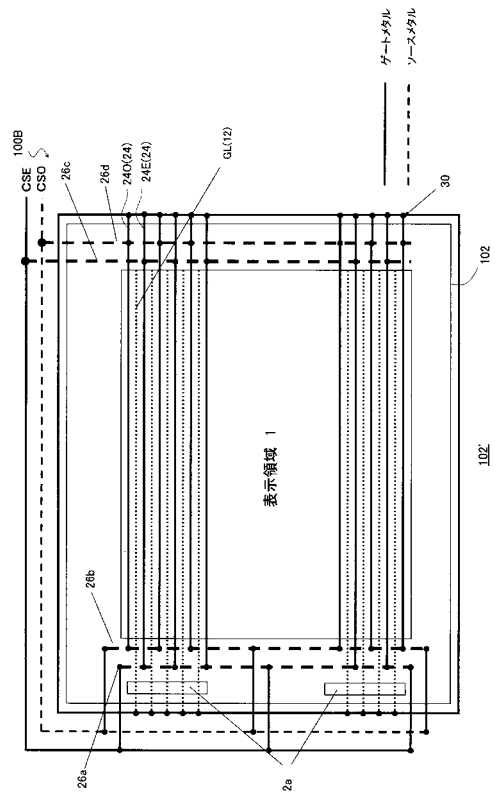
24O 第 1 補助容量配線

24E 第 2 補助容量配線

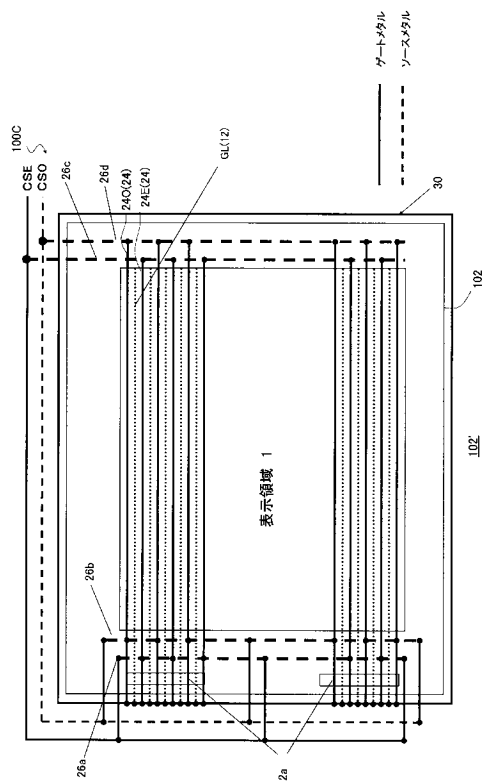
【 図 1 】



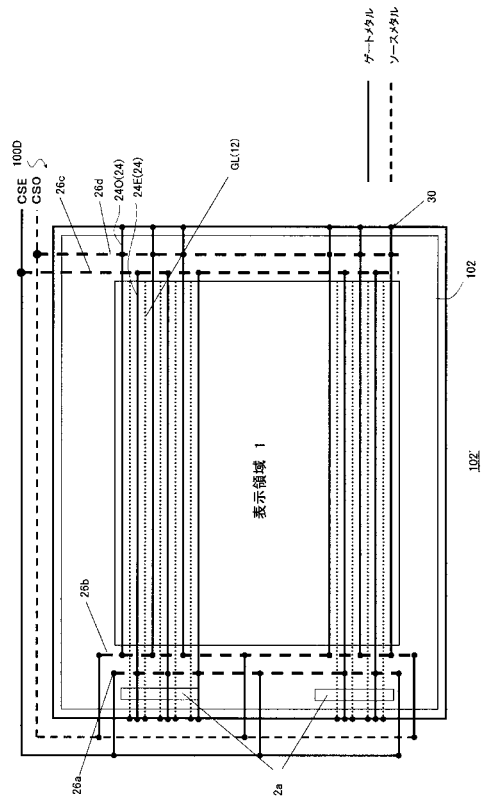
【 図 2 】



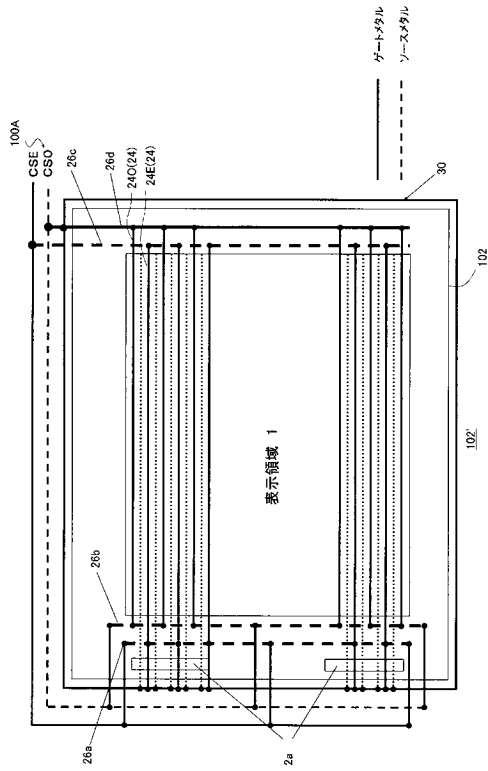
【 図 3 】



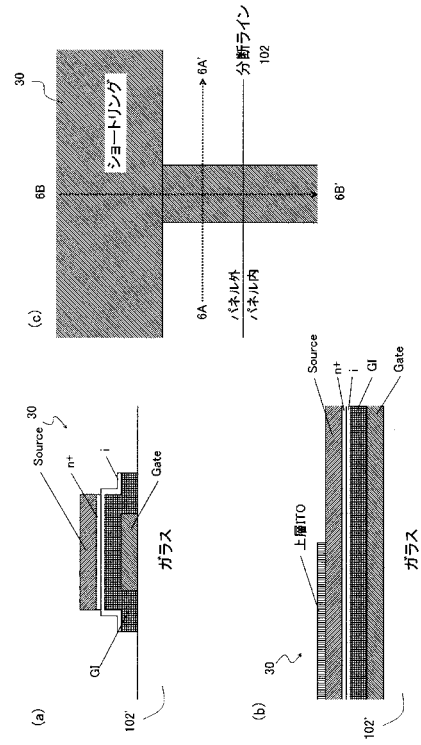
【 図 4 】



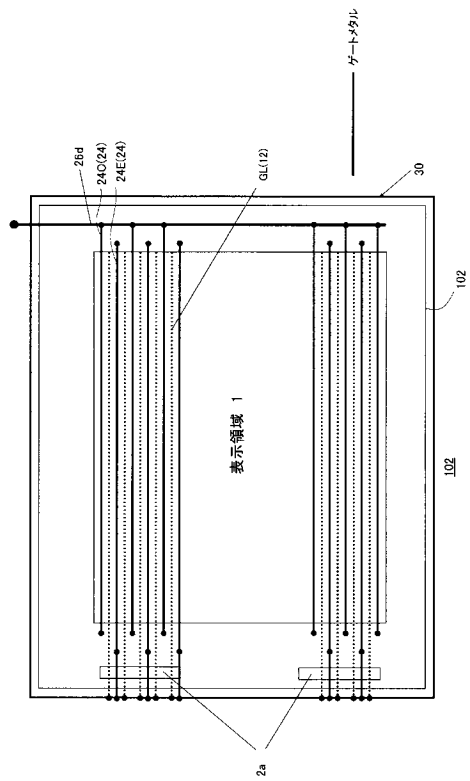
【図 5】



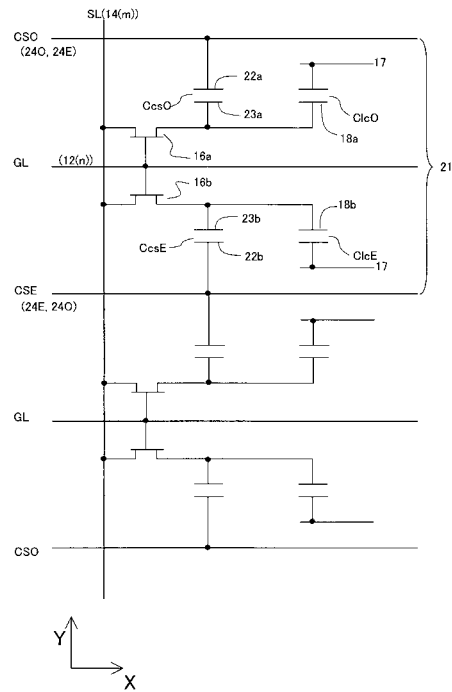
【図 6】



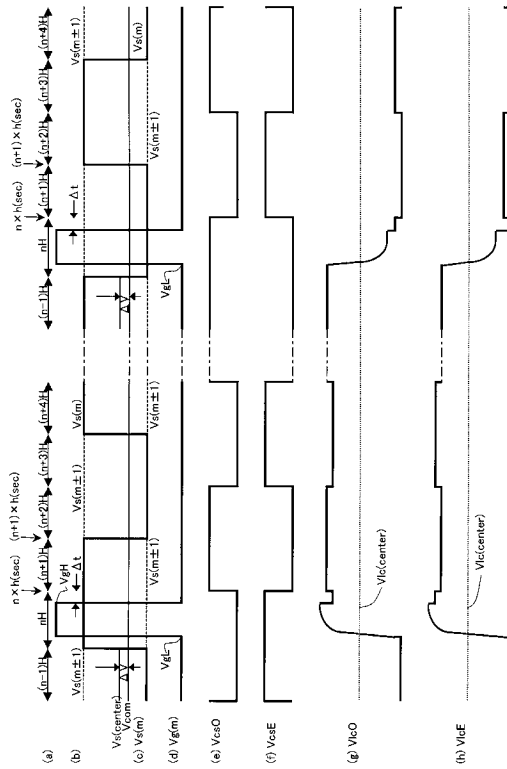
【図 7】



【図 8】



【 図 9 】



【 図 10 】

(a)

	m-1	m	m+1	m+2
n-1	+	-	+	-
n	-	+	-	+
n+1	-	+	-	+
n+2	+	-	+	-

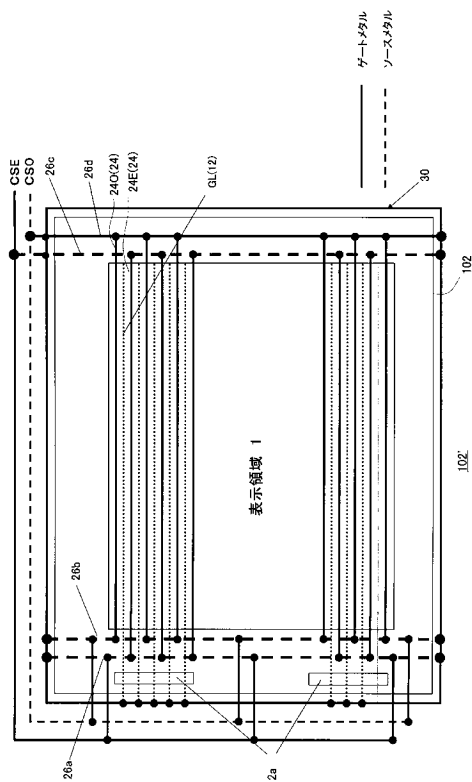
(b)

	m-1	m	m+1	m+2
n-1	24O 24E	24E 24O	24O 24E	24E 24O
n	24E 24O	24O 24E	24E 24O	24O 24E
n+1	24O 24E	24E 24O	24O 24E	24E 24O
n+2	24E 24O	24O 24E	24E 24O	24O 24E

(c)

	m-1	m	m+1	m+2
n-1	Cle/Ccs-E Cle/Ccs-O	Cle/Ccs-O Cle/Ccs-E	Cle/Ccs-E Cle/Ccs-O	Cle/Ccs-O Cle/Ccs-E
n	Cle/Ccs-E Cle/Ccs-O	Cle/Ccs-O Cle/Ccs-E	Cle/Ccs-E Cle/Ccs-O	Cle/Ccs-O Cle/Ccs-E
n+1	Cle/Ccs-E Cle/Ccs-O	Cle/Ccs-O Cle/Ccs-E	Cle/Ccs-E Cle/Ccs-O	Cle/Ccs-O Cle/Ccs-E
n+2	Cle/Ccs-E Cle/Ccs-O	Cle/Ccs-O Cle/Ccs-E	Cle/Ccs-E Cle/Ccs-O	Cle/Ccs-O Cle/Ccs-E

【 図 11 】



フロントページの続き

(72)発明者 長島 伸悦

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 近藤 直文

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H092 GA31 GA61 GA64 JB79 NA14 NA29 PA01 PA06

专利名称(译)	有源矩阵基板及其制造方法和液晶显示装置		
公开(公告)号	JP2004117707A	公开(公告)日	2004-04-15
申请号	JP2002279516	申请日	2002-09-25
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	松田成裕 宫本和茂 山田崇晴 長島伸悦 近藤直文		
发明人	松田 成裕 宫本 和茂 山田 崇晴 長島 伸悦 近藤 直文		
IPC分类号	G02F1/1345 G02F1/1362 G02F1/1368		
FI分类号	G02F1/1345 G02F1/1362 G02F1/1368		
F-TERM分类号	2H092/GA31 2H092/GA61 2H092/GA64 2H092/JB79 2H092/NA14 2H092/NA29 2H092/PA01 2H092/PA06 2H092/JB42 2H092/JB46 2H092/JB69 2H192/AA24 2H192/BC26 2H192/CB05 2H192/DA12 2H192/FA35 2H192/FA46 2H192/GA12 2H192/GD61		
代理人(译)	奥田诚治		
其他公开文献	JP4152708B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种结构，该结构能够容易地在具有两线布线的有源矩阵基板中采取防静电措施。多个扫描信号线，多个第一辅助电容线和多个第二辅助电容线在第一方向上延伸，并且设置多个显示信号线，第一辅助电容干线和第二辅助电容。主线在第二方向上延伸，并且多条扫描线中的每条延伸到端子区域的外部，并且第一辅助电容主线和第二辅助电容主线中的至少一个在端子区域中。它扩展到外部。[选择图]图

5

