

【特許請求の範囲】

【請求項 1】

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、
前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、
前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、
前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、
前記回路群内のソース信号線は周期的に、前記回路群内の異なるアナログバッファ回路に
接続されることを特徴とする液晶表示装置。

【請求項 2】

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、
前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、
前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、
前記複数のソース信号線と複数のアナログバッファ回路は回路群を構成し、
前記回路群内のソース信号線は時間的にランダムに、前記回路群内の異なるアナログバッ
ファ回路に接続されることを特徴とする液晶表示装置。

【請求項 3】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号
線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複
数のアナログバッファ回路を有する液晶表示装置において、
 n (n は 2 n を満たす自然数) 本のソース信号線と n 個のアナログバッファ回路は回路群
を構成し、
 n 個の期間が周期的に繰り返され、
前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバ
ッファ回路に接続されることを特徴とした液晶表示装置。

【請求項 4】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号
線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複
数のアナログバッファ回路を有する液晶表示装置において、
 n (n は 2 n を満たす自然数) 本のソース信号線と n 個のアナログバッファ回路は回路群
を構成し、
 n 個の期間が時間的にランダムに繰り返され、
前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバ
ッファ回路に接続されることを特徴とした液晶表示装置。

【請求項 5】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号
線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのア
ナログバッファ回路を有する液晶表示装置において、
 n (n は 2 n を満たす自然数) 本の前記ソース信号線と、 n 個の前記アナログバッファ
回路は回路群を構成し、
 n 個の期間が周期的に繰り返され、
第 r (n は 1 r n を満たす自然数) の期間において、前記回路群内の第 m (m は 1
 m $n - r + 1$ を満たす自然数) のソース信号線は第 $m + r - 1$ のアナログバッファ回路
に、第 l (l は $n - r + 2$ l n を満たす自然数) のソース信号線は第 $l - n + r - 1$
のアナログバッファ回路に接続されることを特徴とした液晶表示装置。

【請求項 6】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号
線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのア
ナログバッファ回路を有する液晶表示装置において、
 n (n は 2 n の自然数) 本の前記ソース信号線と、 n 個の前記アナログバッファ回路は
、回路群を構成し、

10

20

30

40

50

n 個の期間が時間的にランダムに繰り返され、
 第 r (r は $1 \leq r \leq n$ を満たす自然数) の期間において、前記回路群内の第 m (m は $1 \leq m \leq n - r + 1$ を満たす自然数) のソース信号線は第 $m + r - 1$ のアナログバッファ回路に、第 1 ($1 \leq l \leq n - r + 2 \leq n$ を満たす自然数) のソース信号線は第 $1 - n + r - 1$ のアナログバッファ回路に接続されることを特徴とした液晶表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、アナログバッファ回路はソースホロワであることを特徴とした液晶表示装置。

【請求項 8】

請求項 1 乃至請求項 6 のいずれか 1 項において、アナログバッファ回路はボルテージホロワであることを特徴とした液晶表示装置。 10

【請求項 9】

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、
 前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、
 前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、
 前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、
 前記回路群内のソース信号線は周期的に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴とする液晶表示装置の駆動方法。

【請求項 10】

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、 20
 前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、
 前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、
 前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、
 前記回路群内のソース信号線は、時間的にランダムに、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴とする液晶表示装置の駆動方法。

【請求項 11】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置において、
 n (n は $2 \leq n$ を満たす自然数) 本のソース信号線と n 個のアナログバッファ回路は回路群 30
 を構成し、
 n 個の期間が周期的に繰り返され、
 前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴とした液晶表示装置の駆動方法。

【請求項 12】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置の駆動方法において、
 n (n は $2 \leq n$ を満たす自然数) 本のソース信号線と n 個のアナログバッファ回路は回路群 40
 を構成し、
 n 個の期間が時間的にランダムに繰り返され、
 前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴とした液晶表示装置の駆動方法。

【請求項 13】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、
 n (n は $2 \leq n$ を満たす自然数) 本のソース信号線と、 n 個の前記アナログバッファ回路は回路群を構成し、
 n 個の期間が周期的に繰り返され、 50

第 r (r は $1 \leq r \leq n$ を満たす自然数) の期間において、前記回路群内の第 m (m は $1 \leq m \leq n - r + 1$ を満たす自然数) のソース信号線は第 $m + r - 1$ のアナログバッファ回路によって、第 l (l は $n - r + 2 \leq l \leq n$ を満たす自然数) のソース信号線は第 $l - n + r - 1$ のアナログバッファ回路によって駆動されることを特徴とした液晶表示装置の駆動方法。

【請求項 14】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、

n (n は $2 \leq n$ を満たす自然数) 本のソース信号線と、 n 個のアナログバッファ回路は回路群を構成し、
 n 個の期間が時間的にランダムに繰り返され、

第 r (r は $1 \leq r \leq n$ を満たす自然数) の期間において、前記回路群内の第 m (m は $1 \leq m \leq n - r + 1$ を満たす自然数) のソース信号線は第 $m + r - 1$ のアナログバッファ回路によって、第 l (l は $n - r + 2 \leq l \leq n$ を満たす自然数) のソース信号線は第 $l - n + r - 1$ のアナログバッファ回路によって駆動されることを特徴とした液晶表示装置の駆動方法。

【請求項 15】

請求項 9 乃至請求項 14 のいずれか 1 項において、アナログバッファ回路はソースホロワであることを特徴とした液晶表示装置の駆動方法。

【請求項 16】

請求項 9 乃至請求項 14 のいずれか 1 項において、アナログバッファ回路はボルテージホロワであることを特徴とした液晶表示装置の駆動方法。

【請求項 17】

請求項 1 乃至請求項 8 のいずれか 1 項に記載の前記液晶表示装置を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に関し、特にガラス、プラスチックなどの透明基板上に形成された薄膜トランジスタ (TFT) を用いた液晶表示装置およびその駆動方法に関する。また、液晶表示装置を用いた電子機器に関する。

【0002】

【従来の技術】

近年、通信技術の進歩に伴って、携帯電話が普及している。今後は更に動画の伝送やより多くの情報伝達が予想される。一方、パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳に始まった PDA と呼ばれる情報端末も多数生産され、普及しつつある。また、表示装置の発展により、それらの情報携帯機器のほとんどにはフラットパネルディスプレイが装備されている。

【0003】

さらに、最近の技術では、それら使用される表示装置として、アクティブマトリクス型表示装置を使用する方向に向かっている。アクティブマトリクス型表示装置は画素 1 つずつに対して TFT を配置し、その TFT によって画面を制御している。このようなアクティブマトリクス型表示装置はパッシブマトリクス型表示装置と比較して、高性能化、高画質化、動画対応などの長所を持っている。それゆえに、液晶表示装置もパッシブからアクティブに主流が移ると考えられる。

【0004】

また、アクティブマトリクス型の表示装置の中でも、近年、低温ポリシリコンを用いた表示装置の製品化が進められている。低温ポリシリコンでは画素だけでなく、画素部の周囲に駆動回路を一体形成することが可能である為、表示装置の小型化や、高精細化が可能で

10

20

30

40

50

あるため、今後はさらに普及が見込まれる。

【 0 0 0 5 】

以下に、アクティブマトリクス型の液晶表示装置の画素部の動作について説明する。図 3 に、アクティブマトリクス型液晶表示装置の構成の例を示す。一つの画素 3 0 2 はソース信号線 S 1 とゲート信号線 G 1 と容量線 C 1 と画素 T F T 3 0 3 と保持容量 3 0 4 より構成される。ただし、容量線は他の配線などと兼用できれば必ずしも必要ではない。画素 T F T 3 0 3 のゲート電極は、ゲート信号線 G 1 に接続され、画素 T F T 3 0 3 のドレイン領域またはソース領域の 1 方は、ソース信号線 S 1 に接続され、もう一方は、保持容量 3 0 4 及び画素電極 3 0 5 に接続されている。

【 0 0 0 6 】

ゲート信号線はライン周期にて順次選択されていく。画素 T F T が N c h の場合はゲート信号線が H i のときにアクティブとなり、画素 T F T がオンとなる。画素 T F T がオンになるとソース信号線の電位が保持容量と液晶に書き込まれる。次のライン期間には隣のゲート信号線がアクティブとなり、同様にして保持容量と液晶にソース信号線の電位を書き込んでいく。(例えば、特許文献 1 参照)。

【 0 0 0 7 】

次にソース線駆動回路の動作について説明する。図 2 は従来のソース信号線駆動回路の例を示す。図 2 はアナログ方式の点順次駆動のソース信号線駆動回路の例である。この例では、シフトレジスタ 2 0 1、N A N D 回路 2 0 7、バッファ回路 2 0 8、アナログスイッチ 2 0 9 によって、構成されている。まず、シフトレジスタの初段にスイッチ 2 0 6 を介してソーススタートパルス S S P が入力される。スイッチ 2 0 6 はシフトレジスタの走査方向を規定するもので、S L / R が L o のとき図 2 では左から右に、H i のときに右から左に走査が行なわれる。シフトレジスタの各段は D F F 2 0 2 によって構成され、D F F 2 0 2 はクロックドインバータ 2 0 3、2 0 4、インバータ 2 0 5 によって構成され、クロックパルス C L および C L b が入力されるごとにパルスをシフトしていく。

【 0 0 0 8 】

シフトレジスタの出力は N A N D 回路 2 0 7 を介して、バッファ回路 2 0 8 に入力される。バッファ回路の出力によってアナログスイッチ 2 0 9 ~ 2 1 2 はオンになり、ビデオ信号をソース信号線 S 1 ~ S 4 にサンプリングしていく。(例えば、特許文献 2 参照)。

【 0 0 0 9 】

液晶パネルサイズが中型、小型である場合には、以上に説明したような点順次駆動でパネルを動作させることができるが、大型パネルではソース信号線の配線容量が 1 0 0 p F 程度となり、ソース信号線自体の遅延時間が大きくなる為、点順次駆動ではソース信号線の書き込み時間が不足し、書き込みを行うことが不可能となる。よって、大型パネルではデータを一度ソース信号線駆動回路内部のメモリに蓄え、次の 1 ライン期間を使用して、ソース信号線に書き込みを行う線順次駆動が必要となる。

【 0 0 1 0 】

このような線順次駆動を行なう場合には、メモリのあとに、アナログバッファ回路が必要となる。図 4 に線順次に対応したソース信号線駆動回路の例をしめす。アナログスイッチ 4 0 1 ~ 4 0 4 までの動作は図 2 に示した点順次対応のソース信号線駆動回路と同様である。図 2 と比較してアナログスイッチ 4 0 1 ~ 4 0 4 が駆動するのはソース信号線ではなく、アナログメモリとしての容量 4 0 5 ~ 4 0 8 である。1 ライン分のデータが順次アナログメモリに蓄えられると、次の帰線期間中に T R N、T R N b の信号がアクティブになり、アナログスイッチ 4 0 9 ~ 4 1 2 がオンになる。これによって、アナログメモリ 4 0 5 ~ 4 0 8 のデータはアナログメモリ容量 4 1 3 ~ 4 1 6 に転送される。

【 0 0 1 1 】

そして、次のサンプリングのため、アナログスイッチ 4 0 1 ~ 4 0 4 がオンするまえに、アナログスイッチ 4 0 9 ~ 4 1 2 はオフとなる。アナログメモリ 4 1 3 ~ 4 1 6 のデータはアナログバッファ回路 4 1 7 ~ 4 2 0 を介して、ソース信号線 S 1 ~ S 4 に出力される。アナログメモリ 4 1 3 ~ 4 1 6 のデータは 1 ライン期間の間保持されるため、アナログ

10

20

30

40

50

バッファ回路 417 ~ 420 は 1 ライン 期間の時間をかけてソース線を充電できる。このようにして、大型パネルはアナログメモリ、アナログバッファ回路を有することにより、線順次駆動が可能となる。(例えば、特許文献 3 参照)

【0012】

特開平 1 - 289917 号公報 (第 41 ~ 43 頁、第 15 図)

特開平 1 - 289917 号公報 (第 11 ~ 13 頁、第 2 図)

特開昭 62 - 143095 号公報 (第 7 ~ 12 頁、第 1 図)

【0013】

ところが、TFT を用いてアナログバッファ回路を用いるときに、このアナログバッファ回路のばらつきが問題になる。アナログバッファ回路にばらつきが生じると同じ階調の映像信号を入力しても、出力にばらつきが生じ、この結果、画面上では、すだれ状の縦縞が発生し、画質が非常に低下するという問題が発生する。 10

【0014】

【発明が解決しようとする課題】

低温ポリシリコンを用いて、液晶表示装置を製造する場合、ドライバー回路を一体形成することになるが、単結晶シリコンを用いて、ドライバー回路を製造した場合と比較して、トランジスタのばらつきが大きいという欠点がある。これは、結晶化のばらつきや、工程中の静電気によるダメージなどが原因と言われている。このようなばらつきを考えてドライバー回路を形成する場合、ロジック部よりアナログ動作をする部分、特に、アナログバッファ回路でばらつきが顕著に表れる。 20

【0015】

図 4 に示した従来のソース信号線駆動回路において、個々のアナログバッファ回路の出力電圧と複数のアナログバッファ回路の出力の平均値との差電圧を考える。平均出力値とアナログバッファ回路出力 A との差電圧を ΔV_A 、同様に平均出力値とアナログバッファ回路出力 B、C、D との差電圧を ΔV_B 、 ΔV_C 、 ΔV_D とする。さらに、それぞれの値が ΔV_A を +100 mV、 ΔV_B を -100 mV、 ΔV_C を -50 mV、 ΔV_D を +30 mV とすると、ソース信号線 S2 と S3 の間では差が 50 mV であるが、ソース信号線 S1 と S2 の間では 200 mV あり、人の目によって、階調差が認識される。

【0016】

【課題を解決するための手段】

前述した課題を解決する為、本発明では、アナログバッファ回路とソース信号線との間に切り換えスイッチを挟んで、スイッチを切り換え出力を入れ替えている。このような処理をすることによって、アナログバッファ回路の出力のばらつきは時間的に平均化され、表示ムラをめだたなくすることが可能である。 30

【0017】

以下に本発明の構成を示す。

【0018】

本発明は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、前記回路群内のソース信号線は、周期的に、前記回路群内の異なるアナログバッファ回路に接続されることを特徴としている。 40

【0019】

本発明は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、前記回路群中のソース信号線は、時間的にランダムに、前記回路群内の異なるアナログバッファ回路に接続されることを特徴としている。

【0020】

本発明は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置において、 n (n は2より n を満たす自然数)本のソース信号線と n 個のアナログバッファ回路は回路群を構成し、 n 個の期間が周期的に繰り返され、前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路に接続されることを特徴としている。

【0021】

本発明は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置において、 n (n は2より n を満たす自然数)本のソース信号線と n 個のアナログバッファ回路は回路群を構成し、 n 個の期間が時間的にランダムに繰り返され、前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路に接続されることを特徴としている。

【0022】

本発明は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置において、 n (n は2より n を満たす自然数)本のソース信号線と、 n 個のアナログバッファ回路は回路群を構成し、 n 個の期間が周期的に繰り返され、第 r (r は1より r より n を満たす自然数)の期間において、前記回路群内の第 m (m は1より m より $n - r + 1$ を満たす自然数)のソース信号線は第 $m + r - 1$ のアナログバッファ回路に、第 l (l は $n - r + 2$ より l より n を満たす自然数)のソース信号線は第 $l - n + r - 1$ のアナログバッファ回路に接続されることを特徴としている。

【0023】

本発明は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置において、 n (n は2より n を満たす自然数)本のソース信号線と、 n 個のアナログバッファ回路は回路群を構成し、 n 個の期間が時間的にランダムに繰り返され、第 r (r は1より r より n を満たす自然数)の期間において、前記回路群内の第 m (m は1より m より $n - r + 1$ を満たす自然数)のソース信号線は第 $m + r - 1$ のアナログバッファ回路に、第 l (l は $n - r + 2$ より l より n を満たす自然数)のソース信号線は第 $l - n + r - 1$ のアナログバッファ回路に接続されることを特徴としている。

【0024】

上記本発明の構成において、アナログバッファ回路はソースホロワ、または、ボルテージホロワであることを特徴としている。

【0025】

本発明液晶表示装置の駆動方法は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、前記回路群内のソース信号線は周期的に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴としている。

【0026】

本発明液晶表示装置の駆動方法は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、前記回路群内のソース信号線は、時間的にランダムに、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴としている。

【0027】

本発明液晶表示装置の駆動方法は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置において、 n (n は2より大なる自然数)本のソース信号線と n 個のアナログバッファ回路は回路群を構成し、 n 個の期間が周期的に繰り返され、前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴としている。

【0028】

本発明液晶表示装置の駆動方法は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置の駆動方法において、 n (n は2より大なる自然数)本のソース信号線と、 n 個のアナログバッファ回路は回路群を構成し、 n 個の期間が時間的にランダムに繰り返され、前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴としている。

10

【0029】

本発明液晶表示装置の駆動方法は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、 n (n は2より大なる自然数)本のソース信号線と、 n 個のアナログバッファ回路は回路群を構成し、 n 個の期間が周期的に繰り返され、第 r (r は1より大なる自然数)の期間において、前記回路群内の第 m (m は1より大なる自然数)のソース信号線は第 $m+r-1$ のアナログバッファ回路によって、第 l (l は $n-r+2$ より大なる自然数)のソース信号線は第 $l-n+r-1$ のアナログバッファ回路によって駆動されることを特徴としている。

20

【0030】

本発明液晶表示装置の駆動方法は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、 n (n は2より大なる自然数)本のソース信号線と、 n 個のアナログバッファ回路は回路群を構成し、 n 個の期間が時間的にランダムに繰り返され、第 r (r は1より大なる自然数)の期間において、前記回路群内の第 m (m は1より大なる自然数)のソース信号線は第 $m+r-1$ のアナログバッファ回路によって、第 l (l は $n-r+2$ より大なる自然数)のソース信号線は第 $l-n+r-1$ のアナログバッファ回路によって駆動されることを特徴としている。

30

【0031】

上記、本発明の液晶表示装置の駆動方法において、アナログバッファ回路はソースホロワ、または、ボルテージホロワであることを特徴としている。

【0032】

以上によって、絶縁基板上に構成したアナログバッファ回路に出力ばらつきがあっても、表示において画面上に縦縞が発生するのを防止することができる。

40

【0033】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて詳細に説明する。

【0034】

図1に本発明の液晶表示装置を示す。シフトレジスタ等は従来例で説明したものと同様である。従来と異なるのはアナログバッファ回路119～122とソース信号線S1～S4の間にスイッチ123～126があることである。以下に本実施形態の動作を説明する。スイッチ123～126は4接点のスイッチを例にとり、説明をおこなっているが、本発明は4接点に限らず、接点数が異なっても本発明は成り立つものである。

50

【 0 0 3 5 】

本発明ではスイッチ 1 2 3 ~ 1 2 6 は、接続内容が切り替わる。ここではその周期を 1 フレームとして説明するが、本発明はそれに限定するものではない。以下、説明をおこなう。ソース信号線 S 1 ~ S 4、アナログバッファ回路 1 1 9 ~ 1 2 2 を回路群として考え、その中での接続変更を考える。まず第 1 フレームでは、スイッチ 1 2 3 ~ 1 2 6 は「 1 」の接続状態にあり、この場合アナログバッファ回路 1 1 9 の出力 A はソース信号線 S 1 に接続されている。同様にアナログバッファ回路 1 2 0 ~ 1 2 2 の出力 B、C、D はソース信号線 S 2、S 3、S 4 に接続されている。

【 0 0 3 6 】

次に、第 2 フレームでは、スイッチ 1 2 3 ~ 1 2 6 は「 2 」の接続状態にあり、アナログバッファ回路 1 1 9 の出力 A はソース信号線 S 2 に接続される。同様にアナログバッファ回路 1 2 0 ~ 1 2 2 の出力 B、C、D はそれぞれソース信号線 S 3、S 4、S 1 に接続される。次に、第 3 フレームでは、スイッチ 1 2 3 ~ 1 2 6 は「 3 」の接続状態にあり、アナログバッファ回路 1 1 9 の出力 A はソース信号線 S 3 に接続される。同様にアナログバッファ回路 1 2 0 ~ 1 2 2 の出力 B、C、D はそれぞれソース信号線 S 4、S 1、S 2 に接続される。

【 0 0 3 7 】

次に、第 4 フレームでは、スイッチ 1 2 3 ~ 1 2 6 は「 4 」の接続状態にあり、アナログバッファ回路 1 1 9 の出力 A はソース信号線 S 4 に接続される。同様にアナログバッファ回路 1 2 0 ~ 1 2 2 の出力 B、C、D はそれぞれソース信号線 S 1、S 2、S 3 に接続される。

【 0 0 3 8 】

次に、第 5 フレームでは、スイッチ 1 2 3 ~ 1 2 6 は再び「 1 」の接続状態にあり、アナログバッファ回路 1 1 9 の出力 A はソース信号線 S 1 に接続される。同様にアナログバッファ回路 1 2 0 ~ 1 2 2 の出力 B、C、D はそれぞれソース信号線 S 2、S 3、S 4 に接続される。このように、スイッチ 1 2 3 ~ 1 2 6 は 4 フレームの周期で接続変更を繰り返す。すなわち、ソース信号線 S 1 ~ S 4 と、アナログバッファ回路 1 2 0 ~ 1 2 2 は回路群を構成し、それぞれの期間毎に、接続関係が変化していく。

【 0 0 3 9 】

スイッチが 4 接点であるため、4 フレーム周期で変化しているが、前述した様に、接点数を変えることによって、周期は変更することが可能である。またフレームごとにこだわる必要もない。目視上で平均化が可能な周期であればよい。ソース信号線ごとに対応するアナログバッファ回路の出力を図 1 0 に示す。

【 0 0 4 0 】

従来例のように、個々のアナログバッファ回路の出力電圧と複数のアナログバッファ回路の出力の平均値との差電圧を考える。出力平均値とアナログバッファ回路出力 A との差電圧を ΔV_A 、同様に出力平均値とアナログバッファ回路出力 B、C、D との差電圧を ΔV_B 、 ΔV_C 、 ΔV_D とすると、人間の目にはこれらが平均化されて見える為、ソース信号線 S 1、S 2、S 3、S 4 の出力電位差はいずれも $(\Delta V_A + \Delta V_B + \Delta V_C + \Delta V_D) / 4$ のようになる。

【 0 0 4 1 】

従来例と同様に ΔV_A を + 1 0 0 m V、 ΔV_B を - 1 0 0 m V、 ΔV_C を - 5 0 m V、 ΔV_D を + 3 0 m V とすると、平均化された結果、ソース信号線 S 1 ~ S 4 の電圧は - 5 m V となり、従来例で問題となったような隣接間で 2 0 0 m V の電位差が発生し、縦縞が目立つというような不具合を防止することが可能になる。

【 0 0 4 2 】

以上はスイッチを 4 接点とし、繰り返しの期間を 4 期間としたが、期間は 4 に限らず、 n (n は 2 n を満たす自然数) 個の期間を設定し、第 r (r は 1 r n を満たす自然数) の期間において、回路群内の第 m (m は 1 m $n - r + 1$ を満たす自然数) のソース信号線は第 $m + r - 1$ のアナログバッファに、第 l (l は $n - r + 2$ l n を満たす自

10

20

30

40

50

然数)のソース信号線は第 $1 - n + r - 1$ のアナログバッファに接続されるようにすることによって、目的とする効果を得ることができる。

【0043】

【実施例】

(実施例1)

図7に第1の実施例を示す。図7は図1に示したスイッチ123の具体的回路例である。スイッチはTFT701~708より構成され、それぞれのTFTのゲート端子に接続された制御線1~4bによって制御される。図8に制御線1~4bのタイミングチャートを示す。図8に示すような制御信号によって、図7におけるAは第一~第四フレームにおいて、ソース信号線S1~S4に接続される。図7に示した回路図はCMOS構成になっているが、NMOSもしくはPMOS構成にしてもよい。その場合は制御線数は半分にすることができる。

10

【0044】

(実施例2)

図5にアナログバッファ回路の例として、オペアンプの回路を示す。このタイプのアナログバッファ回路では、出力電圧のばらつきは差動回路を構成するTFT503、および504の特性ばらつきと、カレントミラー回路を構成するTFT501と502のばらつきによって出力のばらつきが決まる。しかし、その組のTFTの隣接ばらつきが抑えられていれば、パネル全体のばらつきは大きくても問題ないので、集積回路ではよく使用される回路である。

20

【0045】

この例では、差動回路をNch、カレントミラー回路をPchで作成しているが、本発明では、それには限定されない。逆であっても良い。また、回路形式もこのような回路接続には限定されることはなく、オペアンプとしての機能を満たすものであれば使用可能である。

【0046】

(実施例3)

図6にアナログバッファ回路の例として、ソースホロワ回路の例を示す。ソースホロワ回路はバッファTFT601と定電流源602によって構成される。この例ではバッファTFTをNchで構成しているが、Pchであっても構わない。ソースホロワ回路は、Nchを使用した場合、入力電位に対して、出力電位がTFTのVgsだけ低下する、またはPchを使用した場合、入力電位に対して、出力電位がTFTのVgsだけ上昇するという問題があるが、その反面、構成が簡単でCMOSでなくとも実現が可能であるという利点がある。TFT工程削減のため単極性のプロセスを採用する場合は、オペアンプ型のアナログバッファ回路を構成することが難しいため、ソースホロワが使用される。

30

【0047】

(実施例4)

図11は本発明の回路を使用するため、ソース信号線駆動回路に入力するビデオ信号を切り換える回路をソース信号線駆動回路の外側に配置した例である。本発明のソース信号線切り換えをアナログスイッチとソース信号線の間のみでおこなうと、出力バラツキは低減されるが、アナログバッファの出力は4本のソース信号線に出力されるため、画像は正規の画像がまったく得られない。よって、アナログバッファ回路に入力される前にあらかじめ、信号を入れ換えておき、アナログバッファ後のスイッチで再度入れ換えを行なうことによって、正常な画像を作り出すことが可能になる。

40

【0048】

発明の実施形態と同様にフレームごとに切り換えが行なわれるとした場合を考える。まず第1フレームにおいて、ビデオ回路1127の出力はスイッチ1131が「1」に接続され、ビデオ信号線1135に接続される。ビデオ信号線1135の信号はスイッチ1103とスイッチ1111を介して、アナログバッファ回路1119に入力される。第一フレームではスイッチ1123は「1」に接続されるためアナログバッファ回路1119の出

50

力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 2 8、1 1 2 9、1 1 3 0 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。

【 0 0 4 9 】

次に第 2 フレームにおいてビデオ回路 1 1 2 7 の出力はスイッチ 1 1 3 2 が「 2 」に接続され、ビデオ信号線 1 1 3 6 に接続される。ビデオ信号線 1 1 3 6 の信号はスイッチ 1 1 0 4 とスイッチ 1 1 1 2 を介して、アナログバッファ回路 1 1 2 0 に入力される。第 2 フレームではスイッチ 1 1 2 4 は「 2 」に接続されるためアナログバッファ回路 1 1 2 0 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 2 8、1 1 2 9、1 1 3 0 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。

【 0 0 5 0 】

次に第 3 フレームにおいて、ビデオ回路 1 1 2 7 の出力はスイッチ 1 1 3 3 が「 3 」に接続され、ビデオ信号線 1 1 3 7 に接続される。ビデオ信号線 1 1 3 7 の信号はスイッチ 1 1 0 5 とスイッチ 1 1 1 3 を介して、アナログバッファ回路 1 1 2 1 に入力される。第 3 フレームではスイッチ 1 1 2 5 は「 3 」に接続されるためアナログバッファ回路 1 1 2 1 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 2 8、1 1 2 9、1 1 3 0 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。

【 0 0 5 1 】

次に第 4 フレームにおいて、ビデオ回路 1 1 2 7 の出力はスイッチ 1 1 3 4 が「 4 」に接続され、ビデオ信号線 1 1 3 8 に接続される。ビデオ信号線 1 1 3 8 の信号はスイッチ 1 1 0 6 とスイッチ 1 1 1 4 を介して、アナログバッファ回路 1 1 2 2 に入力される。第 4 フレームではスイッチ 1 1 2 6 は「 4 」に接続されるためアナログバッファ回路 1 1 2 2 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 2 8、1 1 2 9、1 1 3 0 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。

【 0 0 5 2 】

このようにして、いずれのフレームにおいても、ビデオ回路 1 1 2 7 の出力はソース信号線 S 1 に接続される。これによって、画像は正常な状態で、かつ、フレーム毎に、使用するアナログバッファ回路を入れ換えることが可能である。同様にビデオ回路 1 1 2 8、1 1 2 9、1 1 3 0 の出力についてもそれぞれソース信号線 S 2、S 3、S 4 に、いずれのフレームにおいても接続される。

【 0 0 5 3 】

このような回路は T F T 基板の外側に別基板（プリント基板、フレキシブル基板）を設けて作成しても良いし、T F T 基板上に L S I チップを貼り付けても良いし、また、T F T を用いて同一基板上に形成してもよい。

【 0 0 5 4 】

（実施例 5）

図 1 2 は切り換え回路をソース信号線駆動回路に内蔵した例である。本実施例では、アナログバッファ回路の前の切り換え回路をビデオ信号線との間に設けた例である。

【 0 0 5 5 】

発明の実施形態と同様にフレームごとに切り換えが行なわれるとした場合を考える。まず第 1 フレームにおいて、ビデオ信号線 1 2 2 7 の出力はスイッチ 1 2 3 1 を通過した後、スイッチ 1 2 0 3 が「 1 」に接続され、アナログメモリ 1 2 0 7 とスイッチ 1 2 1 1 に接続される。スイッチ 1 2 1 1 を経てアナログメモリ 1 2 1 5 とアナログバッファ回路 1 2 1 9 に入力される。第 1 フレームではスイッチ 1 2 2 3 は「 1 」に接続されるためアナログバッファ回路 1 2 1 9 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ信号線 1 2 2 8、1 2 2 9、1 2 3 0 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。

【 0 0 5 6 】

次に第 2 フレームにおいて、ビデオ信号線 1 2 2 7 の出力はスイッチ 1 2 3 1 を通過した後、スイッチ 1 2 0 4 が「 2 」に接続され、アナログメモリ 1 2 0 8 とスイッチ 1 2 1 2 に接続される。スイッチ 1 2 1 2 を経てアナログメモリ 1 2 1 6 とアナログバッファ回路

10

20

30

40

50

1 2 2 0に入力される。第2フレームではスイッチ1 2 2 4は「2」に接続されるためアナログバッファ回路1 2 2 0の出力はソース信号線S 1に接続される。同様にして、ビデオ信号線1 2 2 8、1 2 2 9、1 2 3 0の出力はそれぞれソース信号線S 2、S 3、S 4に接続される。

【0057】

次に第3フレームにおいて、ビデオ信号線1 2 2 7の出力はスイッチ1 2 3 1を通過した後、スイッチ1 2 0 5が「3」に接続され、アナログメモリ1 2 0 9とスイッチ1 2 1 3に接続される。スイッチ1 2 1 3を経てアナログメモリ1 2 1 7とアナログバッファ回路1 2 2 1に入力される。第3フレームではスイッチ1 2 2 5は「3」に接続されるためアナログバッファ回路1 2 2 1の出力はソース信号線S 1に接続される。同様にして、ビデオ信号線1 2 2 8、1 2 2 9、1 2 3 0の出力はそれぞれソース信号線S 2、S 3、S 4に接続される。

10

【0058】

次に第4フレームにおいて、ビデオ信号線1 2 2 7の出力はスイッチ1 2 3 1を通過した後、スイッチ1 2 0 6が「4」に接続され、アナログメモリ1 2 1 0とスイッチ1 2 1 4に接続される。スイッチ1 2 1 4を経てアナログメモリ1 2 1 8とアナログバッファ回路1 2 2 2に入力される。第4フレームではスイッチ1 2 2 6は「4」に接続されるためアナログバッファ回路1 2 2 2の出力はソース信号線S 1に接続される。同様にして、ビデオ信号線1 2 2 8、1 2 2 9、1 2 3 0の出力はそれぞれソース信号線S 2、S 3、S 4に接続される。

20

【0059】

このようにして、いずれのフレームにおいても、ビデオ信号線1 2 2 7の出力はソース信号線S 1に接続される。これによって、画像は正常な状態で、かつ、フレーム毎に、使用するアナログバッファ回路を入れ換えることが可能である。同様にビデオ信号線1 2 2 8、1 2 2 9、1 2 3 0の出力についてもそれぞれソース信号線S 2、S 3、S 4に、いずれのフレームにおいても接続される。

【0060】

(実施例6)

本発明の実施形態、および実施例1ではスイッチの切り換えを周期的に決まった順序で行なっているがこの切り替えは固定したものではなくとも良い。すなわち、実施形態では最初の4フレームにおいて、ソース信号線S 1がアナログバッファ出力A、D、C、Bと接続され、次の4フレームでもA、D、C、Bと接続される、それを周期的に繰り返していた。しかし、それとは別に最初の4フレームではA、D、C、Bであるが、次の4フレームはB、D、A、Cというように、出現の順番は固定ではなくランダムであっても良い。この場合、実施例1～実施例5に示した回路とは自由に組み合わせることができる。

30

【0061】

なお、本発明の表示装置は、本実施例のソース信号線駆動回路の構成に限らず、公知の構成のソース信号線駆動回路を自由に用いることができる。

【0062】

(実施例7)

本実施例では、本発明の表示装置のゲート信号線駆動回路の構成例について説明する。

40

【0063】

ゲート信号線駆動回路は、シフトレジスタ、走査方向切り換え回路等によって構成されている。なお、ここでは図示しなかったが、レベルシフタやバッファ等を適宜設けても良い。

【0064】

シフトレジスタには、スタートパルスG S P、クロックパルスG C L等が入力されて、ゲート信号線選択信号を出力している。ゲート信号線駆動回路の構成について、図9を用いて説明する。

【0065】

50

シフトレジスタ901は、クロックインバータ902と903、インバータ904、NAND907によって構成されている。シフトレジスタ901には、スタートパルスGSPが入力され、クロックパルスGCLとその極性が反転した信号である反転クロックパルスGCLbによって、クロックインバータ902及び903が導通状態、非導通状態と変化することによって、NAND907から順に、サンプリングパルスを出力する。

【0066】

また、走査方向切り換え回路は、スイッチ905及びスイッチ906によって構成され、シフトレジスタの操作方向を、図面向かって左右に切り換える働きをする。図9では、走査方向切り換え信号U/DがLoの信号に対応する場合、シフトレジスタは、図面向かって左から右に順に、サンプリングパルスを出力する。一方、走査方向切り換え信号U/DがHiの信号に対応する場合、図面向かって右から左に順にサンプリングパルスを出力する。

10

【0067】

シフトレジスタから出力されたサンプリングパルスは、NOR908に入力され、イネーブル信号ENBと演算される。この演算は、サンプリングパルスのなまりによって、となり合うゲート信号線が同時に選択される状況を防ぐために行われる。NOR908から出力された信号は、バッファ909、910を介して、ゲート信号線G1～Gyに出力される。

【0068】

シフトレジスタに入力されるスタートパルスGSP、クロックパルスGCL等は、外部のタイミングコントローラから入力されている。

20

【0069】

なお、本発明の表示装置は、本実施例のゲート信号線駆動回路の構成に限らず、公知の構成のゲート信号線駆動回路を自由に用いることができる。本実施例は本発明の他の実施例と組み合わせて使用することができる。

【0070】

(実施例8)

図15にデジタル入力のソース信号線駆動回路の実施例を示す。シフトレジスタ1501の出力はバッファ回路1502を介して、ラッチ回路1503に入力される。ラッチ回路はバッファ回路の出力がアクティブになったときに、デジタルビデオ信号を取り込み記憶する機能を持っている。シフトレジスタが1ライン期間の間にデジタルビデオ信号を随時取り込んでいき、1ライン分のデジタルデータが記憶される。1ライン分の記憶の終了後、帰線期間中に、ラッチパルスが入力され、ラッチ回路1503のデータがラッチ回路1504に取り込まれる。

30

【0071】

ラッチ回路1504のデータは次の帰線期間まで保持されるため、その間に、ラッチ回路1504のデータはD/Aコンバータ1505によって、アナログに変換される。D/Aコンバータ1505の出力はアナログバッファ回路1506とスイッチ1510を介してソース信号線を駆動する。本実施例は本発明の他の実施例と組み合わせて使用することができる。

40

【0072】

ここで、スイッチ回路1510の動作は実施の形態にて説明したのと同等で、第1フレームにおいては、ソース信号線S1はアナログバッファ回路1506に接続され、第2フレームにおいては、アナログバッファ回路1509に接続され、第3フレームにおいては、アナログバッファ回路1508に接続され、第4フレームにおいてはアナログバッファ回路1507に接続される。このようにして、実施の形態と同様に、各ソース信号線はアナログバッファ回路の出力バラツキが平均化されるため、表示上のむらを低減することができる。本実施例は本発明の他の実施例と組み合わせて使用することができる。

【0073】

50

(実施例 9)

図 16 に示すのは実施例 8 に示したラッチ回路の具体例である。図 16 (A) はクロックインバータを用いたラッチ回路で、前述した信号線駆動回路のシフトレジスタにも使われているものである。図 16 (B) はインバータとアナログスイッチを組み合わせたものである。図 16 (C) は図 16 (B) よりアナログスイッチを 1 つ削除したもので、二つのインバータ回路のうち、出力がアナログスイッチに接続されるほうのインバータの駆動能力をアナログスイッチの駆動能力より小さく設計しておき、アナログスイッチの動作によって、記憶状態を変えられるようにしたものである。ラッチ回路としてはいずれを用いても良い。また、ここに示した以外の回路を用いても良い。本実施例は本発明の他の実施例と組み合わせて使用することができる。

10

【0074】

(実施例 10)

図 13 は単極性の T F T を用いて、シフトレジスタを構成した例である。図 13 は N c h の例であるが、単極性は N c h のみまたは P c h のみのいずれを用いても良い。単極性のプロセスを用いることによって、マスク枚数の低減が可能となる。

【0075】

図 13 において、スタートパルスは走査方向切り換えスイッチ 1302 に入力され、スイッチ用 T F T 1311 を経て、シフトレジスタ 1301 に入力される。シフトレジスタはブートストラップを用いたセトリセット型のシフトレジスタである。以下にシフトレジスタ 1301 の動作を説明する。

20

【0076】

スタートパルスは T F T 1303 のゲートと T F T 1306 のゲートに入力される。T F T 1306 がオンになると T F T 1304 のゲートはロウになり T F T 1304 はオフになる。また、T F T 1310 のゲートもロウになるため T F T 1310 もオフとなる。T F T 1303 のゲートは電源電位まで上がるため、まず T F T 1309 のゲートは電源 - V g s まで上昇する。出力 1 は初期電位がロウであるため、T F T 1309 は出力 1 と容量 1308 を充電しながらソース電位を上げていく、T F T 1309 のゲートが電源 - V g s まで上昇したときに、T F T 1309 はまだオンしているので、出力 1 はさらに上昇を続ける。T F T 1309 のゲートは放電経路がないので、ソースに合わせて上昇し、電源をこえてもさらに上昇を続ける。

30

【0077】

T F T 1309 のドレイン、及びソースが等電位になったときに、電流が出力に流れるのが停止し、そこで T F T 1309 の電位上昇が止まる。このようにして、出力 1 は電源電位に等しいハイ電位を出力できる。この時は C L b の電位はハイとする。C L b がロウに落ちると、容量 1308 電荷は T F T 1309 を介して C L b にぬけて、出力 1 はロウに落ちる。出力 1 のパルスは次の段のシフトレジスタに伝わっていく。以上が実施例 13 の回路の動作である。本実施例は本発明の他の実施例と組み合わせて使用することができる。

【0078】

(実施例 11)

図 14 で示す上面図は、画素部 1403、ソース信号線駆動回路 1401、ゲート信号線駆動回路 1402、F P C 端子 1408 を貼り付ける外部入力端子 1404、外部入力端子と各回路の入力部までを接続する配線 1407 a、1407 b などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板 1411 とがシール材 1410 を介して貼り合わされている。

40

【0079】

ソース信号線駆動回路 1401 と重なるように対向基板側に遮光層 1405 が設けられ、ゲート信号線駆動回路 1402 と重なるように対向基板側に遮光層 1406 が形成されている。また、画素部 1403 上の対向基板側に設けられたカラーフィルタ 1409 は遮光層と、赤色 (R)、緑色 (G)、青色 (B) の各色の着色層とが各画素に対応して設けら

50

れている。実際に表示する際には、赤色（Ｒ）の着色層、緑色（Ｇ）の着色層、青色（Ｂ）の着色層の３色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【００８０】

ここでは、カラー化を図るためにカラーフィルタ１４０９を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【００８１】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層１４０５、
１４０６を設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部
として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、
アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成して
もよい。

10

【００８２】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【００８３】

この様にして、液晶表示装置が完成する。なお、本実施例では、透過型のアクティブマト
リクス型液晶表示装置の作製方法を示したが、反射型のアクティブマトリクス型液晶表示
装置も同様の手法で作製可能である。本実施例は本発明の他の実施例と組み合わせ使用
することができる。

20

【００８４】

（実施例１２）

以上のようにして作製される液晶表示装置は、液晶モジュールを構成でき、さらに液晶表示装置は各種電子機器の表示部として用いることができる。以下に、本発明を用いて形成された液晶表示装置を表示媒体として組み込んだ電子機器について説明する。

【００８５】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（
ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディ
オ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端
末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を
備えた画像再生装置（具体的にはデジタルビデオディスク（ＤＶＤ）等の記録媒体を再生
し、その画像を表示しうる表示装置を備えた装置）などが挙げられる。それらの一例を図
１７に示す。

30

【００８６】

図１７（Ａ）は表示装置であり、筐体２００１、支持台２００２、表示部２００３、スピー
カー部２００４、ビデオ入力端子２００５等を含む。本発明により作製した発光装置を
その表示部２００３に用いることにより作製される。発光素子を有する発光装置は自発光
型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができ
る。なお、表示装置は、パソコン用、ＴＶ放送受信用、広告表示用などの全ての情報表示
用表示装置が含まれる。

40

【００８７】

図１７（Ｂ）はデジタルスチルカメラであり、本体２１０１、表示部２１０２、受像部２
１０３、操作キー２１０４、外部接続ポート２１０５、シャッター２１０６等を含む。本
発明により作製した発光装置をその表示部２１０２に用いることにより作製される。

【００８８】

図１７（Ｃ）はノート型パーソナルコンピュータであり、本体２２０１、筐体２２０２、
表示部２２０３、キーボード２２０４、外部接続ポート２２０５、ポインティングマウス

50

２２０６等を含む。本発明により作製した発光装置をその表示部２２０３に用いることにより作製される。

【００８９】

図１７（Ｄ）はモバイルコンピュータであり、本体２３０１、表示部２３０２、スイッチ２３０３、操作キー２３０４、赤外線ポート２３０５等を含む。本発明により作製した発光装置をその表示部２３０２に用いることにより作製される。

【００９０】

図１７（Ｅ）は記録媒体を備えた携帯型の画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２４０１、筐体２４０２、表示部Ａ２４０３、表示部Ｂ２４０４、記録媒体（ＤＶＤ等）読み込み部２４０５、操作キー２４０６、スピーカー部２４０７等を含む。表示部Ａ２４０３は主として画像情報を表示し、表示部Ｂ２４０４は主として文字情報を表示するが、本発明により作製した発光装置をこれら表示部Ａ、Ｂ２４０３、２４０４に用いることにより作製される。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

10

【００９１】

図１７（Ｆ）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体２５０１、表示部２５０２、アーム部２５０３を含む。本発明により作製した発光装置をその表示部２５０２に用いることにより作製される。

【００９２】

図１７（Ｇ）はビデオカメラであり、本体２６０１、表示部２６０２、筐体２６０３、外部接続ポート２６０４、リモコン受信部２６０５、受像部２６０６、バッテリー２６０７、音声入力部２６０８、操作キー２６０９、接眼部２６１０等を含む。本発明により作製した発光装置をその表示部２６０２に用いることにより作製される。

20

【００９３】

ここで図１７（Ｈ）は携帯電話であり、本体２７０１、筐体２７０２、表示部２７０３、音声入力部２７０４、音声出力部２７０５、操作キー２７０６、外部接続ポート２７０７、アンテナ２７０８等を含む。本発明により作製した発光装置をその表示部２７０３に用いることにより作製される。なお、表示部２７０３は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【００９４】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例１～４のどのような組み合わせからなる構成を用いても実現することができる。

30

【００９５】

【発明の効果】

従来の液晶表示装置では、アナログバッファ回路を出力に用いた場合、そのバラツキによって、縦縞が発生し、画質が低下するという問題があった。

【００９６】

本発明は、アナログバッファ回路の出力を時間的に切り換えて、出力電圧のばらつきを平均化することによって、出力ばらつきの低減ができる。

40

【図面の簡単な説明】

【図１】本発明の液晶表示装置のソース信号線駆動回路のブロック図。

【図２】従来の液晶表示装置のソース信号線駆動回路のブロック図。

【図３】液晶表示装置の画素部の構成を示す図。

【図４】従来の液晶表示装置のソース信号線駆動回路のブロック図。

【図５】オペアンプ型のアナログバッファの回路図。

【図６】ソースホロワ型アナログバッファの回路図。

【図７】本発明のスイッチの回路図。

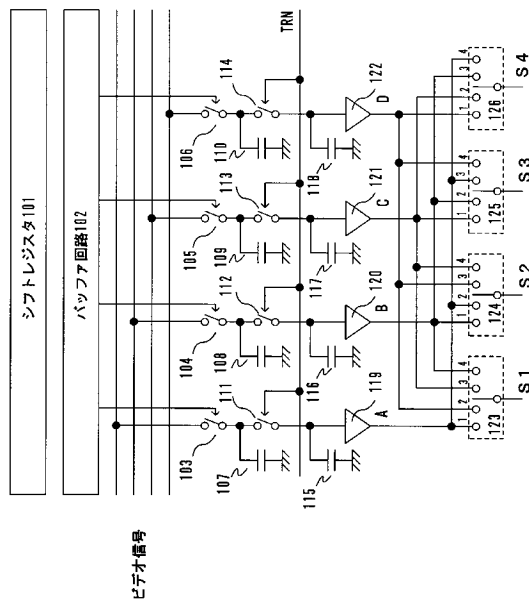
【図８】本発明のスイッチのタイミングチャートを示す図。

【図９】本発明のゲート信号線駆動回路の回路図。

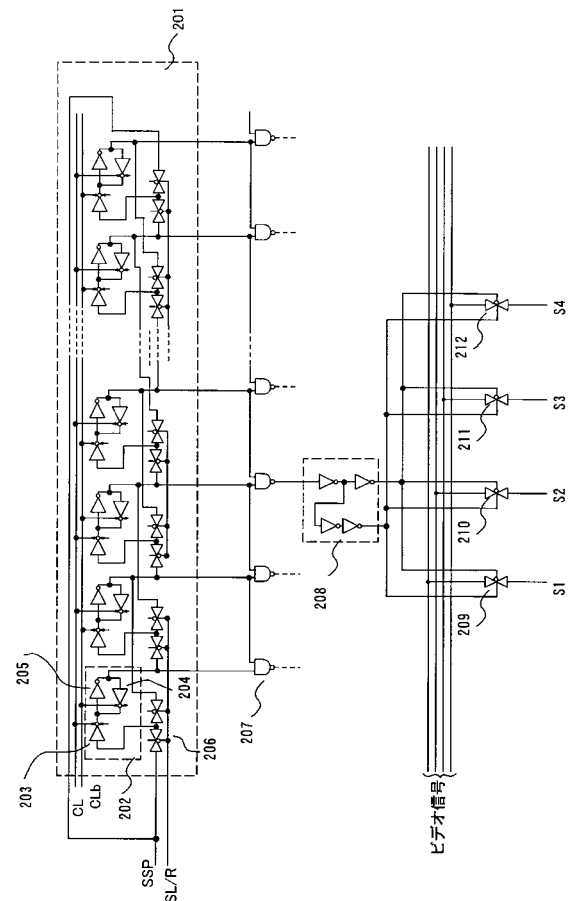
50

- 【図 10】ソース信号線とアナログバッファ回路の接続を示す図。
 【図 11】本発明の液晶表示装置のビデオ信号切り換えを示した図。
 【図 12】本発明の液晶表示装置のビデオ信号切り換えを示した図。
 【図 13】単極性のトランジスタを用いたシフトレジスタの回路図。
 【図 14】本発明の液晶表示装置の外観図。
 【図 15】本発明を用いたデジタルソース信号線駆動回路のブロック図。
 【図 16】デジタルソース信号線駆動回路のラッチ回路の回路図。
 【図 17】本発明の液晶表示装置を用いた電子機器の図。

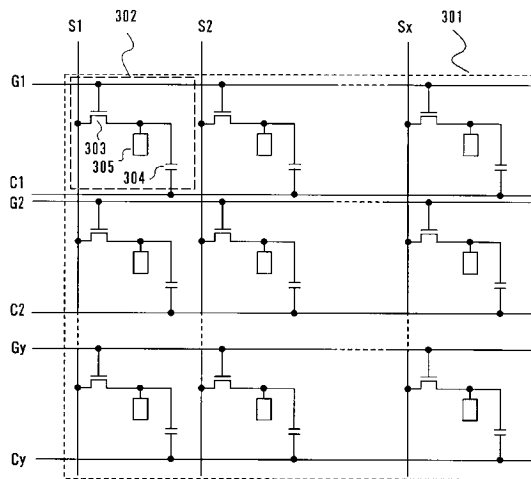
【図 1】



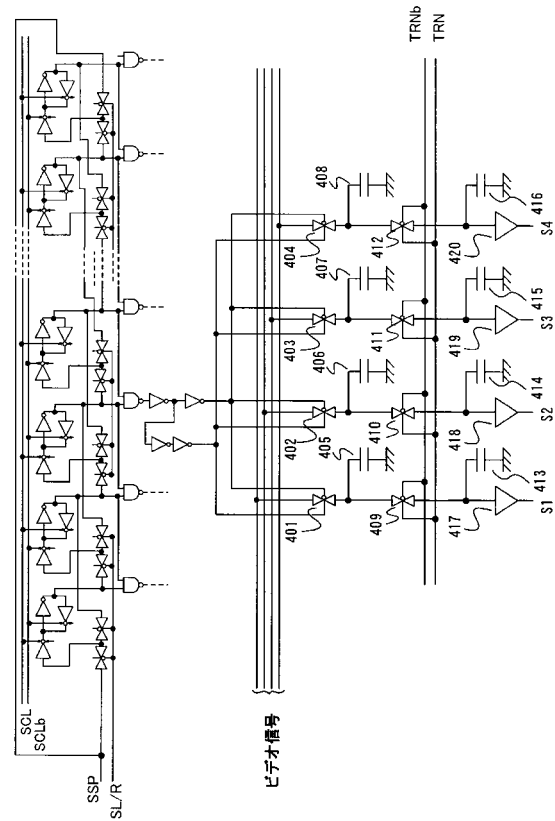
【図 2】



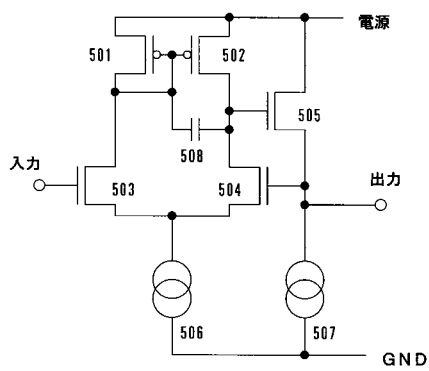
【図 3】



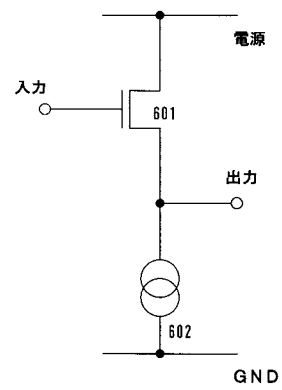
【図 4】



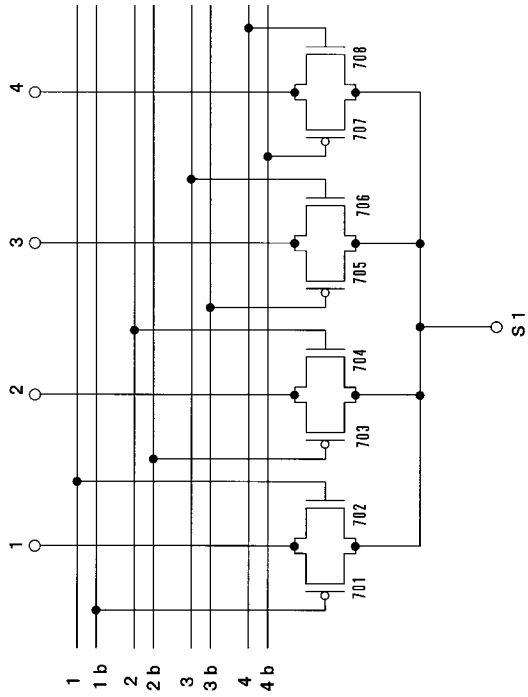
【図 5】



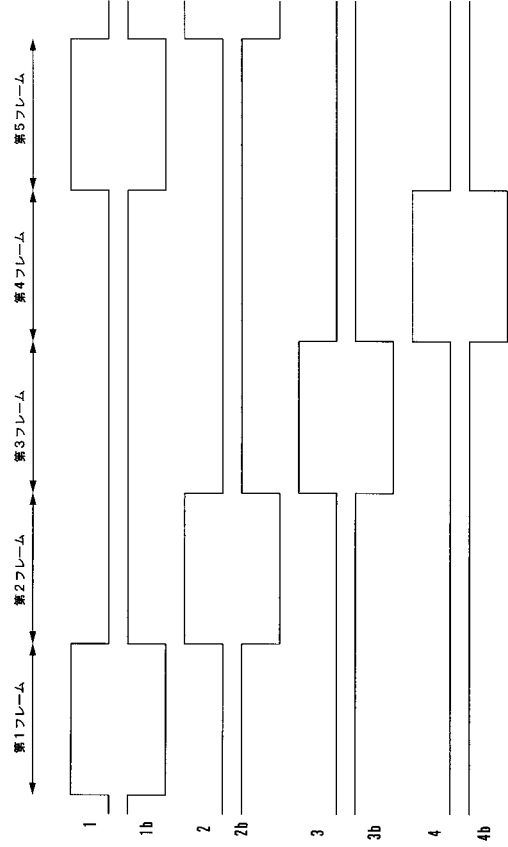
【図 6】



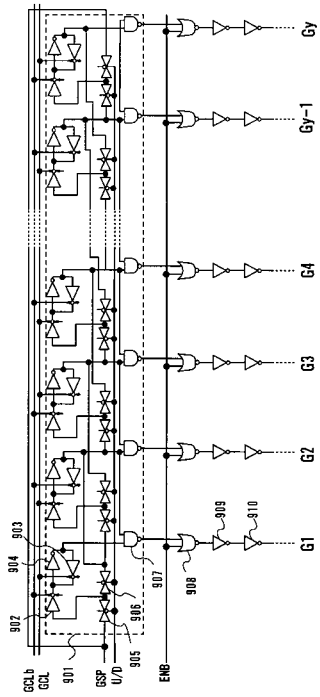
【図 7】



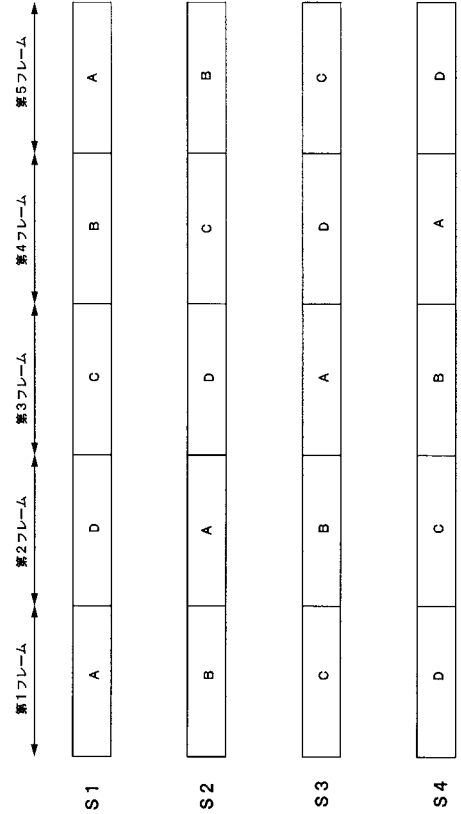
【図 8】



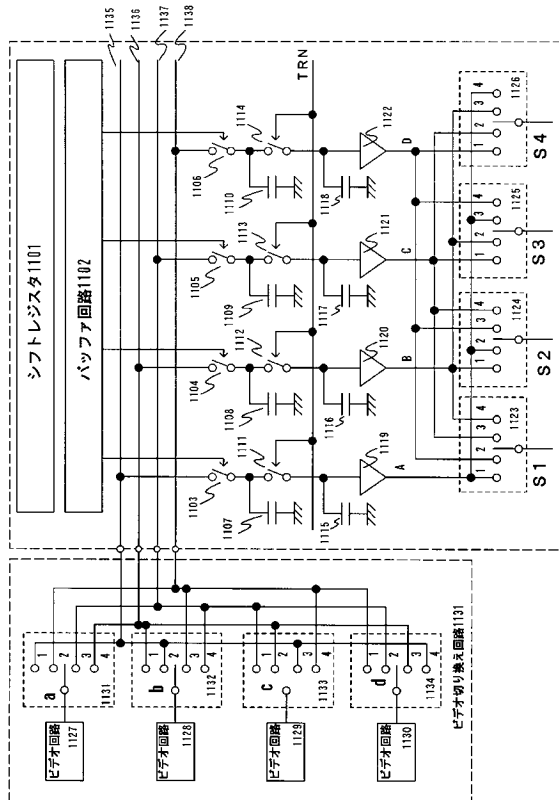
【図 9】



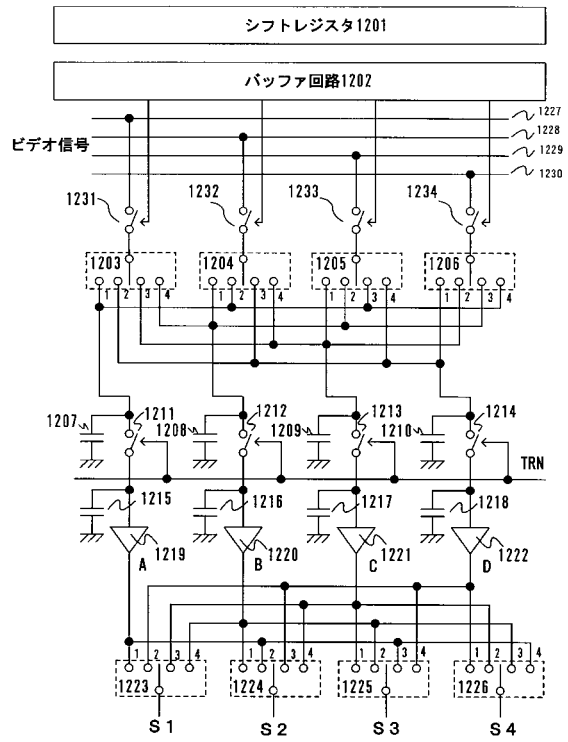
【図 10】



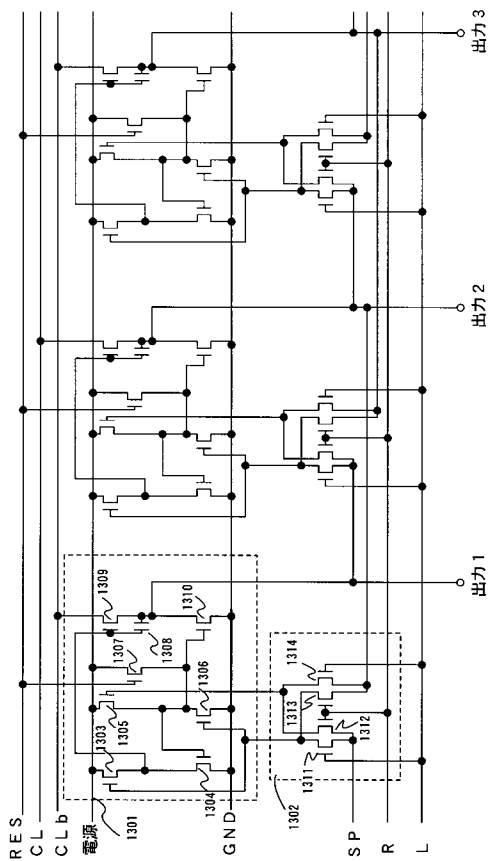
【 図 1 1 】



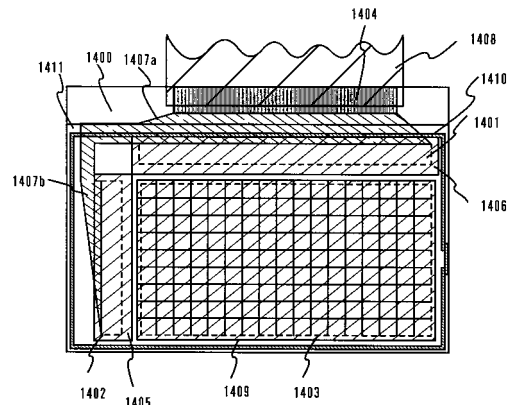
【 図 1 2 】



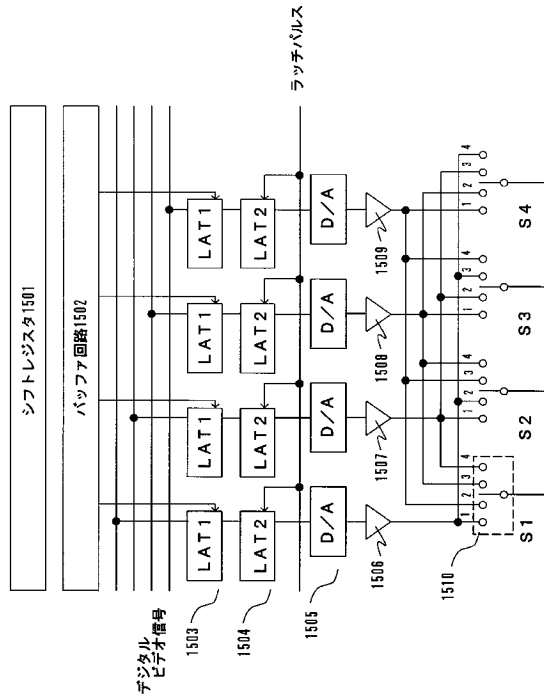
【 図 1 3 】



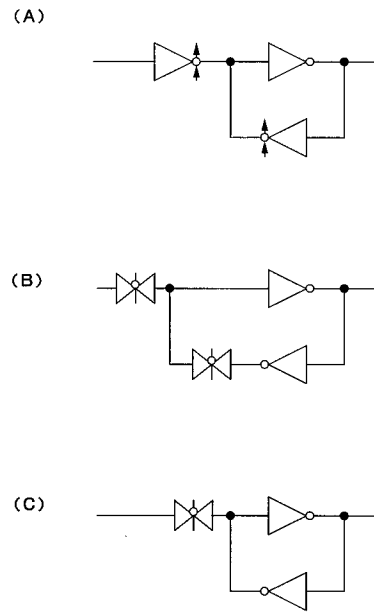
【 図 1 4 】



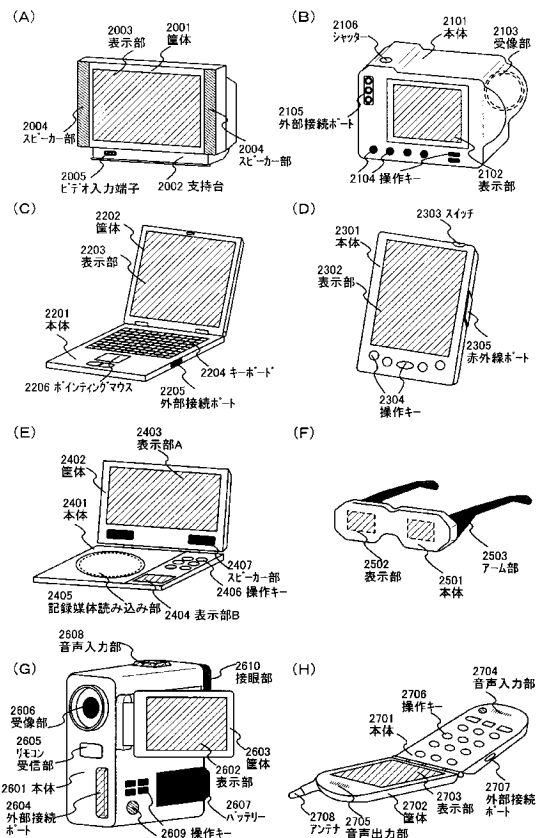
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)

G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 8 0 G

(72)発明者 平山 泰弘
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 李 副烈
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H093 NA16 NA43 NC09 NC16 NC21 NC22 NC23 NC26 NC27 NC29
NC34 ND09 ND33 ND37 NH18
5C006 AA01 AA22 AF43 AF46 AF51 AF53 AF71 AF83 BB16 BC12
BC20 BF03 BF04 BF25 FA18 FA22 GA02
5C080 AA10 BB05 CC03 DD05 DD28 EE28 FF11 JJ02 JJ03 JJ04

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2004094058A5	公开(公告)日	2005-10-27
申请号	JP2002257210	申请日	2002-09-02
[标]申请(专利权)人(译)	株式会社半导体能源研究所 夏普株式会社		
申请(专利权)人(译)	半导体能源研究所有限公司 夏普公司		
[标]发明人	小山潤 塩野入豊 三宅博之 平山泰弘 李副烈		
发明人	小山 潤 塩野入 豊 三宅 博之 平山 泰弘 李 副烈		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G3/3648 G09G3/3677 G09G2300/0408 G09G2310/0297 G09G2320/0233		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.H G09G3/20.621.M G09G3/20.623.B G09G3/20.623.R G09G3/20.642.A G09G3/20.680.G		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC09 2H093/NC16 2H093/NC21 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC27 2H093/NC29 2H093/NC34 2H093/ND09 2H093/ND33 2H093/ND37 2H093/NH18 5C006/AA01 5C006/AA22 5C006/AF43 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF25 5C006/FA18 5C006/FA22 5C006/GA02 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD32		
其他公开文献	JP2004094058A		

摘要(译)

本发明提供一种具有模拟缓冲电路的液晶显示装置，其可以获得亮度不均匀的屏幕。源信号线驱动电路具有多个模拟缓冲电路，多个源信号线和多个模拟缓冲电路构成电路组，电路组中的模拟缓冲电路和源信号线具有周期。通过采用每次连接改变的配置，可以平均模拟缓冲电路的输出变化并获得均匀的屏幕。[选图]图1