

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-94058  
(P2004-94058A)

(43) 公開日 平成16年3月25日(2004.3.25)

(51) Int.Cl.<sup>7</sup>**G09G 3/36**  
**G02F 1/133**  
**G09G 3/20**

F 1

G09G 3/36  
G02F 1/133 550  
G09G 3/20 611H  
G09G 3/20 621M  
G09G 3/20 623B

テーマコード(参考)

2 H 093  
5 C 006  
5 C 080

審査請求 未請求 請求項の数 17 O L (全 22 頁) 最終頁に続く

(21) 出願番号  
(22) 出願日特願2002-257210 (P2002-257210)  
平成14年9月2日 (2002.9.2)(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 小山 潤  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
(72) 発明者 塩野入 豊  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
(72) 発明者 三宅 博之  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

最終頁に続く

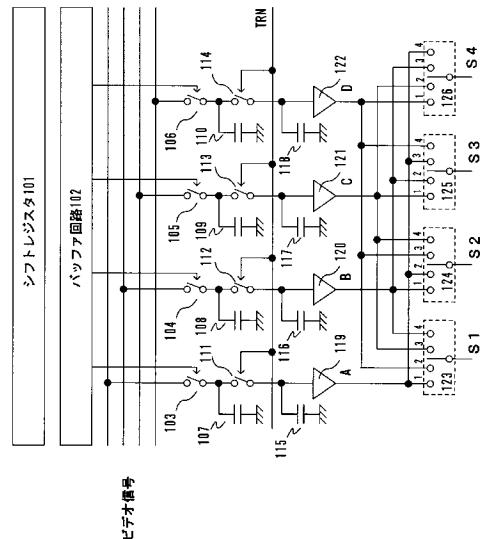
(54) 【発明の名称】 液晶表示装置および液晶表示装置の駆動方法

## (57) 【要約】

【課題】 アナログバッファ回路を有する液晶表示装置において、輝度ムラの少ない画面を得ることの出来る液晶表示装置を提供する。

【解決方法】 ソース信号線駆動回路は複数のアナログバッファ回路を有し、複数のソース信号線と複数のアナログバッファ回路は回路群を構成し、回路群内のアナログバッファ回路とソース信号線は期間毎に接続が変化する構成を取ることによって、アナログバッファ回路の出力バラツキを平均化し、均一な画面を得ることが出来る。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、前記回路群内のソース信号線は周期的に、前記回路群内の異なるアナログバッファ回路に接続されることを特徴とする液晶表示装置。

## 【請求項 2】

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と複数のアナログバッファ回路は回路群を構成し、前記回路群内のソース信号線は時間的にランダムに、前記回路群内の異なるアナログバッファ回路に接続されることを特徴とする液晶表示装置。

## 【請求項 3】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置において、 $n$  ( $n$  は 2  $n$  を満たす自然数) 本のソース信号線と  $n$  個のアナログバッファ回路は回路群を構成し、 $n$  個の期間が周期的に繰り返され、前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路に接続されることを特徴とした液晶表示装置。

## 【請求項 4】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置において、 $n$  ( $n$  は 2  $n$  を満たす自然数) 本のソース信号線と  $n$  個のアナログバッファ回路は回路群を構成し、 $n$  個の期間が時間的にランダムに繰り返され、前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路に接続されることを特徴とした液晶表示装置。

## 【請求項 5】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置において、 $n$  ( $n$  は 2  $n$  を満たす自然数) 本の前記ソース信号線と、 $n$  個の前記アナログバッファ回路は回路群を構成し、 $n$  個の期間が周期的に繰り返され、第  $r$  ( $n$  は 1  $r$   $n$  を満たす自然数) の期間において、前記回路群内の第  $m$  ( $m$  は 1  $m$   $n - r + 1$  を満たす自然数) のソース信号線は第  $m + r - 1$  のアナログバッファ回路に、第 1 ( $1$  は  $n - r + 2$   $1$   $n$  を満たす自然数) のソース信号線は第  $1 - n + r - 1$  のアナログバッファ回路に接続されることを特徴とした液晶表示装置。

## 【請求項 6】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置において、 $n$  ( $n$  は 2  $n$  の自然数) 本の前記ソース信号線と、 $n$  個の前記アナログバッファ回路は、回路群を構成し、

$n$  個の期間が時間的にランダムに繰り返され、

第  $r$  ( $r$  は  $1 \leq r \leq n$  を満たす自然数) の期間において、前記回路群内の第  $m$  ( $m$  は  $1 \leq m \leq n - r + 1$  を満たす自然数) のソース信号線は第  $m + r - 1$  のアナログバッファ回路に、第  $1$  ( $1$  は  $n - r + 2 \leq 1 \leq n$  を満たす自然数) のソース信号線は第  $1 \leq n + r - 1$  のアナログバッファ回路に接続されることを特徴とした液晶表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、アナログバッファ回路はソースホロワであることを特徴とした液晶表示装置。

【請求項 8】

請求項 1 乃至請求項 6 のいずれか 1 項において、アナログバッファ回路はボルテージホロワであることを特徴とした液晶表示装置。 10

【請求項 9】

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、前記回路群内のソース信号線は周期的に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴とする液晶表示装置の駆動方法。

【請求項 10】

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、前記回路群内のソース信号線は、時間的にランダムに、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴とする液晶表示装置の駆動方法。 20

【請求項 11】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置において、

$n$  ( $n$  は  $2 \leq n \leq n$  を満たす自然数) 本のソース信号線と  $n$  個のアナログバッファ回路は回路群を構成し、 30

$n$  個の期間が周期的に繰り返され、

前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴とした液晶表示装置の駆動方法。

【請求項 12】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置の駆動方法において、

$n$  ( $n$  は  $2 \leq n \leq n$  を満たす自然数) 本のソース信号線と  $n$  個のアナログバッファ回路は回路群を構成し、 40

$n$  個の期間が時間的にランダムに繰り返され、

前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴とした液晶表示装置の駆動方法。

【請求項 13】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、

$n$  ( $n$  は  $2 \leq n \leq n$  を満たす自然数) 本のソース信号線と、 $n$  個の前記アナログバッファ回路は回路群を構成し、

$n$  個の期間が周期的に繰り返され、 50

第  $r$  ( $r$  は  $1 \leq r \leq n$  を満たす自然数) の期間において、前記回路群内の第  $m$  ( $m$  は  $1 \leq m \leq n - r + 1$  を満たす自然数) のソース信号線は第  $m + r - 1$  のアナログバッファ回路によって、第  $1$  ( $1$  は  $n - r + 2 \leq 1 \leq n$  を満たす自然数) のソース信号線は第  $1 \leq n + r - 1$  のアナログバッファ回路によって駆動されることを特徴とした液晶表示装置の駆動方法。

【請求項 14】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、  
10

$n$  ( $n$  は  $2 \leq n \leq n$  を満たす自然数) 本のソース信号線と、 $n$  個のアナログバッファ回路は回路群を構成し、

$n$  個の期間が時間的にランダムに繰り返され、

第  $r$  ( $r$  は  $1 \leq r \leq n$  を満たす自然数) の期間において、前記回路群内の第  $m$  ( $m$  は  $1 \leq m \leq n - r + 1$  を満たす自然数) のソース信号線は第  $m + r - 1$  のアナログバッファ回路によって、第  $1$  ( $1$  は  $n - r + 2 \leq 1 \leq n$  を満たす自然数) のソース信号線は第  $1 \leq n + r - 1$  のアナログバッファ回路によって駆動されることを特徴とした液晶表示装置の駆動方法。

【請求項 15】

請求項 9 乃至請求項 14 のいずれか 1 項において、アナログバッファ回路はソースホロワであることを特徴とした液晶表示装置の駆動方法。  
20

【請求項 16】

請求項 9 乃至請求項 14 のいずれか 1 項において、アナログバッファ回路はボルテージホロワであることを特徴とした液晶表示装置の駆動方法。

【請求項 17】

請求項 1 乃至請求項 8 のいずれか 1 項に記載の前記液晶表示装置を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に関し、特にガラス、プラスチックなどの透明基板上に形成された薄膜トランジスタ (TFT) を用いた液晶表示装置およびその駆動方法に関する。また、液晶表示装置を用いた電子機器に関する。  
30

【0002】

【従来の技術】

近年、通信技術の進歩に伴って、携帯電話が普及している。今後は更に動画の伝送やより多くの情報伝達が予想される。一方、パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳に始まった PDA と呼ばれる情報端末も多数生産され、普及しつつある。また、表示装置の発展により、それらの情報携帯機器のほとんどにはフラットパネルディスプレイが装備されている。

【0003】

さらに、最近の技術では、それら使用される表示装置として、アクティブマトリクス型表示装置を使用する方向に向かっている。アクティブマトリクス型表示装置は画素 1 つずつに対して TFT を配置し、その TFT によって画面を制御している。このようなアクティブマトリクス型表示装置はパッシブマトリクス型表示装置と比較して、高性能化、高画質化、動画対応などの長所を持っている。それゆえに、液晶表示装置もパッシブからアクティブに主流が移ると考えられる。  
40

【0004】

また、アクティブマトリクス型の表示装置の中でも、近年、低温ポリシリコンを用いた表示装置の製品化が進められている。低温ポリシリコンでは画素だけでなく、画素部の周囲に駆動回路を一体形成することが可能である為、表示装置の小型化や、高精細化が可能で  
50

あるため、今後はさらに普及が見込まれる。

【0005】

以下に、アクティブマトリクス型の液晶表示装置の画素部の動作について説明する。図3に、アクティブマトリクス型液晶表示装置の構成の例を示す。一つの画素302はソース信号線S1とゲート信号線G1と容量線C1と画素TFT303と保持容量304より構成される。ただし、容量線は他の配線などと兼用できれば必ずしも必要ではない。画素TFT303のゲート電極は、ゲート信号線G1に接続され、画素TFT303のドレイン領域またはソース領域の1方は、ソース信号線S1に接続され、もう一方は、保持容量304及び画素電極305に接続されている。

【0006】

ゲート信号線はライン周期にて順次選択されていく。画素TFTがNchの場合はゲート信号線がHiのときにアクティブとなり、画素TFTがオンとなる。画素TFTがオンになるとソース信号線の電位が保持容量と液晶に書き込まれる。次のライン期間には隣のゲート信号線がアクティブとなり、同様にして保持容量と液晶にソース信号線の電位を書き込んでいく。(例えは、特許文献1参照)。

【0007】

次にソース線駆動回路の動作について説明する。図2は従来のソース信号線駆動回路の例を示す。図2はアナログ方式の点順次駆動のソース信号線駆動回路の例である。この例では、シフトレジスタ201、NAND回路207、バッファ回路208、アナログスイッチ209によって、構成されている。まず、シフトレジスタの初段にスイッチ206を介してソーススタートパルスSSPが入力される。スイッチ206はシフトレジスタの走査方向を規定するもので、SL/RがLoのとき図2では左から右に、Hiのときに右から左に走査が行なわれる。シフトレジスタの各段はDFF202によって構成され、DFF202はクロックドインバータ203、204、インバータ205によって構成され、クロックパルスCLおよびCLbが入力されるごとにパルスをシフトしていく。

【0008】

シフトレジスタの出力はNAND回路207を介して、バッファ回路208に入力される。バッファ回路の出力によってアナログスイッチ209～212はオンになり、ビデオ信号をソース信号線S1～S4にサンプリングしていく。(例えは、特許文献2参照)。

【0009】

液晶パネルサイズが中型、小型である場合には、以上に説明したような点順次駆動でパネルを動作させることができるが、大型パネルではソース信号線の配線容量が100pF程度となり、ソース信号線自体の遅延時間が大きくなる為、点順次駆動ではソース信号線の書き込み時間が不足し、書き込みを行うことが不可能となる。よって、大型パネルではデータを一度ソース信号線駆動回路内部のメモリに蓄え、次の1ライン期間を使用して、ソース信号線に書き込みを行う線順次駆動が必要となる。

【0010】

このような線順次駆動を行なう場合には、メモリのあとに、アナログバッファ回路が必要となる。図4に線順次に対応したソース信号線駆動回路の例をしめす。アナログスイッチ401～404までの動作は図2に示した点順次対応のソース信号線駆動回路と同様である。図2と比較してアナログスイッチ401～404が駆動するのはソース信号線ではなく、アナログメモリとしての容量405～408である。1ライン分のデータが順次アナログメモリに蓄えられると、次の帰線期間中にTRN、TRNbの信号がアクティブになり、アナログスイッチ409～412がオンになる。これによって、アナログメモリ405～408のデータはアナログメモリ容量413～416に転送される。

【0011】

そして、次のサンプリングのため、アナログスイッチ401～404がオンするまえに、アナログスイッチ409～412はオフとなる。アナログメモリ413～416のデータはアナログバッファ回路417～420を介して、ソース信号線S1～S4に出力される。アナログメモリ413～416のデータは1ライン期間の間保持されるため、アナログ

10

20

30

40

50

バッファ回路 417～420 は 1 ライン期間の時間をかけてソース線を充電できる。このようにして、大型パネルはアナログメモリ、アナログバッファ回路を有することにより、線順次駆動が可能となる。（例えば、特許文献 3 参照）

【0012】

特開平 1-289917 号公報（第 41～43 頁、第 15 図）

特開平 1-289917 号公報（第 11～13 頁、第 2 図）

特開昭 62-143095 号公報（第 7～12 頁、第 1 図）

【0013】

ところが、TFT を用いてアナログバッファ回路を用いるときに、このアナログバッファ回路のばらつきが問題になる。アナログバッファ回路にばらつきが生じると同じ階調の映像信号を入力しても、出力にばらつきが生じ、この結果、画面上では、すだれ状の縦縞が発生し、画質が非常に低下するという問題が発生する。

10

【0014】

【発明が解決しようとする課題】

低温ポリシリコンを用いて、液晶表示装置を製造する場合、ドライバー回路を一体形成することになるが、単結晶シリコンを用いて、ドライバー回路を製造した場合と比較して、トランジスタのばらつきが大きいという欠点がある。これは、結晶化のばらつきや、工程中の静電気によるダメージなどが原因と言われている。このようなばらつきを考えてドライバー回路を形成する場合、ロジック部よりアナログ動作をする部分、特に、アナログバッファ回路でばらつきが顕著に表れる。

20

【0015】

図 4 に示した従来のソース信号線駆動回路において、個々のアナログバッファ回路の出力電圧と複数のアナログバッファ回路の出力の平均値との差電圧を考える。平均出力値とアナログバッファ回路出力 A との差電圧を  $V_A$ 、同様に平均出力値とアナログバッファ回路出力 B、C、D との差電圧を  $V_B$ 、 $V_C$ 、 $V_D$  とする。さらに、それぞれの値が  $V_A$  を  $+100\text{mV}$ 、 $V_B$  を  $-100\text{mV}$ 、 $V_C$  を  $-50\text{mV}$ 、 $V_D$  を  $+30\text{mV}$  とすると、ソース信号線 S2 と S3 の間では差が  $50\text{mV}$  であるが、ソース信号線 S1 と S2 の間では  $200\text{mV}$  あり、人の目によって、階調差が認識される。

20

【0016】

【課題を解決するための手段】

30

前述した課題を解決する為、本発明では、アナログバッファ回路とソース信号線との間に切り替えスイッチを挟んで、スイッチを切り替え出力を入れ替えている。このような処理をすることによって、アナログバッファ回路の出力のばらつきは時間的に平均化され、表示ムラをめだたなくすることが可能である。

【0017】

以下に本発明の構成を示す。

【0018】

本発明は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、前記回路群内のソース信号線は、周期的に、前記回路群内の異なるアナログバッファ回路に接続されることを特徴としている。

40

【0019】

本発明は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、前記回路群中のソース信号線は、時間的にランダムに、前記回路群内の異なるアナログバッファ回路に接続されることを特徴としている。

【0020】

50

本発明は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置において、 $n$  ( $n$  は 2 ～  $n$  を満たす自然数) 本のソース信号線と  $n$  個のアナログバッファ回路は回路群を構成し、 $n$  個の期間が周期的に繰り返され、前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路に接続されることを特徴としている。

#### 【 0 0 2 1 】

本発明は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置において、 $n$  ( $n$  は 2 ～  $n$  を満たす自然数) 本のソース信号線と  $n$  個のアナログバッファ回路は回路群を構成し、 $n$  個の期間が時間的にランダムに繰り返され、前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路に接続されることを特徴としている。

#### 【 0 0 2 2 】

本発明は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置において、 $n$  ( $n$  は 2 ～  $n$  を満たす自然数) 本のソース信号線と、 $n$  個のアナログバッファ回路は回路群を構成し、 $n$  個の期間が周期的に繰り返され、第  $r$  ( $r$  は 1 ～  $r$  ～  $n$  を満たす自然数) の期間において、前記回路群内の第  $m$  ( $m$  は 1 ～  $m$  ～  $n - r + 1$  を満たす自然数) のソース信号線は第  $m + r - 1$  のアナログバッファ回路に、第 1 ( $1$  は  $n - r + 2$  ～ 1 ～  $n$  を満たす自然数) のソース信号線は第 1 ～  $n + r - 1$  のアナログバッファ回路に接続されることを特徴としている。

#### 【 0 0 2 3 】

本発明は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置において、 $n$  ( $n$  は 2 ～  $n$  を満たす自然数) 本のソース信号線と、 $n$  個のアナログバッファ回路は回路群を構成し、 $n$  個の期間が時間的にランダムに繰り返され、第  $r$  ( $r$  は 1 ～  $r$  ～  $n$  を満たす自然数) の期間において、前記回路群内の第  $m$  ( $m$  は 1 ～  $m$  ～  $n - r + 1$  を満たす自然数) のソース信号線は第  $m + r - 1$  のアナログバッファ回路に、第 1 ( $1$  は  $n - r + 2$  ～ 1 ～  $n$  を満たす自然数) のソース信号線は第 1 ～  $n + r - 1$  のアナログバッファ回路に接続されることを特徴としている。

#### 【 0 0 2 4 】

上記本発明の構成において、アナログバッファ回路はソースホロワ、または、ボルテージホロワであることを特徴としている。

#### 【 0 0 2 5 】

本発明液晶表示装置の駆動方法は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、前記回路群内のソース信号線は周期的に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴としている。

#### 【 0 0 2 6 】

本発明液晶表示装置の駆動方法は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記複数のソース信号線と前記複数のアナログバッファ回路は回路群を構成し、前記回路群内のソース信号線は、時間的にランダムに、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴としている。

#### 【 0 0 2 7 】

10

20

30

40

50

本発明液晶表示装置の駆動方法は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置において、 $n$  ( $n$  は 2 ～  $n$  を満たす自然数) 本のソース信号線と  $n$  個のアナログバッファ回路は回路群を構成し、 $n$  個の期間が周期的に繰り返され、前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴としている。

【 0 0 2 8 】

本発明液晶表示装置の駆動方法は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するための複数のアナログバッファ回路を有する液晶表示装置の駆動方法において、 $n$  ( $n$  は 2 ～  $n$  を満たす自然数) 本のソース信号線と、 $n$  個アナログバッファ回路は回路群を構成し、 $n$  個の期間が時間的にランダムに繰り返され、前記回路群内のソース信号線は、それぞれの期間毎に、前記回路群内の異なるアナログバッファ回路によって駆動されることを特徴としている。

【 0 0 2 9 】

本発明液晶表示装置の駆動方法は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、 $n$  ( $n$  は 2 ～  $n$  を満たす自然数) 本のソース信号線と、 $n$  個のアナログバッファ回路は回路群を構成し、 $n$  個の期間が周期的に繰り返され、第  $r$  ( $r$  は 1 ～  $r$  ～  $n$  を満たす自然数) の期間において、前記回路群内の第  $m$  ( $m$  は 1 ～  $m$  ～  $n - r + 1$  を満たす自然数) のソース信号線は第  $m + r - 1$  のアナログバッファ回路によって、第 1 ( $1$  は  $n - r + 2$  ～  $1$  ～  $n$  を満たす自然数) のソース信号線は第 1 ～  $n + r - 1$  のアナログバッファ回路によって駆動されることを特徴としている。

【 0 0 3 0 】

本発明液晶表示装置の駆動方法は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、 $n$  ( $n$  は 2 ～  $n$  を満たす自然数) 本のソース信号線と、 $n$  個のアナログバッファ回路は回路群を構成し、 $n$  個の期間が時間的にランダムに繰り返され、第  $r$  ( $r$  は 1 ～  $r$  ～  $n$  を満たす自然数) の期間において、前記回路群内の第  $m$  ( $m$  は 1 ～  $m$  ～  $n - r + 1$  を満たす自然数) のソース信号線は第  $m + r - 1$  のアナログバッファ回路によって、第 1 ( $1$  は  $n - r + 2$  ～  $1$  ～  $n$  を満たす自然数) のソース信号線は第 1 ～  $n + r - 1$  のアナログバッファ回路によって駆動されることを特徴としている。

【 0 0 3 1 】

上記、本発明の液晶表示装置の駆動方法において、アナログバッファ回路はソースホロワ、または、ボルテージホロワであることを特徴としている。

【 0 0 3 2 】

以上によって、絶縁基板上に構成したアナログバッファ回路に出力ばらつきがあっても、表示において画面上に縦縞が発生するのを防止することができる。

【 0 0 3 3 】

【 発明の実施の形態 】

以下、本発明の実施形態を図面を用いて詳細に説明する。

【 0 0 3 4 】

図 1 に本発明の液晶表示装置を示す。シフトレジスタ等は従来例で説明したものと同様である。従来と異なるのはアナログバッファ回路 119 ～ 122 とソース信号線 S1 ～ S4 の間にスイッチ 123 ～ 126 があることである。以下に本実施形態の動作を説明する。スイッチ 123 ～ 126 は 4 接点のスイッチを例にとり、説明をおこなっているが、本発明は 4 接点に限らず、接点数が異なっていても本発明は成り立つものである。

10

20

30

40

50

## 【0035】

本発明ではスイッチ123～126は、接続内容が切り替わる。ここではその周期を1フレームとして説明するが、本発明はそれに限定するものではない。以下、説明をおこなう。ソース信号線S1～S4、アナログバッファ回路119～122を回路群として考え、その中の接続変更を考える。まず第1フレームでは、スイッチ123～126は「1」の接続状態にあり、この場合アナログバッファ回路119の出力Aはソース信号線S1に接続されている。同様にアナログバッファ回路120～122の出力B、C、Dはソース信号線S2、S3、S4に接続されている。

## 【0036】

次に、第2フレームでは、スイッチ123～126は「2」の接続状態にあり、アナログバッファ回路119の出力Aはソース信号線S2に接続される。同様にアナログバッファ回路120～122の出力B、C、Dはそれぞれソース信号線S3、S4、S1に接続される。次に、第3フレームでは、スイッチ123～126は「3」の接続状態にあり、アナログバッファ回路119の出力Aはソース信号線S3に接続される。同様にアナログバッファ回路120～122の出力B、C、Dはそれぞれソース信号線S4、S1、S2に接続される。

## 【0037】

次に、第4フレームでは、スイッチ123～126は「4」の接続状態にあり、アナログバッファ回路119の出力Aはソース信号線S4に接続される。同様にアナログバッファ回路120～122の出力B、C、Dはそれぞれソース信号線S1、S2、S3に接続される。

## 【0038】

次に、第5フレームでは、スイッチ123～126は再び「1」の接続状態にあり、アナログバッファ回路119の出力Aはソース信号線S1に接続される。同様にアナログバッファ回路120～122の出力B、C、Dはそれぞれソース信号線S2、S3、S4に接続される。このように、スイッチ123～126は4フレームの周期で接続変更を繰り返す。すなわち、ソース信号線S1～S4と、アナログバッファ回路120～122は回路群を構成し、それぞれの期間毎に、接続関係が変化していく。

## 【0039】

スイッチが4接点であるため、4フレーム周期で変化しているが、前述した様に、接点数を変えることによって、周期は変更することが可能である。またフレームごとにこだわる必要もない。目視上で平均化が可能な周期であればよい。ソース信号線ごとに対応するアナログバッファ回路の出力を図10に示す。

## 【0040】

従来例のように、個々のアナログバッファ回路の出力電圧と複数のアナログバッファ回路の出力の平均値との差電圧を考える。出力平均値とアナログバッファ回路出力Aとの差電圧をVA、同様に出力平均値とアナログバッファ回路出力B、C、Dとの差電圧をVB、VC、VDとすると、人間の目にはこれらが平均化されて見える為、ソース信号線S1、S2、S3、S4の出力電位差はいずれも( $VA + VB + VC +VD$ ) / 4の様になる。

## 【0041】

従来例と同様にVAを+100mV、VBを-100mV、VCを-50mV、VDを+30mVとすると、平均化された結果、ソース信号線S1～S4の電圧は-5mVとなり、従来例で問題となったような隣接間で200mVの電位差が発生し、縦縞が目立つというような不具合を防止することが可能になる。

## 【0042】

以上はスイッチを4接点とし、繰り返しの期間を4期間としたが、期間は4に限らず、n(nは2nを満たす自然数)個の期間を設定し、第r(rは1r-nを満たす自然数)の期間において、回路群内の第m(mは1m-n-r+1を満たす自然数)のソース信号線は第m+r-1のアナログバッファに、第1(1はn-r+21nを満たす自

10

20

30

40

50

然数)のソース信号線は第1 - n + r - 1のアナログバッファに接続されるようになるとによって、目的とする効果を得ることができる。

【0043】

【実施例】

(実施例1)

図7に第1の実施例を示す。図7は図1に示したスイッチ123の具体的回路例である。スイッチはTFT701~708より構成され、それぞれのTFTのゲート端子に接続された制御線1~4bによって制御される。図8に制御線1~4bのタイミングチャートを示す。図8に示すような制御信号によって、図7におけるAは第一~第四フレームにおいて、ソース信号線S1~S4に接続される。図7に示した回路図はCMOS構成になっているが、NMOSもしくはPMOS構成にしてもよい。その場合は制御線数は半分にすることができる。

【0044】

(実施例2)

図5にアナログバッファ回路の例として、オペアンプの回路を示す。このタイプのアナログバッファ回路では、出力電圧のばらつきは差動回路を構成するTFT503、および504の特性ばらつきと、カレントミラー回路を構成するTFT501と502のばらつきとによって出力のばらつきが決まる。しかし、その組のTFTの隣接ばらつきが抑えられていれば、パネル全体のばらつきは大きくても問題ないので、集積回路ではよく使用される回路である。

【0045】

この例では、差動回路をNch、カレントミラー回路をPchで作成しているが、本発明では、それには限定されない。逆であっても良い。また、回路形式もこのような回路接続には限定されることではなく、オペアンプとしての機能を満たすものであれば使用可能である。

【0046】

(実施例3)

図6にアナログバッファ回路の例として、ソースホロワ回路の例を示す。ソースホロワ回路はバッファTFT601と定電流源602によって構成される。この例ではバッファTFTをNchで構成しているが、Pchであっても構わない。ソースホロワ回路は、Nchを使用した場合、入力電位に対して、出力電位がTFTのVgsだけ低下する、またはPchを使用した場合、入力電位に対して、出力電位がTFTのVgsだけ上昇すると言う問題があるが、その反面、構成が簡単でCMOSでなくとも実現が可能であるという利点がある。TFT工程削減のため単極性のプロセスを採用する場合は、オペアンプ型のアナログバッファ回路を構成することが難しいため、ソースホロワが使用される。

【0047】

(実施例4)

図11は本発明の回路を使用するため、ソース信号線駆動回路に入力するビデオ信号を切り換える回路をソース信号線駆動回路の外側に配置した例である。本発明のソース信号線切り換えをアナログスイッチとソース信号線の間のみでおこなうと、出力バラツキは低減されるが、アナログバッファの出力は4本のソース信号線に出力されるため、画像は正規の画像がまったく得られない。よって、アナログバッファ回路に入力される前にあらかじめ、信号を入れ換えておき、アナログバッファ後のスイッチで再度入れ換えを行なうことによって、正常な画像を作り出すことが可能になる。

【0048】

発明の実施形態と同様にフレームごとに切り換えが行なわれるとした場合を考える。まず第1フレームにおいて、ビデオ回路1127の出力はスイッチ1131が「1」に接続され、ビデオ信号線1135に接続される。ビデオ信号線1135の信号はスイッチ1103とスイッチ1111を介して、アナログバッファ回路1119に入力される。第一フレームではスイッチ1123は「1」に接続されるためアナログバッファ回路1119の出

10

20

30

40

50

力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 2 8 、 1 1 2 9 、 1 1 3 0 の出力はそれぞれソース信号線 S 2 、 S 3 、 S 4 に接続される。

【 0 0 4 9 】

次に第 2 フレームにおいてビデオ回路 1 1 2 7 の出力はスイッチ 1 1 3 2 が「 2 」に接続され、ビデオ信号線 1 1 3 6 に接続される。ビデオ信号線 1 1 3 6 の信号はスイッチ 1 1 0 4 とスイッチ 1 1 1 2 を介して、アナログバッファ回路 1 1 2 0 に入力される。第 2 フレームではスイッチ 1 1 2 4 は「 2 」に接続されるためアナログバッファ回路 1 1 2 0 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 2 8 、 1 1 2 9 、 1 1 3 0 の出力はそれぞれソース信号線 S 2 、 S 3 、 S 4 に接続される。

【 0 0 5 0 】

次に第 3 フレームにおいて、ビデオ回路 1 1 2 7 の出力はスイッチ 1 1 3 3 が「 3 」に接続され、ビデオ信号線 1 1 3 7 に接続される。ビデオ信号線 1 1 3 7 の信号はスイッチ 1 1 0 5 とスイッチ 1 1 1 3 を介して、アナログバッファ回路 1 1 2 1 に入力される。第 3 フレームではスイッチ 1 1 2 5 は「 3 」に接続されるためアナログバッファ回路 1 1 2 1 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 2 8 、 1 1 2 9 、 1 1 3 0 の出力はそれぞれソース信号線 S 2 、 S 3 、 S 4 に接続される。

【 0 0 5 1 】

次に第 4 フレームにおいて、ビデオ回路 1 1 2 7 の出力はスイッチ 1 1 3 4 が「 4 」に接続され、ビデオ信号線 1 1 3 8 に接続される。ビデオ信号線 1 1 3 8 の信号はスイッチ 1 1 0 6 とスイッチ 1 1 1 4 を介して、アナログバッファ回路 1 1 2 2 に入力される。第 4 フレームではスイッチ 1 1 2 6 は「 4 」に接続されるためアナログバッファ回路 1 1 2 2 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 2 8 、 1 1 2 9 、 1 1 3 0 の出力はそれぞれソース信号線 S 2 、 S 3 、 S 4 に接続される。

【 0 0 5 2 】

このようにして、いずれのフレームにおいても、ビデオ回路 1 1 2 7 の出力はソース信号線 S 1 に接続される。これによって、画像は正常な状態で、かつ、フレーム毎に、使用するアナログバッファ回路を入れ換えることが可能である。同様にビデオ回路 1 1 2 8 、 1 1 2 9 、 1 1 3 0 の出力についてもそれぞれソース信号線 S 2 、 S 3 、 S 4 に、いずれのフレームにおいても接続される。

【 0 0 5 3 】

このような回路は TFT 基板の外側に別基板（プリント基板、フレキシブル基板）を設けて作成しても良いし、TFT 基板上に LSI チップを貼り付けても良いし、また、TFT を用いて同一基板上に形成してもよい。

【 0 0 5 4 】

（実施例 5 ）

図 1 2 は切り換え回路をソース信号線駆動回路に内蔵した例である。本実施例では、アナログバッファ回路の前の切り換え回路をビデオ信号線との間に設けた例である。

【 0 0 5 5 】

発明の実施形態と同様にフレームごとに切り換えが行なわれるとした場合を考える。まず第 1 フレームにおいて、ビデオ信号線 1 2 2 7 の出力はスイッチ 1 2 3 1 を通過した後、スイッチ 1 2 0 3 が「 1 」に接続され、アナログメモリ 1 2 0 7 とスイッチ 1 2 1 1 に接続される。スイッチ 1 2 1 1 を経てアナログメモリ 1 2 1 5 とアナログバッファ回路 1 2 1 9 に入力される。第 1 フレームではスイッチ 1 2 2 3 は「 1 」に接続されるためアナログバッファ回路 1 2 1 9 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ信号線 1 2 2 8 、 1 2 2 9 、 1 2 3 0 の出力はそれぞれソース信号線 S 2 、 S 3 、 S 4 に接続される。

【 0 0 5 6 】

次に第 2 フレームにおいて、ビデオ信号線 1 2 2 7 の出力はスイッチ 1 2 3 1 を通過した後、スイッチ 1 2 0 4 が「 2 」に接続され、アナログメモリ 1 2 0 8 とスイッチ 1 2 1 2 に接続される。スイッチ 1 2 1 2 を経てアナログメモリ 1 2 1 6 とアナログバッファ回路

10

20

30

40

50

1220に入力される。第2フレームではスイッチ1224は「2」に接続されるためアナログバッファ回路1220の出力はソース信号線S1に接続される。同様にして、ビデオ信号線1228、1229、1230の出力はそれぞれソース信号線S2、S3、S4に接続される。

【0057】

次に第3フレームにおいて、ビデオ信号線1227の出力はスイッチ1231を通過した後、スイッチ1205が「3」に接続され、アナログメモリ1209とスイッチ1213に接続される。スイッチ1213を経てアナログメモリ1217とアナログバッファ回路1221に入力される。第3フレームではスイッチ1225は「3」に接続されるためアナログバッファ回路1221の出力はソース信号線S1に接続される。同様にして、ビデオ信号線1228、1229、1230の出力はそれぞれソース信号線S2、S3、S4に接続される。

【0058】

次に第4フレームにおいて、ビデオ信号線1227の出力はスイッチ1231を通過した後、スイッチ1206が「4」に接続され、アナログメモリ1210とスイッチ1214に接続される。スイッチ1214を経てアナログメモリ1218とアナログバッファ回路1222に入力される。第4フレームではスイッチ1226は「4」に接続されるためアナログバッファ回路1222の出力はソース信号線S1に接続される。同様にして、ビデオ信号線1228、1229、1230の出力はそれぞれソース信号線S2、S3、S4に接続される。

【0059】

このようにして、いずれのフレームにおいても、ビデオ信号線1227の出力はソース信号線S1に接続される。これによって、画像は正常な状態で、かつ、フレーム毎に、使用するアナログバッファ回路を入れ換えることが可能である。同様にビデオ信号線1228、1229、1230の出力についてもそれぞれソース信号線S2、S3、S4に、いずれのフレームにおいても接続される。

【0060】

(実施例6)

本発明の実施形態、および実施例1ではスイッチの切り換えを周期的に決まった順序で行なっているがこの切り替えは固定したものではなくとも良い。すなわち、実施形態では最初の4フレームにおいて、ソース信号線S1がアナログバッファ出力A、D、C、Bと接続され、次の4フレームでもA、D、C、Bと接続される、それを周期的に繰り返していた。しかし、それとは別に最初の4フレームではA、D、C、Bであるが、次の4フレームはB、D、A、Cというように、出現の順番は固定ではなくランダムであっても良い。この場合、実施例1～実施例5に示した回路とは自由に組み合わせることができる。

【0061】

なお、本発明の表示装置は、本実施例のソース信号線駆動回路の構成に限らず、公知の構成のソース信号線駆動回路を自由に用いることができる。

【0062】

(実施例7)

本実施例では、本発明の表示装置のゲート信号線駆動回路の構成例について説明する。

【0063】

ゲート信号線駆動回路は、シフトレジスタ、走査方向切り換え回路等によって構成されている。なお、ここでは図示しなかったが、レベルシフタやバッファ等を適宜設けても良い。

【0064】

シフトレジスタには、スタートパルスGSP、クロックパルスGCL等が入力されて、ゲート信号線選択信号を出力している。ゲート信号線駆動回路の構成について、図9を用いて説明する。

【0065】

10

20

30

40

50

シフトレジスタ 901 は、クロックドインバータ 902 と 903、インバータ 904、NAND 907 によって構成されている。シフトレジスタ 901 には、スタートパルス GSP が入力され、クロックパルス GCL とその極性が反転した信号である反転クロックパルス GCLb によって、クロックドインバータ 902 及び 903 が導通状態、非導通状態と変化することによって、NAND 907 から順に、サンプリングパルスを出力する。

【0066】

また、走査方向切り換え回路は、スイッチ 905 及びスイッチ 906 によって構成され、シフトレジスタの操作方向を、図面向かって左右に切り換える働きをする。図 9 では、走査方向切り換え信号 U/D が Lo の信号に対応する場合、シフトレジスタは、図面向かって左から右に順に、サンプリングパルスを出力する。一方、走査方向切り換え信号 U/D が Hi の信号に対応する場合、図面向かって右から左に順にサンプリングパルスを出力する。

【0067】

シフトレジスタから出力されたサンプリングパルスは、NOR 908 に入力され、イネーブル信号 ENB と演算される。この演算は、サンプリングパルスのなまりによって、となり合うゲート信号線が同時に選択される状況を防ぐために行われる。NOR 908 から出力された信号は、バッファ 909、910 を介して、ゲート信号線 G1 ~ Gy に出力される。

【0068】

シフトレジスタに入力されるスタートパルス GSP、クロックパルス GCL 等は、外部のタイミングコントローラから入力されている。

【0069】

なお、本発明の表示装置は、本実施例のゲート信号線駆動回路の構成に限らず、公知の構成のゲート信号線駆動回路を自由に用いることができる。本実施例は本発明の他の実施例と組み合わせて使用することができる。

【0070】

(実施例 8)

図 15 にデジタル入力のソース信号線駆動回路の実施例を示す。シフトレジスタ 1501 の出力はバッファ回路 1502 を介して、ラッチ回路 1503 に入力される。ラッチ回路はバッファ回路の出力がアクティブになったときに、デジタルビデオ信号を取り込み記憶する機能を持っている。シフトレジスタが 1 ライン期間の間にデジタルビデオ信号を随時取り込んでいき、1 ライン分のデジタルデータが記憶される。1 ライン分の記憶の終了後、帰線期間中に、ラッチパルスが入力され、ラッチ回路 1503 のデータがラッチ回路 1504 に取り込まれる。

【0071】

ラッチ回路 1504 のデータは次の帰線期間まで保持されるため、その間に、ラッチ回路 1504 のデータは D/A コンバータ 1505 によって、アナログに変換される。D/A コンバータ 1505 の出力はアナログバッファ回路 1506 とスイッチ 1510 を介してソース信号線を駆動する。本実施例は本発明の他の実施例と組み合わせて使用することができる。

【0072】

ここで、スイッチ回路 1510 の動作は実施の形態にて説明したのと同等で、第 1 フレームにおいては、ソース信号線 S1 はアナログバッファ回路 1506 に接続され、第 2 フレームにおいては、アナログバッファ回路 1509 に接続され、第 3 フレームにおいては、アナログバッファ回路 1508 に接続され、第 4 フレームにおいてはアナログバッファ回路 1507 に接続される。このようにして、実施の形態と同様に、各ソース信号線はアナログバッファ回路の出力バラツキが平均化されるため、表示上のむらを低減することができ、画質を向上させることができる。本実施例は本発明の他の実施例と組み合わせて使用することができる。

【0073】

10

20

30

40

50

## (実施例 9)

図16に示すのは実施例8に示したラッチ回路の具体例である。図16(A)はクロックドインバータを用いたラッチ回路で、前述した信号線駆動回路のシフトレジスタにも使われているものである。図16(B)はインバータとアナログスイッチを組み合わせたものである。図16(C)は図16(B)よりアナログスイッチを1つ削除したもので、二つのインバータ回路のうち、出力がアナログスイッチに接続されるほうのインバータの駆動能力をアナログスイッチの駆動能力より小さく設計しておき、アナログスイッチの動作によって、記憶状態を変えられるようにしたものである。ラッチ回路としてはいずれを用いても良い。また、ここに示した以外の回路を用いても良い。本実施例は本発明の他の実施例と組み合わせて使用することができる。

10

## 【0074】

## (実施例 10)

図13は単極性のTFTを用いて、シフトレジスタを構成した例である。図13はNchの例であるが、単極性はNchのみまたはPchのみのいずれを用いても良い。単極性のプロセスを用いることによって、マスク枚数の低減が可能となる。

## 【0075】

図13において、スタートパルスは走査方向切り換えスイッチ1302に入力され、スイッチ用TFT1311を経て、シフトレジスタ1301に入力される。シフトレジスタはブートストラップを用いたセットリセット型のシフトレジスタである。以下にシフトレジスタ1301の動作を説明する。

20

## 【0076】

スタートパルスはTFT1303のゲートとTFT1306のゲートに入力される。TFT1306がオンになるとTFT1304のゲートはロウになりTFT1304はオフになる。また、TFT1310のゲートもロウになるためTFT1310もオフとなる。TFT1303のゲートは電源電位まで上がるため、まずTFT1309のゲートは電源-Vgsまで上昇する。出力1は初期電位がロウであるため、TFT1309は出力1と容量1308を充電しながらソース電位を上げていく、TFT1309のゲートが電源-Vgsまで上昇したときに、TFT1309はまだオンしているので、出力1はさらに上昇を続ける。TFT1309のゲートは放電経路がないので、ソースに合わせて上昇し、電源をこえてもさらに上昇を続ける。

30

## 【0077】

TFT1309のドレイン、及びソースが等電位になったときに、電流が出力に流れるのが停止し、そこでTFT1309の電位上昇が止まる。このようにして、出力1は電源電位に等しいハイ電位を出力できる。この時はCLbの電位はハイとする。CLbがロウに落ちると、容量1308電荷はTFT1309を介してCLbにぬけて、出力1はロウに落ちる。出力1のパルスは次の段のシフトレジスタに伝わっていく。以上が実施例13の回路の動作である。本実施例は本発明の他の実施例と組み合わせて使用することができる。

## 【0078】

## (実施例 11)

図14で示す上面図は、画素部1403、ソース信号線駆動回路1401、ゲート信号線駆動回路1402、FPC端子1408を貼り付ける外部入力端子1404、外部入力端子と各回路の入力部までを接続する配線1407a、1407bなどが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板1411とがシール材1410を介して貼り合わされている。

40

## 【0079】

ソース信号線駆動回路1401と重なるように対向基板側に遮光層1405が設けられ、ゲート信号線駆動回路1402と重なるように対向基板側に遮光層1406が形成されている。また、画素部1403上の対向基板側に設けられたカラーフィルタ1409は遮光層と、赤色(R)、緑色(G)、青色(B)の各色の着色層とが各画素に対応して設けら

50

れている。実際に表示する際には、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

#### 【0080】

ここでは、カラー化を図るためにカラーフィルタ1409を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

#### 【0081】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層1405、1406を設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

#### 【0082】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の隙間）や、駆動回路を遮光してもよい。

#### 【0083】

この様にして、液晶表示装置が完成する。なお、本実施例では、透過型のアクティブマトリクス型液晶表示装置の作製方法を示したが、反射型のアクティブマトリクス型液晶表示装置も同様の手法で作製可能である。本実施例は本発明の他の実施例と組み合わせて使用することができる。

#### 【0084】

##### （実施例12）

以上のようにして作製される液晶表示装置は、液晶モジュールを構成でき、さらに液晶表示装置は各種電子機器の表示部として用いることができる。以下に、本発明を用いて形成された液晶表示装置を表示媒体として組み込んだ電子機器について説明する。

#### 【0085】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パソコンコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうる表示装置を備えた装置）などが挙げられる。それらの一例を図17に示す。

#### 【0086】

図17（A）は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明により作製した発光装置をその表示部2003に用いることにより作製される。発光素子を有する発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

#### 【0087】

図17（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明により作製した発光装置をその表示部2102に用いることにより作製される。

#### 【0088】

図17（C）はノート型パソコンコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス

10

20

30

40

50

2206等を含む。本発明により作製した発光装置をその表示部2203に用いることにより作製される。

【0089】

図17(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明により作製した発光装置をその表示部2302に用いることにより作製される。

【0090】

図17(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明により作製した発光装置をこれら表示部A、B2403、2404に用いることにより作製される。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0091】

図17(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明により作製した発光装置をその表示部2502に用いることにより作製される。

【0092】

図17(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明により作製した発光装置をその表示部2602に用いることにより作製される。

【0093】

ここで図17(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明により作製した発光装置をその表示部2703に用いることにより作製される。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0094】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することができる。また、本実施例の電子機器は実施例1~4のどのような組み合わせからなる構成を用いても実現することができる。

【0095】

【発明の効果】

従来の液晶表示装置では、アナログバッファ回路を出力に用いた場合、そのバラツキによって、縦縞が発生し、画質が低下するという問題があった。

【0096】

本発明は、アナログバッファ回路の出力を時間的に切り換えて、出力電圧のばらつきを平均化することによって、出力ばらつきの低減ができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置のソース信号線駆動回路のブロック図。

【図2】従来の液晶表示装置のソース信号線駆動回路のブロック図。

【図3】液晶表示装置の画素部の構成を示す図。

【図4】従来の液晶表示装置のソース信号線駆動回路のブロック図。

【図5】オペアンプ型のアナログバッファの回路図。

【図6】ソースホロワ型アナログバッファの回路図。

【図7】本発明のスイッチの回路図。

【図8】本発明のスイッチのタイミングチャートを示す図。

【図9】本発明のゲート信号線駆動回路の回路図。

10

20

30

40

50

【図10】ソース信号線とアナログバッファ回路の接続を示す図。

【図11】本発明の液晶表示装置のビデオ信号切り換えを示した図。

【図12】本発明の液晶表示装置のビデオ信号切り換えを示した図。

【図13】単極性のトランジスタを用いたシフトレジスタの回路図。

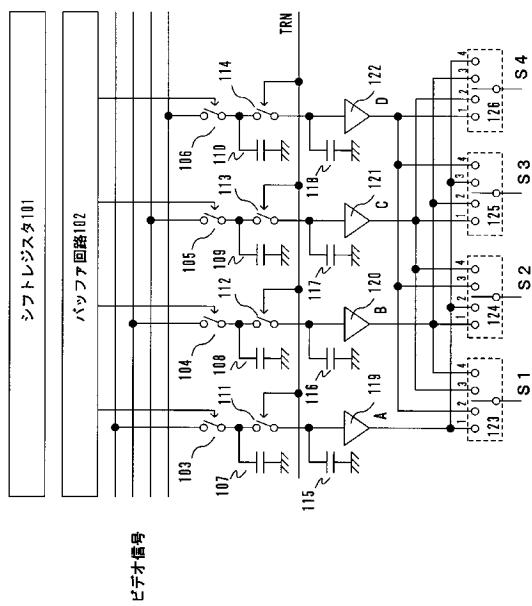
【図14】本発明の液晶表示装置の外観図。

【図15】本発明を用いたデジタルソース信号線駆動回路のブロック図。

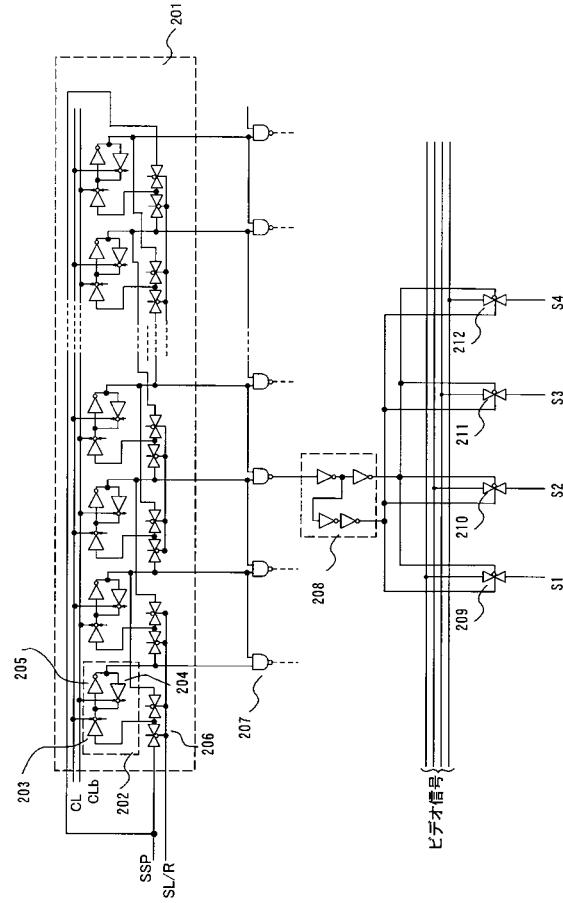
【図16】デジタルソース信号線駆動回路のラッチ回路の回路図。

【図17】本発明の液晶表示装置を用いた電子機器の図。

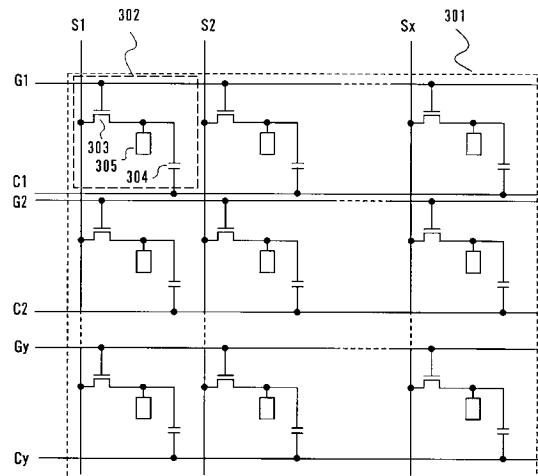
【図1】



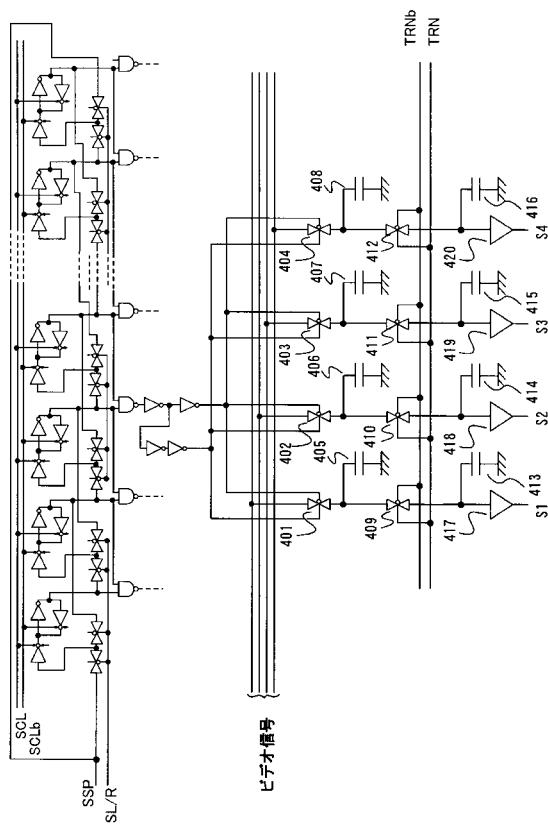
【図2】



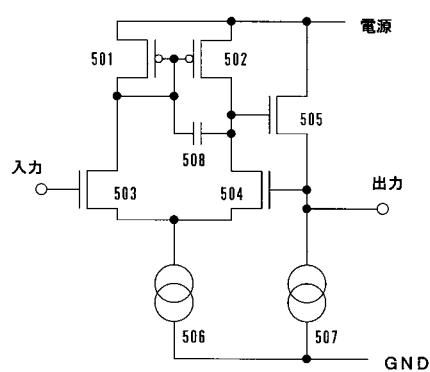
【図3】



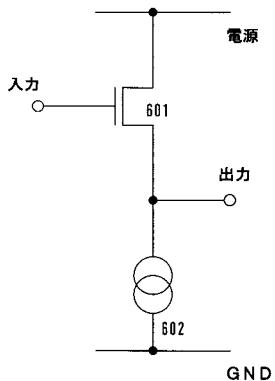
【図4】



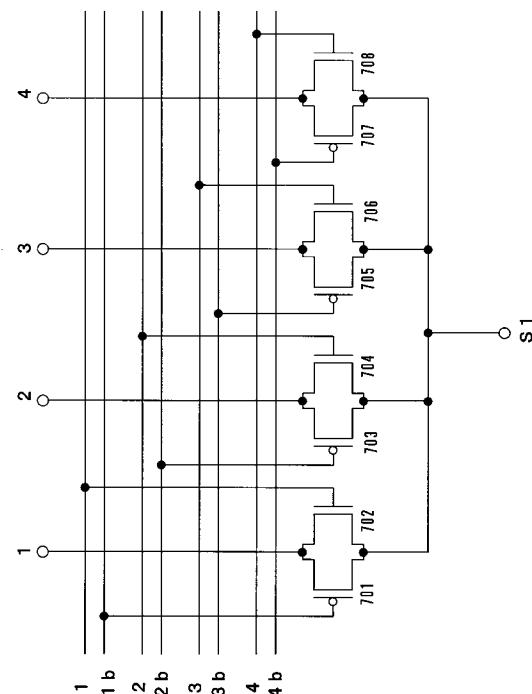
【図5】



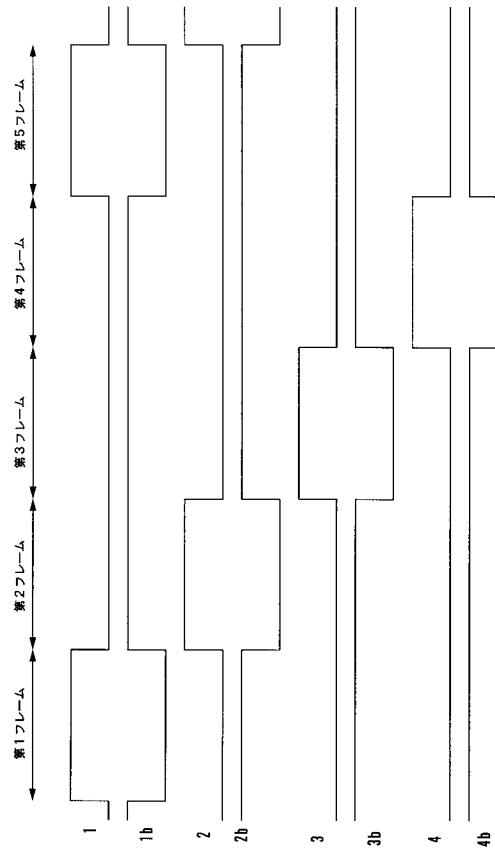
【図6】



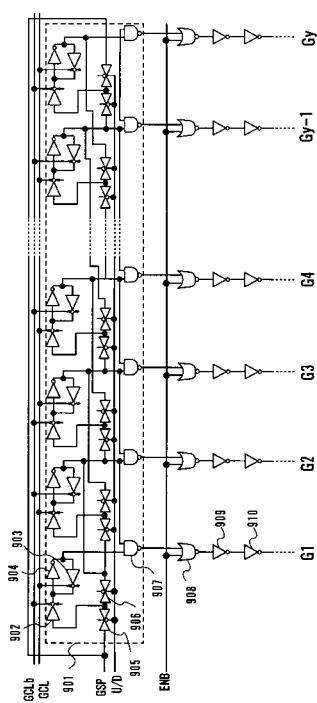
【図7】



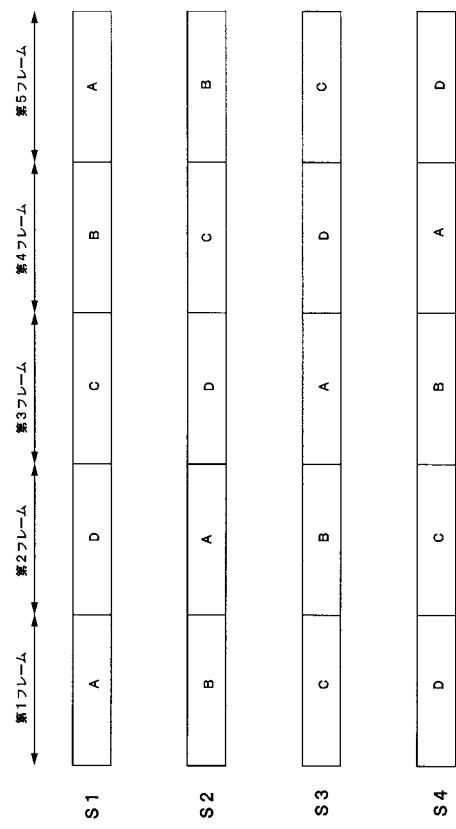
【 义 8 】



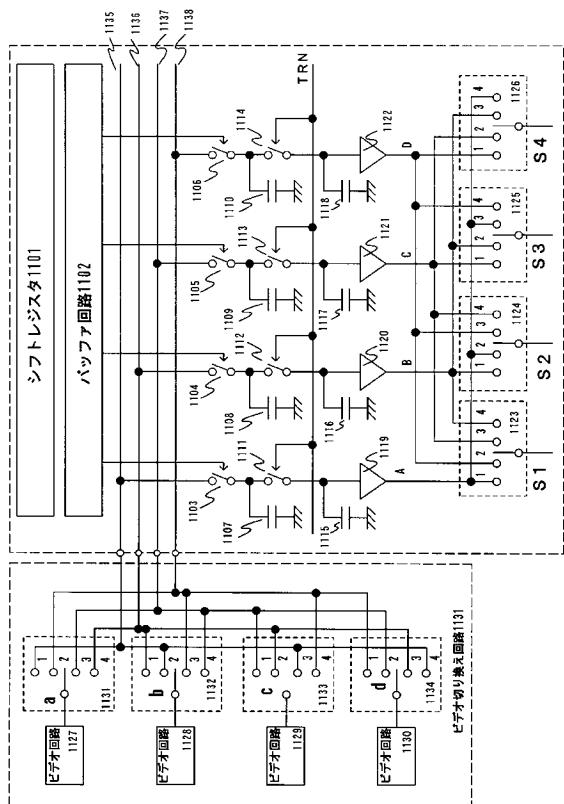
【図9】



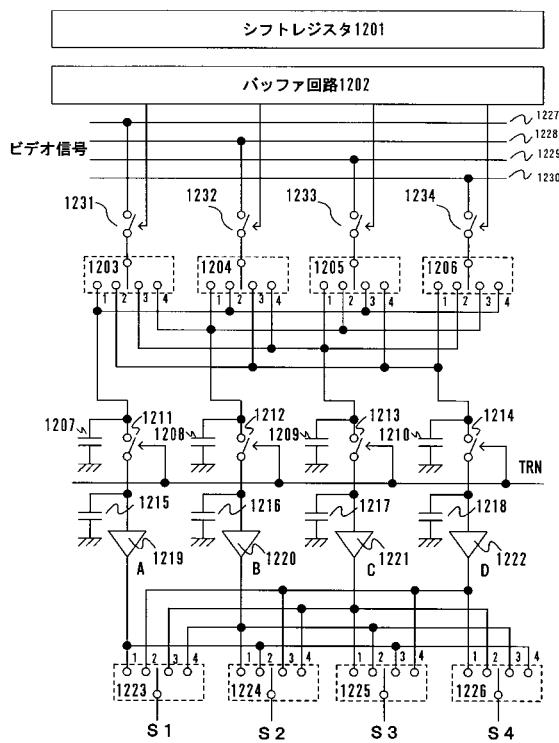
【 図 1 0 】



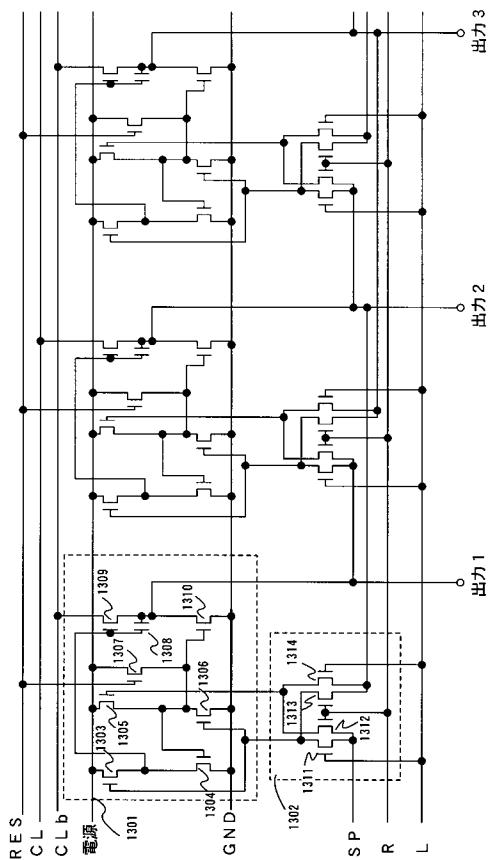
【図 1 1】



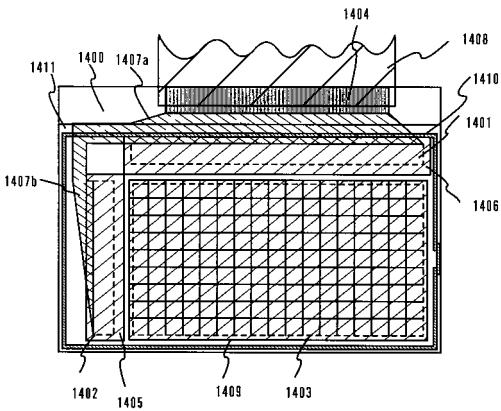
【図 1 2】



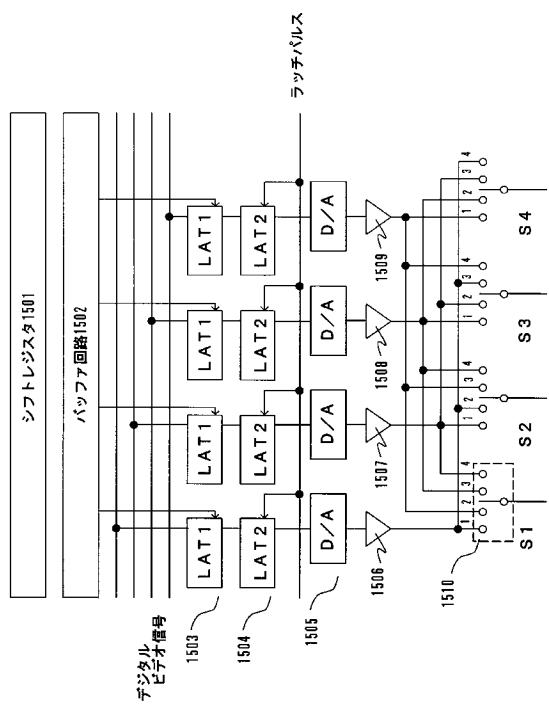
【図 1 3】



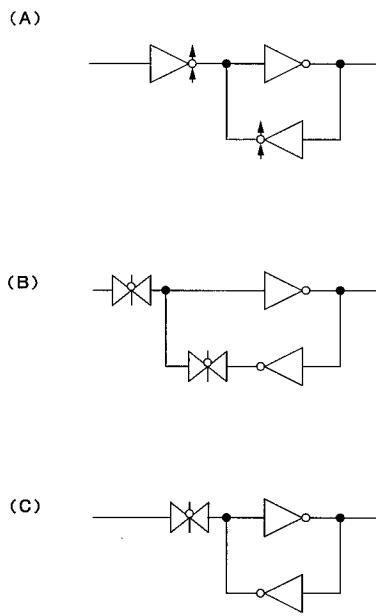
【図 1 4】



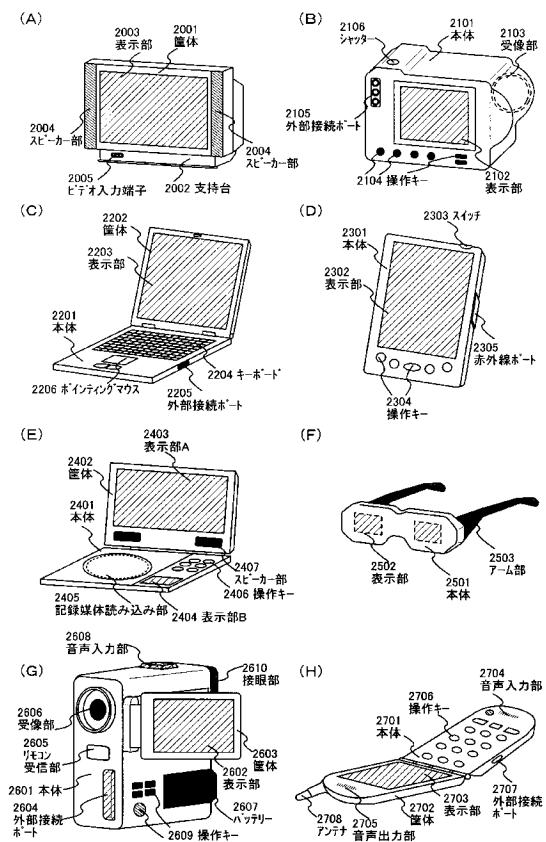
【図15】



【図16】



【図17】



## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 8 0 G

(72)発明者 平山 泰弘

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 李 副烈

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

F ターム(参考) 2H093 NA16 NA43 NC09 NC16 NC21 NC22 NC23 NC26 NC27 NC29

NC34 ND09 ND33 ND37 NH18

5C006	AA01	AA22	AF43	AF46	AF51	AF53	AF71	AF83	BB16	BC12
BC20	BF03	BF04	BF25	FA18	FA22	GA02				
5C080	AA10	BB05	CC03	DD05	DD28	EE28	FF11	JJ02	JJ03	JJ04

专利名称(译)	液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	<a href="#">JP2004094058A</a>	公开(公告)日	2004-03-25
申请号	JP2002257210	申请日	2002-09-02
[标]申请(专利权)人(译)	株式会社半导体能源研究所 夏普株式会社		
申请(专利权)人(译)	半导体能源研究所有限公司 夏普公司		
[标]发明人	小山潤 塙野入豊 三宅博之 平山泰弘 李副烈		
发明人	小山潤 塙野入豊 三宅博之 平山泰弘 李副烈		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G3/3648 G09G3/3677 G09G2300/0408 G09G2310/0297 G09G2320/0233		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.H G09G3/20.621.M G09G3/20.623.B G09G3/20.623.R G09G3/20.642.A G09G3/20.680.G		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC09 2H093/NC16 2H093/NC21 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC27 2H093/NC29 2H093/NC34 2H093/ND09 2H093/ND33 2H093/ND37 2H093/NH18 5C006/AA01 5C006/AA22 5C006/AF43 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF25 5C006/FA18 5C006/FA22 5C006/GA02 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD32		
其他公开文献	JP2004094058A5		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明提供一种具有模拟缓冲电路的液晶显示装置，其可以获得亮度不均匀的屏幕。源信号线驱动电路具有多个模拟缓冲电路，多个源信号线和多个模拟缓冲电路构成电路组，电路组中的模拟缓冲电路和源信号线具有周期。通过采用每次连接改变的配置，可以平均模拟缓冲电路的输出变化并获得均匀的屏幕。[选图]图1

