

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-70331

(P2004-70331A)

(43) 公開日 平成16年3月4日(2004.3.4)

(51) Int.Cl.⁷

G02F 1/1368

H01L 21/336

H01L 29/786

F I

G02F 1/1368

H01L 29/78 612C

H01L 29/78 612D

テーマコード (参考)

2H092

5F110

審査請求 有 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願2003-205238 (P2003-205238)
(22) 出願日 平成15年8月1日 (2003.8.1)
(62) 分割の表示 特願平7-188783の分割
原出願日 平成7年7月25日 (1995.7.25)

(71) 出願人 502356528
株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地
(74) 代理人 100075096
弁理士 作田 康夫
(72) 発明者 小野 記久雄
千葉県茂原市早野3300番地 株式会社
日立製作所電子デバイス事業部内
(72) 発明者 田中 政博
千葉県茂原市早野3300番地 株式会社
日立製作所電子デバイス事業部内
(72) 発明者 仲吉 良彰
千葉県茂原市早野3300番地 株式会社
日立製作所電子デバイス事業部内

最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法

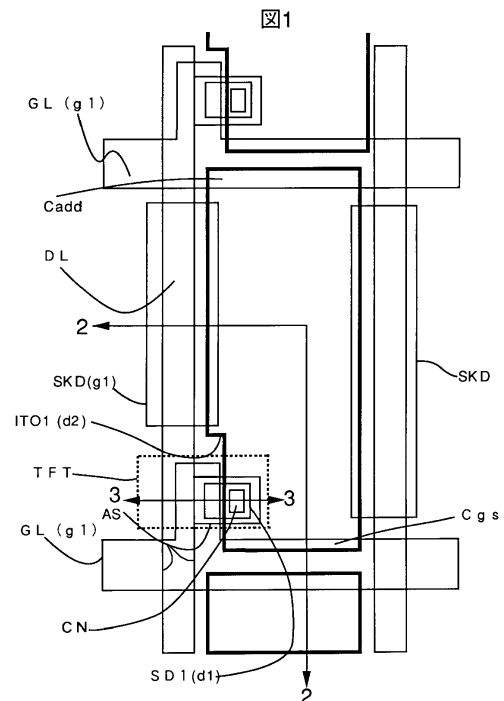
(57) 【要約】

【目的】 TFT基板製作時の工程数を削減できると同時に製造歩留まりが高く、さらに明るい画面が得られる液晶表示装置およびその製造方法を提供すること。

【構成】 透明ガラス基板上で少なくとも、チャネル長方向において、透明画素電極の下部のソース金属電極の端部が、半導体層の端部から延在して形成され、さらにデータライン下部に遮光電極、ゲートライン自身を遮光電極とする構成とするようにした。

【効果】 製造工程数の削減、歩留まりの向上、明るい画面が可能である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に第 1 の導電膜で走査信号線とを形成する第 1 の工程と、
前記基板と前記走査信号線との上に第 1 の絶縁膜を形成する第 2 の工程と、
前記第 1 の絶縁膜の上に、ホト処理を用いずに i 型半導体膜と不純物が添加された半導体膜とを形成する第 3 の工程と、
前記不純物が添加された半導体膜の上に第 2 の導電膜を形成する第 4 の工程と、
前記第 2 の導電膜を除去した後に前記不純物が添加された半導体膜とを除去し、ソース電極とドレイン電極と映像信号線とを形成する第 5 の工程と、
前記第 1 の絶縁膜と前記ソース電極と前記ドレイン電極と前記映像信号線との上に第 2 の絶縁膜を形成する第 6 の工程と、
前記第 2 の絶縁膜にコンタクトホールを形成する第 7 の工程と、
前記第 2 の絶縁膜上に、前記コンタクトホールを介して、前記ソース電極に接続された透明電極を形成する第 8 の工程とを有することを特徴とする液晶表示装置の製造方法。

【請求項 2】

前記第 7 の工程で形成するコンタクトホールは、前記走査信号線の終端部付近の前記第 2 の絶縁膜にも形成され、
前記第 8 の工程は、前記走査信号線の終端部付近の前記第 2 の絶縁膜に形成されたコンタクトホールを介して、前記走査信号線に接続された透明電極を形成する工程も含むことを特徴とする請求項 1 記載の液晶表示装置の製造方法。

【請求項 3】

前記第 7 の工程で形成するコンタクトホールは、前記映像信号線の終端部付近の前記第 2 の絶縁膜にも形成され、
前記第 8 の工程は、前記映像信号線の終端部付近の前記第 2 の絶縁膜に形成されたコンタクトホールを介して、前記映像信号線に接続された透明電極を形成する工程も含むことを特徴とする請求項 1 記載の液晶表示装置の製造方法。

【請求項 4】

前記ソース電極に接続された透明電極は画素電極であり、
前記走査信号線に接続された透明電極はゲート端子であることを特徴とする請求項 1 又は 2 に記載の液晶表示装置の製造方法。

【請求項 5】

前記ソース電極に接続された透明電極は画素電極であり、
前記映像信号線に接続された透明電極はドレイン端子であることを特徴とする請求項 1 又は 3 に記載の液晶表示装置の製造方法。

【請求項 6】

前記第 5 の工程において、前記不純物が添加された半導体膜は前記第 2 の導電膜をマスクにして除去することを特徴とする請求項 1 乃至 5 の何れかに記載の液晶表示装置の製法。

【請求項 7】

前記第 5 の工程において、前記第 2 の導電膜はウェットエッチングで除去することを特徴とする請求項 1 乃至 6 の何れかに記載の液晶表示装置の製法。

【請求項 8】

前記第 5 の工程において、前記不純物が添加された半導体膜は異方性の強いエッチングで除去することを特徴とする請求項 1 乃至 7 の何れかに記載の液晶表示装置の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は薄膜トランジスタ (TFT) を使用したアクティブマトリクス駆動型液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】

10

20

30

40

50

アクティブマトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極の各々に対応して、スイッチング素子を設けたものである。各画素における液晶は理論的に常時駆動しているので時分割駆動方式を採用している単純マトリクス方式と比べてアクティブ方式はコントラストが高く特にカラー表示には欠かせない技術になっている。

【 0 0 0 3 】

従来のアクティブマトリクス方式の液晶表示装置に用いられる T F T においては、絶縁透明基板上に走査信号線（ゲートライン）、その上部にゲート絶縁膜、その上部に半導体層、半導体層上にはドレイン電極（データライン）およびソース電極があり、ソース電極には透明な画素電極が接続されており、ドレイン電極（データライン）には映像信号電圧が供給されている。基板上にまずゲート電極が形成されている T F T 構造は一般に逆スタガ構造と呼ばれている。このような T F T として、特開昭 6 1 - 1 6 1 7 6 4 号公報が知られている

10

【 0 0 0 4 】

【 発明が解決しようとする課題 】

T F T を用いた液晶表示装置はアクティブ駆動が可能なためにコントラストが高いと言う特長を持つ。しかし、基板上に T F T を形成する工程が複雑であり、6 回以上のホトリソグラフィ工程を必要とする。そのため、T F T 基板の製造コストが高く、さらに工程数が多いためにゴミ等のために歩留まりが低下すると言う問題がある。

【 0 0 0 5 】

工程を簡略化する方法として、従来技術では、ゲート絶縁膜と半導体層、ドレイン電極とソース電極となる金属膜を連続成膜し、この金属膜のマスクとして半導体層は加工し、その後、透明電極を形成する方法が提案されている。しかし、この従来技術では、半導体膜をエッチングする際に、ソース電極の金属膜のエッチング速度が半導体膜より小さい場合、ソース電極がひさし状に残り、透明電極がその段差のために断線しやすいと言う問題が残る。すなわち、製造時の歩留まりが十分考慮されていなかった。

20

【 0 0 0 6 】

ところで、明るい画面表示を実現するためには、透明画素電極の透過部の面積（以下、開口率）を大きくする必要がる。しかし、上記従来技術では、開口率を向上し、明るい表示画面を得ることについては考慮されていなかった。

【 0 0 0 7 】

本発明の目的は、製造工程数が少ない上に製造歩留まりが高いアクティブマトリクス方式の液晶表示装置の構造、製造方法を提供することにある。

30

【 0 0 0 8 】

また、他の目的は、明るい表示画面が得られるアクティブマトリクス方式の液晶表示装置を提供することにある。

【 0 0 0 9 】

【 課題を解決するための手段 】

〔 手段 1 〕

透明絶縁基板上に形成した複数のゲートラインと、前記複数ゲートラインに交差するように形成された複数のデータラインと、前記ゲートラインと前記データラインの交差点付近に形成された逆スタガ構造の薄膜トランジスタと、前記薄膜トランジスタに接続された透明画素電極とからなり、前記画素電極によって液晶を駆動する機能を有する液晶表示装置における画素電極と接続されるソース金属電極端部の平面構造において、チャンネル長方向において、半導体層の端部がソース金属電極の端部より延在して形成されているようにした。

40

【 0 0 1 0 】

〔 手段 2 〕

手段 1 において、画素電極を構成する導電膜は、薄膜トランジスタのソース金属電極上に形成された保護絶縁膜に形成された開口部を通じて、前記ソース金属に接続されているようにした。

50

【 0 0 1 1 】

〔手段 3〕

画素電極端部の輪郭線の一部は、データラインとほぼ平行でデータライン下部に形成された、データラインとは薄膜トランジスタを構成するゲート絶縁膜及び半導体層と絶縁分離された遮光膜上にあり、ゲート絶縁膜及び薄膜トランジスタ上に形成された保護絶縁膜の積層膜を介して前記位置に形成されるようにした。

【 0 0 1 2 】

〔手段 4〕

手段 3 において、画素電極端部の輪郭線の一部は、前記ゲートライン上で画素電極の輪郭線が所定の間隙を持つように形成され、ゲート絶縁膜及び薄膜トランジスタ上に形成された保護絶縁膜の積層膜を介して前記位置に形成され、ゲートライン自身が遮光膜となるようにした。

【 0 0 1 3 】

〔手段 5〕

透明絶縁基板上に形成した複数のゲートラインと、前記複数ゲートラインに交差するように形成された複数データラインと、前記複数ゲートラインと前記複数データラインの交差点付近に形成された逆スタガ構造の薄膜トランジスタと、前記薄膜トランジスタの上部に接続された透明画素電極とからなり、前記画素電極によって液晶を駆動する機能を有する液晶表示装置の製造方法において、

ゲート絶縁膜及びその上部の半導体層その上部にあるデータライン及びソース金属電極を所定の平面パターンにエッチングする工程、前記半導体層をゲート絶縁膜上で選択的にエッチングする工程、前記ソース電極上部に形成された保護絶縁膜に開口部を開けるためのエッチング工程、前記保護絶縁膜上に形成された透明画素電極をエッチングする工程を順次行なった。

【 0 0 1 4 】

〔手段 6〕

手段 5 において、データライン及びソース電極形成用マスクで高濃度 N 型半導体層をエッチングしたのち、異なるマスクパターンで i 型半導体層をゲート絶縁膜上で選択的にエッチングする工程を備えた。

【 0 0 1 5 】

〔手段 7〕

手段 5 において、ゲート絶縁膜上で半導体層を選択的にエッチングする際に、前記データライン及びソース金属電極の一部と前記ソース電極を下部に一部含む前記金属電極及び前記半導体層上に形成したホトレジストをエッチングマスクとして加工する工程を含むことを特徴とする液晶表示装置の製造方法。ゲート絶縁膜を所定の平面パターンにエッチングした工程の後で、半導体層を所定の平面パターンにエッチングする工程を備えた。

【 0 0 1 6 】

【作用】

チャネル垂直方向において、半導体層の端部がソース金属電極の端部より延在して形成されているので、ソース電極の金属膜をマスクと半導体膜をエッチングしても、金属膜の端部が半導体層に対してひさし状にならないので、透明電極が断線することなく、製造工程の簡略化を図りながら製造歩留まりを向上できる。

【 0 0 1 7 】

また、データライン近傍および下部に遮光電極が形成され、さらに、透明画素電極の輪郭線が遮光電極上及びゲートライン上にあるため、歩留まりが高く、開口率が大きくなり、画面が明るくなる。

【 0 0 1 8 】

【実施例】

以下、本発明の液晶表示装置及びその製造方法を具体的な実施例を用いて説明する。

【 0 0 1 9 】

10

20

30

40

50

(実施例 1)

図 2 に本実施例のアクティブマトリクス液晶表示装置におけるマトリクス部 (表示部) の断面構造を示す。表示パネルは、透明ガラス基板 SUB 1 の一方の表面に薄膜トランジスタや画素電極 ITO 1 , 各種配線などを形成した TFT 基板 TFT SUB と、これとは別の透明ガラス基板 SUB 2 の一方の表面に共通電極 ITO 2 やカラーフィルタ FIL など形成した対向基板 OPSUB と、両基板を対向させてその間隙に充填した液晶層 LC とから構成される。

【 0 0 2 0 】

画素電極 ITO 1 と共通電極 ITO 2 との間に画像信号電圧を印加して両電極間の液晶層 LC の電気光学的状態を制御し、表示パネルのこの部分の光透過状態を変化させ、所定の画像を表示する。 10

【 0 0 2 1 】

液晶パネルの対向基板 OPSUB 側または TFT 基板 TFT SUB 側にはバックライトが設置され、液晶パネルの画素部を透する光をそれぞれバックライトと反対側から観察する。

【 0 0 2 2 】

なお、以下で説明する図面では、同一機能を有する部分に同一符号をつける。

【 0 0 2 3 】

《 TFT 基板 》

図 1 は、TFT 基板 TFT SUB を構成する各層の平面パターンを示す図であり、1画素とその周辺の領域を示す。図 2 は図 1 の 2 - 2 切断線の断面図、図 3 は図 1 の 3 - 3 切断線における断面図である。 20

【 0 0 2 4 】

次に、図 1 ~ 3 を用いて TFT 基板 TFT SUB の構造を詳しく説明する。TFT 基板の表面には互いに平行な複数のゲートライン (走査信号線または水平信号線) GL と、ゲートラインと交差するように形成された互いに平行な複数のデータライン (映像信号線または垂直信号線) DL が設けられている。隣接する 2 本のゲートライン GL と、隣接する 2 本のデータライン DL で囲まれた領域が画素領域となり、この領域にほぼ全面に画素電極 ITO 1 が形成されている。スイッチング素子としての薄膜トランジスタ (図 1 の破線で示した領域) は各画素電極に対応してゲートラインの凸型部分 (図 1 では、上方に凸型の部分) に形成され、そのソース電極 SD 1 は画素電極に接続される。ゲートライン GL に与えられた走査電圧はゲートラインの一部で構成される TFT のゲート電極に印加されて TFT が ON 状態となり、この時データライン DL に供給された画像信号がソース電極 SD 1 を介して画素電極 ITO 1 に書き込まれる。 30

【 0 0 2 5 】

《 薄膜トランジスタ TFT 》

図 3 に示すように、透明ガラス基板 SUB 1 上には導電膜 g 1 からなるゲートライン GL が形成され、その上に後述のように絶縁膜、半導体層などが形成され薄膜トランジスタ TFT が構成される。薄膜トランジスタは、ゲートライン GL にバイアス電圧を印加すると、ソース - ドレイン (データライン DL) 間のチャネル抵抗が小さくなり、バイアス電圧をゼロにすると、チャネル抵抗は大きくなるように動作する。ゲートライン GL の一部であるゲート電極上に窒化シリコンからなるゲート絶縁膜 GI を設け、その上に意図的に不純物を添加して非晶質シリコンからなる i 型半導体層 AS 及び不純物を添加した非晶質シリコンからなる N 型半導体層 d 0 を形成する。この i 型半導体層 AS が薄膜トランジスタの能動層を構成する。さらに、その上にソース電極 SD 1 , ドレイン電極 (実施例ではデータライン DL の一部がドレイン電極を構成する。以下特に明記しない場合、ドレイン電極はデータライン DL と呼ぶ。) を形成し、薄膜トランジスタとする。 40

【 0 0 2 6 】

ゲート絶縁膜 GI としては、例えば、プラズマ CVD で形成された窒化シリコン膜が選ばれ、2000 ~ 5000 の厚さに (本実施例では、3500 程度) 形成される。 50

【0027】

i 型半導体層 A S は、500 ~ 2500 の厚さ（本実施例では、2000 程度）で形成される。N 型半導体層 d 0 は、500 以下の厚さで薄く形成され、i 型半導体層 A S とオーミックコンタクトを形成するために設けられ、リン（P）をドーピングした非晶質シリコン半導体で形成される。

【0028】

ソース電極、ドレイン電極の呼称は本来その間のバイアスの極性によって決められる。本発明の液晶表示装置では、動作中にその極性が反転するのでソース電極、ドレイン電極が入れ替わるが、以下の説明では、便宜上一方をソース電極、他方をドレイン電極と固定して呼ぶことにする。

【0029】

《ソース電極》

図3に示すように、ソース電極 S D 1 は N 型半導体層 d 0 上に形成され、第1導電層 d 1 により構成されている。第1導電層 d 1 は厚さ 600 ~ 2000 （本実施例では、1800 程度）のクロム（Cr）膜で形成される。第1導電膜は、Cr 以外の高融点金属（Ti, Ta, W, Mo）で形成されても良いし、これらの金属の合金で形成されても良い。

【0030】

前記ソース電極 S D 1 は、図1、図3に示すように、1画素領域の内側に形成された i 型半導体層 A S 及び N 型半導体層 d 0 上部に形成され、しかも、少なくとも、チャネル長方向において、ソース金属電極 S D 1 の端部は、i 型半導体層 A S の端部から延在するように加工されている。また、その上部にある導電膜 d 2 で構成された透明画素電極 I T O 1 は、保護絶縁膜 P S V 1 に開けられた開口部 C N （以下、コンタクト穴と呼ぶ）を通じてソース電極 S D 1 と接続され、保護絶縁膜 P S V 1 上に形成されている。

【0031】

このような構造により、透明導電膜 d 2 は下層の下層のソース電極 S D 1 である第1導電膜 d 1 の段差のところで断線することなく、その段差を良好に乗り越えることができる。これについては、後の製造方法のところでさらに詳しく述べる。特に、本実施例のように、第2導電膜 d 2 として I T O を用いる場合にこのような効果が顕著になる。I T O は結晶粒径が大きいために、結晶粒界部分と結晶粒のエッチング速度が異なり、粒界の部分が速い。従って、第2導電膜 d 2 下部の断面が良好形状に加工されていなければ、この下部段差で容易に断線する。

【0032】

その点で、特開昭 61 - 161764 号公報に記載のように半導体膜上で金属膜をマスクとして半導体をエッチングした場合、金属膜に比べて半導体膜のエッチング速度が大きいので、断面構造において金属膜がひさし状に形成され、この部分で透明導電膜が断線しやすい。これに対して、本実施例では、上述のように段差部での I T O の断線は非常に起こりにくい。

【0033】

《画素電極》

画素電極は第2導電層 d 2 である酸化インジウム錫（Indium - Tin - Oxide, 以下略して I T O と呼ぶ）などの透明導電膜 I T O 1 でそれぞれ形成される。これは、薄膜トランジスタのソース電極 S D 1 に接続される。透明導電膜 I T O 1 は I T O のスパッタリング膜によって形成され、その厚さは 300 ~ 3000 （本実施例では 1400 程度）である。

【0034】

《ゲートライン G L》

図2、図3に示すように、ゲートライン G L は、単層の導電膜 g 1 で形成されている。導電膜 g 1 としては厚さ 600 ~ 2000 （本実施例では、1800 程度）のスパッタリングで形成されたクロム（Cr）膜が用いられる。これも、第1導電膜 d 1 同様、他の高

10

20

30

40

50

融点金属あるいは合金でも良い。

【0035】

《データラインDL》

図2、図3に示すように、データラインDLは、透明ガラス基板SUB1上のゲート絶縁膜GI及びその上部にある半導体層AS、d0上に形成され、その断面構造において、i型半導体層AS、N型半導体層d0、第1導電膜d1である透明導電膜のほぼ同一平面パターンを有する積層構造となっている。ほぼ同一平面パターンとなるのは、後の製造方法で示すように、この部分で前記i型半導体層ASをデータラインDLの第1導電膜d1をマスクとして加工するための特徴である。これらの層または膜のうち主として電気伝導に寄与し、信号を伝達するのは第1導電膜d1である。

10

【0036】

《保持容量Cadd、寄生容量Cgs》

保持容量CaddはTFTが形成されたゲートラインGLとは異なる前段のゲートラインGLとゲート絶縁膜GI及び保護絶縁膜PSV1の積層膜を挟んで画素電極ITO1(d2)との交差領域の容量で構成される。この保持容量Caddは液晶層LCの容量の減衰やTFTのオフ時の電圧低下を防止する働きがある。

【0037】

寄生容量CgsはTFTが形成されたゲートラインGLである自段のゲートラインGLとゲート絶縁膜GI及び保護絶縁膜PSV1の積層膜を挟んで画素電極ITO1(d2)との交差領域の容量で構成される。また、前記CaddとCgsは図2に示す様に、ゲート

20

【0038】

このように、寄生容量Cgsを設けることにより、自段のゲートラインGLと透明導電膜d2を重ねない構造に比べ、ゲートラインGLと画素電極ITO1(d2)の間隙を対向基板OPSUBに形成するブラックマトリクスBMで覆い隠す必要がなく、開口率が向上する。

【0039】

《遮光電極SKD》

図1、図2に示すように遮光電極SKDはTFT基板TFTSUBの透明ガラス基板SUB1上にゲートラインGLを構成する導電膜g1で形成される。

30

【0040】

この遮光電極SKDは平面構造上は図1に示すようにドレインラインDLに沿って画素電極ITO1とオーバーラップし、しかも、データラインDLの下部をふさぐように形成されている。一方、断面構造的には図2に示すように、遮光電極SKDはデータラインDLとゲート絶縁膜GI及び半導体層AS、d0によって絶縁分離されている。このため、遮光電極SKDとデータラインDLが短絡する可能性は小さい。また、画素電極ITO1と遮光電極SKDはゲート絶縁膜GI及び保護絶縁膜PSV1で絶縁分離されている。

【0041】

遮光電極SKDは、前記寄生容量Cgs同様、1画素の画素に対する画素電極の透過部の面積、すなわち開口率を向上させ、表示パネルの明るさを向上させる機能を有する。図1に示した表示パネルにおいて、バックライトはTFT基板SUB1を有するTFTSUB側の一方に設定される。以下では、便宜上バックライトがTFT基板SUB1から照射され、対向基板OPSUB側から観察する場合を示す。照射光は対向基板のガラス基板SUB1を透過し、このガラス基板SUB1の一方の表面にスパッタリングで形成された配線ラインのクロム(Cr)が形成されていない部分から液晶層LCに入る。この光は対向基板に形成された透明共通電極ITO2とTFT基板に形成された画素電極ITO1間に印加された電圧で制御される。

40

【0042】

表示パネルがノーマリホワイトモードでは、本実施例のように遮光電極SKDや寄生容量Cgsが形成されていない場合、対向基板OPSUBにはブラックマトリクスBMが広く

50

必要になり、これがないと、データラインDLあるいはゲートラインGLと画素電極ITO1の隙間から電圧で制御されない漏光が通過し、表示のコントラストが低下する。また、上下、すなわち、対向基板OPSUBとTFT基板TFTSUBは液晶を挟んで張り合わせてあり、合わせマージンを大きくとる必要があり、TFT基板上のみで遮光電極構造とする本実施例に比べて開口率が小さくなる。

【0043】

さらに、上記遮光電極SKD及びゲートラインGLはバックライト光を一旦反射し、これをバックライト下部にある導光板に戻し、さらに、これを再度開口部に反射、透過させる働きがあり、本実施例構造は開口率以上に画面が明るくなる。特に、データラインDLの下部に半導体層AS、d0が形成された構造では、半導体層は光吸収層の働きがあるため、遮光層金属SKDがデータラインDL下部半導体層のさらに下部に形成されていない場合、反射率が低下し、画面が暗くなる。

10

【0044】

本実施例における、データラインDL下部の半導体は、データラインDLをマスクとして加工しているため、データラインの第1導電膜d1は半導体層の段差を横切ることがなく、断線不良を低減する効果がある。従って、本実施例における、遮光電極SKDと上記データラインDLの組合せは画面を明るくする効果を得る上で、新たに得られた効果である。

【0045】

また、本実施例では、ゲートラインGL及び遮光電極SKDには、スパッタリングで形成されたクロム(Cr)を使用した。低反射の遮光電極構造とするために、酸化クロムを基板側に形成した後、クロムを連続スパッタリングで形成した多層膜とすることも可能である。

20

【0046】

《保護膜》

図1、図3に示すように、TFT基板TFTSUBの薄膜トランジスタTFTを形成した側の表面は、ソース電極SD1と画素電極を接続するコンタクト穴CN、及び後述のようにTFT基板の周辺部に設けられゲート端子部及びドレイン端子部などを除いて保護膜PSV1で覆われる。

【0047】

《ゲート端子部GTM》

図4はTFT基板上のゲートラインGLの終端部付近から外部の駆動回路との接続部分であるゲート端子GTMまでの部分の平面図、図5は図4の5-5切断線における断面図である。

30

【0048】

ゲート端子GTMは、透明導電膜d2からなっており、透明導電膜d2が外界に露出している。ゲート端子GTMの透明導電膜は、画素電極やデータラインを構成する透明導電膜ITO1と同時に形成される。また、導電膜g1よりも第2導電膜d2の方が大きめのパターンになっている。これは、薬品、水分等が浸入し、Crからなる導電膜g1が腐食されることを防止するためである。本構造では、保護膜PSV1以外で外界に露出している部分は透明導電膜ITO1(d2)のみである。ITOはその名の通りに、酸化物であり、腐食の原因と酸化反応には著しく強く、従って、この構造は信頼性が高い。

40

【0049】

このように、TFTを用いた液晶表示装置においては、ゲート端子GTMを構成する材料としてITOとしなければ、歩留まり、信頼性を保つことができない。《ドレイン端子部DTM》

図6はTFT基板上のデータラインDLの終端部付近から外部の駆動回路との接続部分であるドレイン端子DTMまでの部分の平面図であり、図7は図6の7-7切断線における断面図である。

【0050】

50

ドレイン端子 D T M は上述のゲート端子 G T M の場合と同等の理由により透明電極 d 2 で形成されている。透明電極 d 2 は第 1 導電膜 d 1 より広いパターンで形成されている。また、ドレイン端子部は外部回路との接続を行うために、保護膜 P S V 1 は除去されている。

【 0 0 5 1 】

また、断面構造である図 7 においては、前述のソース電極 S D 1 同様、そのデータライン D L 端部において、i 型半導体層 A S がデータライン D L より幅広く形成されている。これにより、データライン D L の段差において透明電極 I T O 1 (d 2) が断線することを低減する構造となっている。

【 0 0 5 2 】

図 8 は表示パネル周辺部の概略的な構造を示す平面図である。T F T 基板 T F T S U B (S U B 1) の周辺部では各ゲートラインに対応して複数のゲート端子 G T M が並べて配置され、ゲート端子群 T g を構成する。同様に、各データラインに対応して複数のドレイン端子 D T M が並べて配置され、ドレイン端子群 T d を構成する。また、図 8 の I N J は対向基板 S U B 2 の張り合わせのシールパターン S L が設けられない部分で、両基板の張り合わせ後、ここより液晶が封入される。

【 0 0 5 3 】

《対向基板 O P S U B》

図 2 に示すように、透明ガラス基板 S U B 2 の一方の面には赤、緑、青のカラーフィルタ F I L , 保護膜 P S V 2 , 共通透明画素電極 I T O 2 及び配向膜 O P R I 2 が順次積層して設けられている。また、透明ガラス基板 S U B 2 の他方の面上には偏光板 P O L 2 が張り合わせてあり、これと T F T 基板 T F T S U B の T F T が形成されていない他方の面にある偏光板 P O L 1 で透過光を偏光する。

【 0 0 5 4 】

同図のガラス基板 S U B 2 には、ブラックマトリクス遮光膜 B M は形成されていないが、実際には、図 1 の T F T 部分に光が照射し、T F T のリーク電流が増加しない程度の面積、C r のスパッタリング膜あるいは C r 酸化物と C r の積層、あるいは、さらに樹脂材料で形成されている。

【 0 0 5 5 】

《T F T 基板 T F T S U B の製造方法》

次に、上述した液晶表示装置の T F T 基板 T F T S U B の製造方法を図 9 ~ 図 1 5 を用いて説明する。図 9 は製造工程の流れを各工程の名称を用いてフローチャートとしてまとめたものである。各工程をあるサブ単位でまとめて、それに (A) 、 (B) 、 (C) などと記号をつけてある。この (A) から (F) までの各々のサブ工程での断面構造が図 1 0 ~ 1 5 に対応する。ここで、(B) 工程 (図 1 1) を除く、断面構造は、各工程で薄膜をエッチング加工した直後の断面構造であり、説明上、各断面にはマスクとして使用したホトレジストが薄膜上に剥離せず残してある。これらの図は、T F T 基板の薄膜トランジスタと画素電極接続部付近 (図 3 の断面図と対応) の断面図である。なお、図 9 の H の最終工程での対応する断面構造は図 3 である。工程 (A) 、 (C) 、 (D) 、 (E) 、 (F) のサブ工程にはそれぞれ写真 (ホト) 処理工程が含まれている。ここで、ホト処理工程とは本発明ではホトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとする。図 9 から明らかなように、本発明では T F T 基板を 5 回のホト処理工程を経て製造される。

【 0 0 5 6 】

以下、各工程を順を追って説明する。

【 0 0 5 7 】

透明ガラス基板 S U B 1 を準備し、その一方向上全面に C r 膜をスパッタリングにより形成する。この C r 膜上にホト処理 (第 1 ホト) によって所定パターンのマスクをホトレジスト P R E S で形成した後、C r 膜を選択的にエッチングし、所定パターンの導電膜 g 1 を形成する (工程 (A) , 図 1 0) 。これが、ゲートライン G L や遮光電極 S K D を構成

10

20

30

40

50

する。

【 0 0 5 8 】

次に、透明ガラス基板 S U B 1 の一面上に設けた導電膜 g 1 上に、プラズマ C V D 装置により窒化 S i 膜 G I、i 型非晶質 S i 膜 A S、N 型の非晶質 S i 膜 d 0 を順次形成する。さらに、引き続き、スパッタリング法で C r 膜を形成、これが第 1 導電膜 d 1 である（工程（B），図 1 1）。ここで、半導体層 A S、d 0 をホトレジスト工程を用いず連続的に行なうために、レジストによる半導体層の表面酸化を低減でき、N 型半導体層 d 0 と導電膜 d 1 のコンタクト抵抗を低減し、薄膜トランジスタの移動度を向上できる。

【 0 0 5 9 】

10
ホット処理（第 2 ホット）によって所定のパターンのマスクをホトレジスト P R E S で形成した後、C r 膜を選択的にエッチングして、所定のパターンの導電膜 d 1 を形成する。続いて、前記ホトレジスト P R E S を用いて、N 型半導体 d 0 をドライエッチング除去する（工程（C），図 1 2）。

【 0 0 6 0 】

この際、C r 膜はウエットエッチングで除去し、ホトレジスト P R E S 端部から C r 膜エッチング端部は通常 0 . 5 から 1 μ m 程度後退する。さらに、N 型半導体 d 0 は前述のように、その厚さは 5 0 0 以下と非常に薄く、またエッチングとして異方性の強いドライエッチングも用いるので、前記ホトレジスト P R E S 端部からのエッチング後退量は 0 . 3 μ m 程度と小さく、ソース電極 S D 1 下部がエッチングされず、ひさし形状とはならない。

20

次に、ホット処理（第 3 ホット）によって所定のパターンのマスクをホトレジスト P R E S で形成した後、i 型半導体層 A S をゲート絶縁膜 G I 上で選択的にエッチング除去する（工程（D），図 1 3）。

【 0 0 6 1 】

この際のホトレジスト P R E S パターンはソース電極 S D 1 端部ではソース電極より幅広くして、後に形成される透明導電膜がソース電極端部で断線しないようにパターン化し、逆に図 2 に示したデータライン D L 部やゲートライン G L とデータライン D L 部分はホトレジスト P R E S は形成せずデータライン D L の導電層 d 1 をマスクとして加工する。これにより、上記ホトレジスト P R E S を形成していないデータライン付近では、i 型半導体層 A S がデータラインからはみ出さず、高精度の加工ができ、開口率が向上やゲート配線の遅延時間低減に必要なゲート容量が低減できる効果がある。

30

【 0 0 6 2 】

本発明者等の実験結果では、i 型半導体 A S のホトレジスト P R E S パターンをソース電極 S D 1 より幅広く設定せず、ソース電極の導電膜 d 1 自身をマスクとしてエッチングした場合、i 型半導体 A S の厚さが N 型半導体 d 0 より厚いためソース電極 S D 1 端部より下部の半導体層が後退し、これがひさし形状となった。これにより、後に成膜される画素電極 I T O 1 がこの段差部で断線する率が非常に高くなった。

【 0 0 6 3 】

次に、プラズマ C V D 装置により窒化 S i N 膜からなる保護絶縁膜 P S V 1 を形成する。ホット処理（第 4 ホット）によってホトレジスト P R E S のマスクを形成後、保護絶縁膜 P S V 1 をエッチングし、コンタクト穴 C N や配線端子部の保護膜 P S V 1 を除去する（工程（E），図 1 4）。

40

【 0 0 6 4 】

次に、I T O 膜からなる第 2 導電膜 d 2 をスパッタリングにより設ける。ホット処理（第 5 ホット）によってホトレジスト P R E S でマスクを形成後、第 2 導電膜 d 2 を選択的にエッチングし、画素電極 I T O 1 などに I T O パターンを残す（工程（F），図 1 5）。

【 0 0 6 5 】

本実施例によれば、高開口率で明るい液晶表示装置を実現できる。

【 0 0 6 6 】

また、表示パネルを構成する T F T 基板を 5 回のホトレジスト工程を含む簡略な工程で製

50

造できるため、安価な液晶表示装置を提供できる効果がある。さらに、断線しやすいITOからなる導電膜下部の段差の形状を良好に保つことができ、製造時の歩留まりを向上できる。

【0067】

【発明の効果】

本発明により、開口率が高く、明るい表示画面が得られる液晶表示装置を提供することができる。

【0068】

また、表示パネルを構成するTFT基板を5回のホトレジスト工程を含む簡略な工程で製造できるため、安価な液晶表示装置及びその製造方法を提供することができる。

10

【0069】

さらに、ITOからなる導電膜下部の段差の部分での断線がなく、製造時の歩留まりが高い液晶表示装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】実施例1におけるTFT基板の1画素とその周辺部の各層の平面パターン図である。

【図2】本発明の実施例1における液晶表示パネルの断面図である（図1の2-2線における断面図）。

【図3】本発明の実施例1における薄膜トランジスタ基板の薄膜トランジスタ、画素電極付近の断面図である（図1の3-3線における断面図）。

20

【図4】ゲート端子GTMとゲート配線GLの接続部近辺を示す平面図である。

【図5】ゲート端子GTMとゲート配線GLの接続部近辺を示す断面図である。

【図6】ドレイン端子DTMとデータ配線DLの接続部近辺を示す平面図である。

【図7】ドレイン端子DTMとデータ配線DLの接続部近辺を示す断面図である。

【図8】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図9】実施例1における液晶表示装置のTFT基板TFTSUBの製造方法を示すフローチャートである。

【図10】図9における工程Aに対応した断面図である。

【図11】図9における工程Bに対応した断面図である。

【図12】図9における工程Cに対応した断面図である。

30

【図13】図9における工程Dに対応した断面図である。

【図14】図9における工程Eに対応した断面図である。

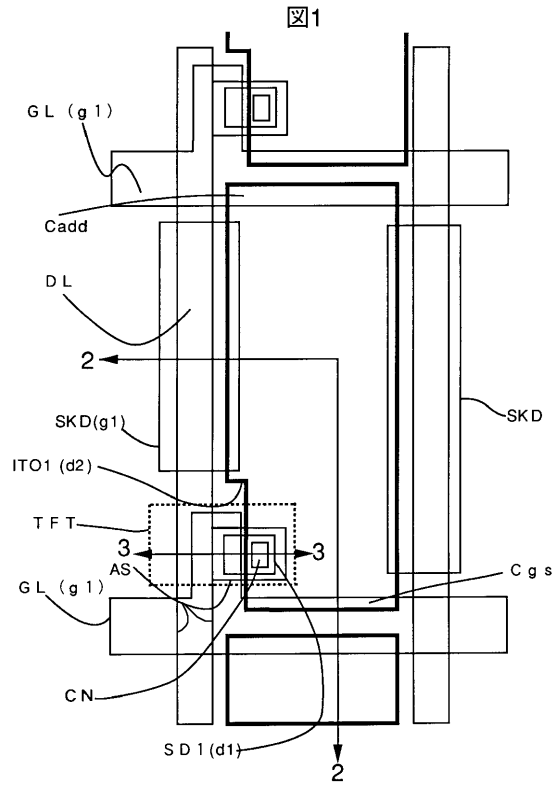
【図15】図9における工程Fに対応した断面図である。

【符号の説明】

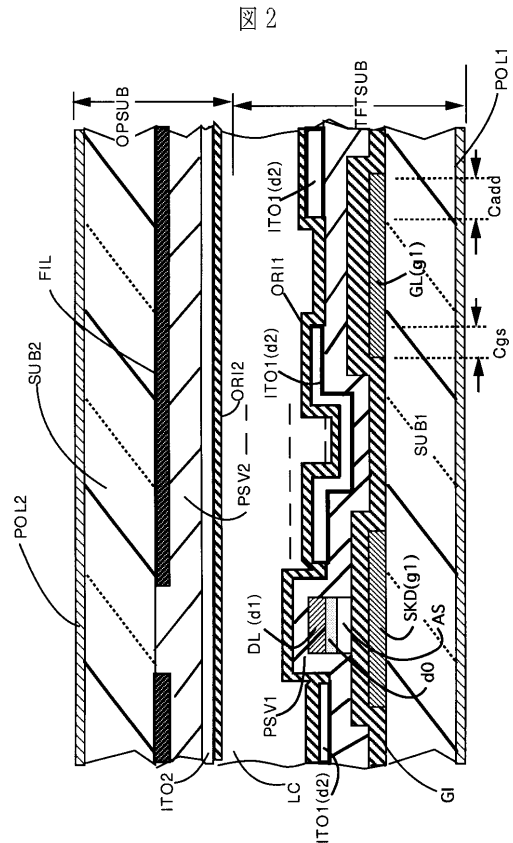
SUB1, SUB2 ... 透明ガラス基板、GL ... ゲートライン（走査信号線）、DL ... データライン（映像信号線）、GI ... ゲート絶縁膜、AS ... i型半導体層、d0 ... N型半導体層、SD1 ... ソース電極、ITO1 ... 透明導電膜、g ... 導電膜、d1 ... 第1導電膜、d2 ... 第2導電膜、TFT ... 薄膜トランジスタ、TFTSUB ... TFT基板、OPSUB ... 対向基板、PSV ... 保護膜、GTM ... ゲート端子、DTM ... ドレイン端子、SKD ... 遮光電極、Cadd ... 保持容量、LC ... 液晶、BM ... ブラックマトリクス。

40

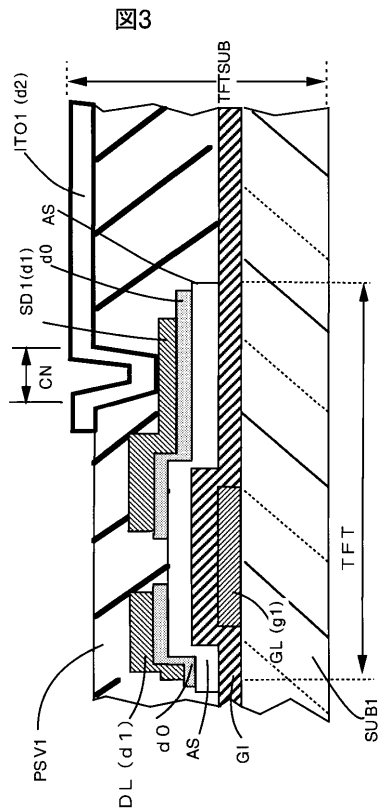
【図 1】



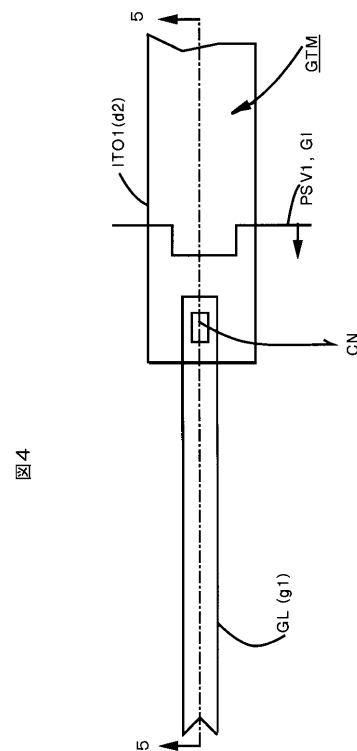
【図 2】



【図 3】

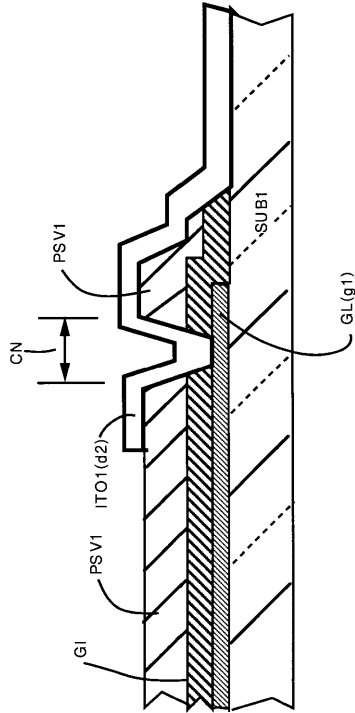


【図 4】



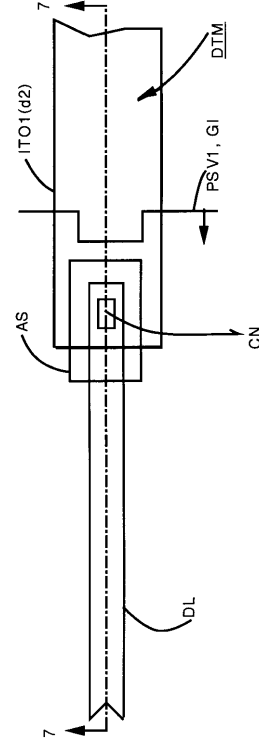
【 図 5 】

図 5



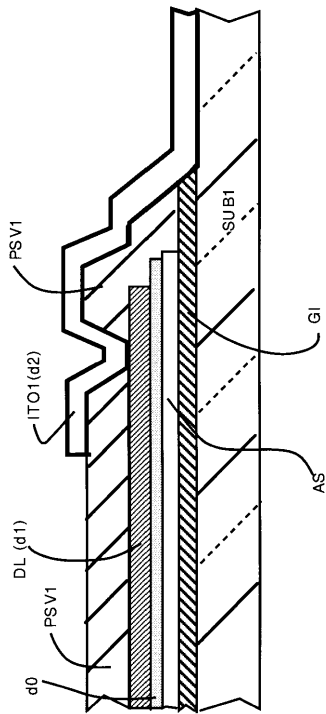
【 図 6 】

図 6



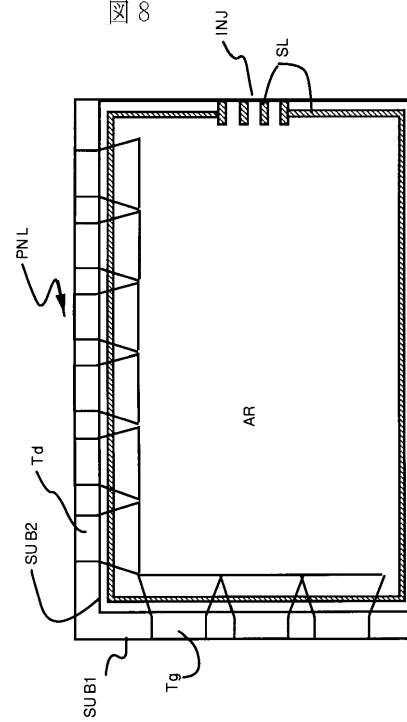
【 図 7 】

図 7

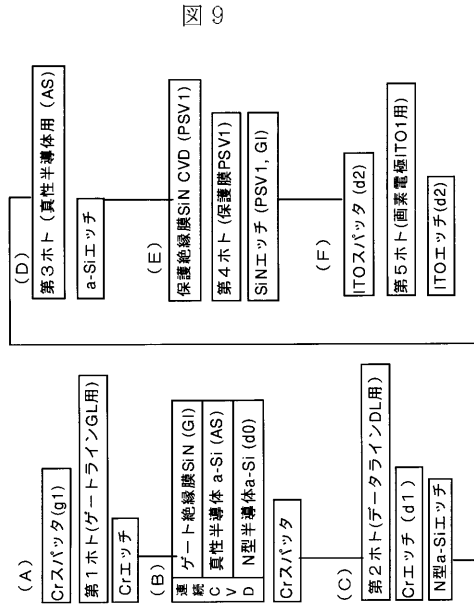


【 図 8 】

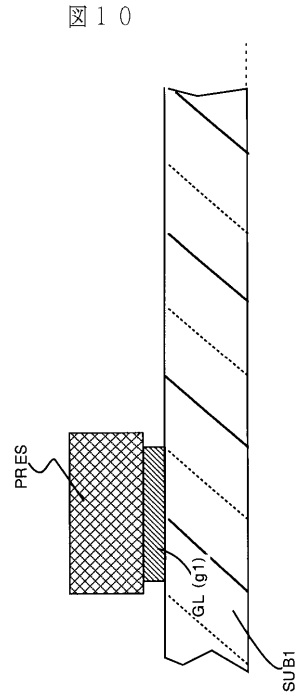
図 8



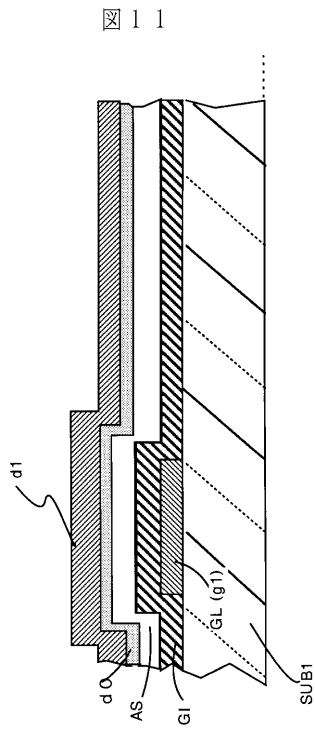
【図 9】



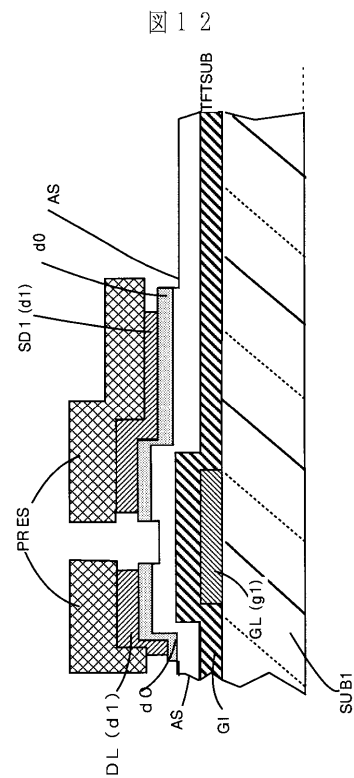
【図 10】



【図 11】

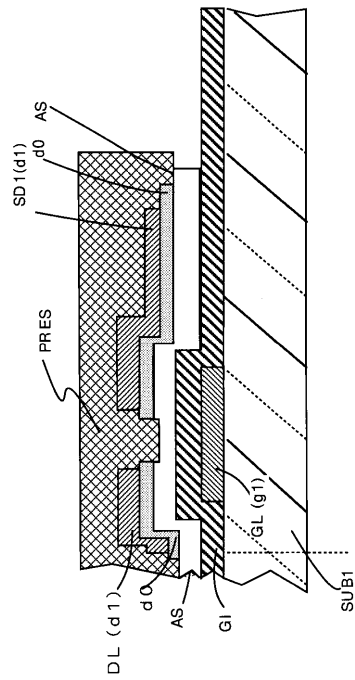


【図 12】



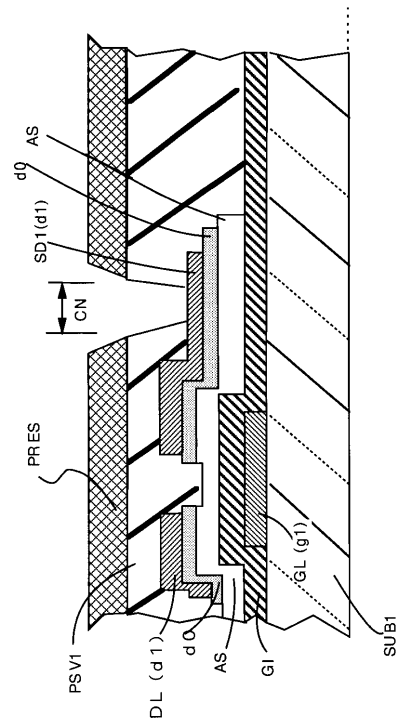
【図 1 3】

図 1 3



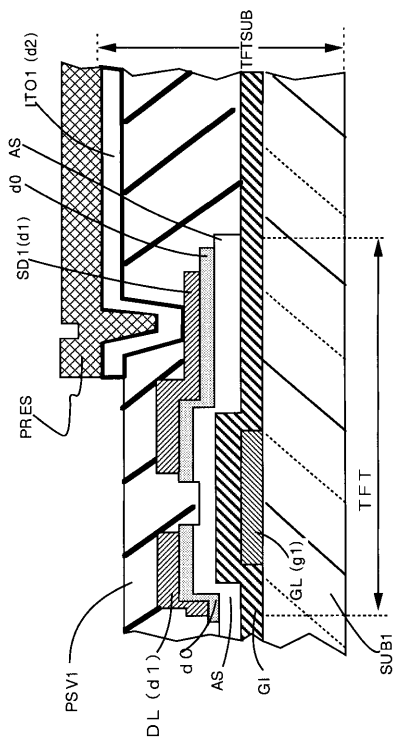
【図 1 4】

図 1 4



【図 1 5】

図 1 5



フロントページの続き

(72)発明者 鈴木 伸之

千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所電子デバイス事業部内

F ターム(参考) 2H092 GA40 JA26 JA28 JA34 JA37 JA41 JA46 JB01 JB22 JB31
JB51 JB56 KA05 KA18 MA13 MA18 NA29
5F110 AA16 AA26 BB01 CC07 DD02 EE01 EE04 EE06 EE14 EE37
EE44 FF03 FF30 GG02 GG15 GG25 GG35 GG45 HK04 HK06
HK09 HK16 HK21 HK25 HK33 HK35 HL07 HL23 NN02 NN24
NN35 NN42 NN44 NN45 NN46 NN54 NN73 QQ09 QQ11

专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	JP2004070331A	公开(公告)日	2004-03-04
申请号	JP2003205238	申请日	2003-08-01
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	小野記久雄 田中政博 仲吉良彰 鈴木伸之		
发明人	小野 記久雄 田中 政博 仲吉 良彰 鈴木 伸之		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 H01L29/78.612.C H01L29/78.612.D		
F-TERM分类号	2H092/GA40 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB01 2H092/JB22 2H092/JB31 2H092/JB51 2H092/JB56 2H092/KA05 2H092/KA18 2H092/MA13 2H092/MA18 2H092/NA29 5F110/AA16 5F110/AA26 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE01 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE37 5F110/EE44 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG25 5F110/GG35 5F110/GG45 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HK33 5F110/HK35 5F110/HL07 5F110/HL23 5F110/NN02 5F110/NN24 5F110/NN35 5F110/NN42 5F110/NN44 5F110/NN45 5F110/NN46 5F110/NN54 5F110/NN73 5F110/QQ09 5F110/QQ11 2H192/AA24 2H192/BC42 2H192/CB05 2H192/CC42 2H192/DA02 2H192/EA04 2H192/EA17 2H192/EA43 2H192/FA65 2H192/GA41 2H192/HA47 2H192/HA63 2H192/HA64 2H192/HA66		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示器及其制造方法，其中在TFT（薄膜晶体管）基板的制造中可以减少步骤数，制造产量高，并且可以是清晰的屏幕获得。解决方案：本发明的特征在于，在液晶显示器中，透明像素电极下方的源金属电极以这样的方式形成，即源金属电极的端部从透明玻璃上的半导体层的端部延伸在至少沟道长度方向上的基板上，在数据线下方形成光屏蔽电极，并且使栅极线本身用作光屏蔽电极。Ž

