

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2003 - 29717

( P2003 - 29717A )

(43)公開日 平成15年1月31日 (2003.1.31)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マコト* ( 参考 )
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 J 5 C 0 5 8
	622		622 B 5 C 0 8 0
H 0 4 N 5/66	102	H 0 4 N 5/66	102 B

審査請求 未請求 請求項の数 10 O L ( 全 13数 )

(21)出願番号 特願2001 - 214530(P2001 - 214530)

(22)出願日 平成13年7月13日(2001.7.13)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 古賀 弘一

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 奥苑 登

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100105511

弁理士 鈴木 康夫 ( 外 1 名 )

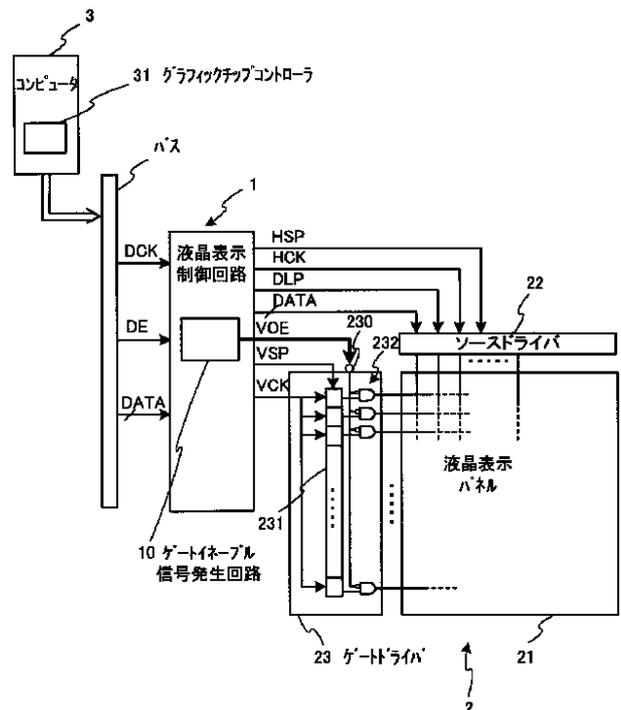
最終頁に続く

(54)【発明の名称】 液晶表示制御回路

(57)【要約】

【課題】 データイネーブル信号の変動等による表示ムラの発生を抑制する。

【解決手段】 液晶表示制御回路 1 は、コンピュータ 3 からライン単位の表示データに同期するデータイネーブル信号 D E を入力して液晶表示装置 2 を制御する。ゲートドライバ 2 3 が出力するゲート駆動信号は、D E の立ち上がりに同期する垂直クロック信号 V C K により動作し、前記 D E の立ち上がりのタイミングの遅れ及び最終ライン後の V C K の遅れに起因する画素電極の充電期間の変動を防止するため、液晶表示制御回路 1 にゲートイネーブル信号発生回路 1 0 を設けて、前記遅れによるゲート駆動信号のパルスの延長分の出力を禁止する。



## 【特許請求の範囲】

【請求項1】 ドットクロック信号とライン単位の表示データと該表示データに同期するデータイネーブル信号とを入力して、データイネーブル信号の立ち上がりタイミング及びデータイネーブル信号のフレーム内の最後の立ち上がりから一定時間後のタイミングで発生した基準信号に同期する垂直クロック信号によりゲートドライバが出力するゲート駆動信号のパルス幅を規定する液晶表示制御回路において、  
前記垂直クロック信号から所定時間幅のゲートドライバ・アウトプットイネーブル信号を出力するゲートイネーブル信号発生回路を備え、前記ゲートドライバ・アウトプットイネーブル信号の前記所定時間のみ前記ゲート駆動信号の出力を可能に前記ゲートドライバを制御し、データイネーブル信号の立ち上がりタイミングの変動による表示への影響を抑制することを特徴とする液晶表示制御回路。

【請求項2】 前記基準信号に同期してソースドライバに対する表示データ、水平スタートパルス信号、水平クロック信号、ライン単位の表示データのラッチを制御するデータラッチ信号、ソースドライバに対する垂直スタートパルス信号を出力することを特徴とする請求項1記載の液晶表示制御回路。

【請求項3】 前記ゲートドライバ・アウトプットイネーブル信号の前記所定時間は、データイネーブル信号の立ち上がりタイミングで発生した前記基準信号の間隔のフレーム内の最大値であり、かつフレーム間の最小値として設定することを特徴とする請求項1又は2記載の液晶表示制御回路。

【請求項4】 データイネーブル信号の立ち上がりタイミングで発生した前記基準信号でリセットされ、前記ドットクロック信号を計数する水平カウンタと、前記水平カウンタのリセット前の最大の計数値を順次比較して、大きい方の計数値を保持するフレーム内最大値保持レジスタと、前記フレーム内最大値保持レジスタに保持した計数値をフレーム単位で順次比較して、小さい方の計数値を保持するフレーム間最小値保持レジスタと、前記水平カウンタの計数値と前記フレーム内最大値保持レジスタの計数値とを比較することにより、データイネーブル信号のフレーム内の最後の立ち上がりから一定時間後のタイミングの前記基準信号を発生して前記水平カウンタをリセットするデコーダと、前記垂直クロック信号によりリセットされドットクロック信号を計数するカウンタの計数値と前記フレーム間最小値保持レジスタの計数値とを比較することにより所定時間幅のゲートドライバ・アウトプットイネーブル信号を出力する前記ゲートイネーブル信号発生回路と、を有することを特徴とする請求項3記載の液晶表示制御回路。

【請求項5】 前記ゲートドライバ・アウトプットイネーブル信号の前記所定時間は、データイネーブル信号の

立ち上がりタイミングで発生した前記基準信号の間隔のフレーム内の最大値以下の固定値として設定することを特徴とする請求項1又は2記載の液晶表示制御回路。

【請求項6】 データイネーブル信号の立ち上がりタイミングで発生した前記基準信号でリセットされ、前記ドットクロック信号を計数する水平カウンタと、前記水平カウンタのリセット前の最大の計数値を順次比較して、大きい方の計数値を保持するフレーム内最大値保持レジスタと、前記水平カウンタの計数値と前記フレーム内最大値保持レジスタの計数値とを比較することにより、データイネーブル信号のフレーム内の最後の立ち上がりから一定時間後のタイミングの前記基準信号を発生して前記水平カウンタをリセットするデコーダと、前記垂直クロック信号によりリセットされドットクロック信号を計数するカウンタの計数値と前記固定値に対応する固定数値とを比較することにより所定時間幅のゲートドライバ・アウトプットイネーブル信号を出力する前記ゲートイネーブル信号発生回路と、を有することを特徴とする請求項5記載の液晶表示制御回路。

【請求項7】 前記ゲートドライバ・アウトプットイネーブル信号の前記所定時間は、データイネーブル信号の立ち上がりタイミングで発生した前記基準信号の間隔のフレーム内の最小値として設定することを特徴とする請求項1又は2記載の液晶表示制御回路。

【請求項8】 前記基準信号でリセットされ、前記ドットクロック信号を計数する水平カウンタと、前記水平カウンタのリセット前の最大の計数値を順次比較して、大きい方の計数値を保持するフレーム内最大値保持レジスタと、前記水平カウンタのリセット前の最大の計数値を順次比較して、小さい方の計数値を保持するフレーム内最小値保持レジスタと、前記水平カウンタの計数値と前記フレーム内最大値保持レジスタに保持した計数値とを比較することにより、データイネーブル信号のフレーム内の最後の立ち上がりから一定時間後のタイミングの前記基準信号を発生して前記水平カウンタをリセットするデコーダと、前記垂直クロック信号によりリセットされドットクロック信号を計数するカウンタの計数値と前記フレーム内最小値保持レジスタの計数値とを比較することにより所定時間幅のゲートドライバ・アウトプットイネーブル信号を出力する前記ゲートイネーブル信号発生回路と、を有することを特徴とする請求項7記載の液晶表示制御回路。

【請求項9】 前記ゲートドライバ・アウトプットイネーブル信号の前記所定時間は、データイネーブル信号の立ち上がりタイミングで発生した前記基準信号の間隔のフレーム内の平均値又は発生頻度の最も高い計数値として設定することを特徴とする請求項1又は2記載の液晶表示制御回路。

【請求項 10】 データイネーブル信号の立ち上がりタイミングで発生した前記基準信号でリセットされ、前記ドットクロック信号を計数する水平カウンタと、前記水平カウンタのリセット前の最大の計数値を順次比較して、大きい方の計数値を保持するフレーム内最大値保持レジスタと、水平カウンタの前記最大の計数値の平均の計数値又は発生頻度の最も高い計数値を出力する演算手段と、前記水平カウンタの計数値と前記フレーム内最大値保持レジスタの計数値とを比較することにより、データイネーブル信号のフレーム内の最後の立ち上がりから前記一定時間後のタイミングの前記基準信号を発生して前記水平カウンタをリセットするデコーダと、前記垂直クロック信号によりリセットされドットクロック信号を計数するカウンタの計数値と前記演算手段の出力の計数値とを比較することにより所定時間幅のゲートドライバ・アウトプットイネーブル信号を出力する前記ゲートイネーブル信号発生回路と、を有することを特徴とする請求項 9 記載の液晶表示制御回路。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、液晶表示に関し、特に、液晶パネルの表示制御を行う液晶表示制御回路に関する。

【0002】

【従来の技術】近年、コンピュータやOA機器、移動端末機器等には、液晶表示装置(LCD)が最も一般的な表示装置として利用されてきている。従来のコンピュータにおけるTFT液晶表示装置の概要について図面を参照して以下説明する。

【0003】図6及び図7は、それぞれ液晶表示システムの全体構成及び各部の信号形態を示す図である。

【0004】液晶表示システムの全体構成は、図6に示すようにデジタル表示データ(表示データ)をクロック信号、制御信号とともに出力するコンピュータ7と、液晶表示装置本体(液晶表示装置)6と、コンピュータ7からの各信号を入力し液晶表示装置6を駆動、制御する液晶表示制御回路5とから構成される。

【0005】液晶表示装置6は、基板上に表示用の画素電極と、該画素電極に電圧を印加するTFTトランジスタとをマトリクス状に配置した液晶表示パネル61と、該液晶表示パネル61の上辺に配置したソースドライバ62と左辺に配置したゲートドライバ63を備え、ソースドライバ62において水平方向の1ライン単位でラッチした表示データをD/A変換して階調電圧として前記液晶表示パネル61の画素電極に水平方向の1ライン単位で上方から下方に順次書き込むことにより、画素電極と共通電極間に画素毎の電圧を印加し、印加電圧値に応じてその電極間の液晶の透過度を制御して表示するように構成されている。

【0006】一方コンピュータ7は、グラフィック・チ

ップ・コントローラ71等を備え、画像データを処理し、ライン単位に区切った表示データDATA、前記表示データDATAに同期する単一の同期制御信号(「データイネーブル信号」という。)DE及びドットクロック信号DCKの3種類の信号をバスを介して液晶表示装置側に出力する。

【0007】液晶表示制御回路5は、前記3種類の信号(DATA、DE、DCK)に基づいて液晶表示装置6に対する各種信号を生成してソースドライバ62及びゲートドライバ63を制御し、前記ドライバ62、63は液晶表示パネル61を駆動する。以下、液晶表示制御回路における信号処理の概要及び液晶表示パネルの駆動方法等について、図7を参照して説明する。

【0008】図7において、表示データDATAは、画像データを時間軸上で1ライン単位に区切った表示用のデータであり、ドットクロック信号DCKは、前記表示データのデータレート(繰り返し周波数)を有するクロック信号である。そして、データイネーブル信号DEは、前記表示データの1ラインのデータ期間を有効な表示データであることを示すハイレベル、データ間を無効期間として示すローレベル、フレーム間、即ち1フレームの最後の1ラインと次のフレームの最初の1ラインの間を示す長いローレベルとする同期制御信号である。つまり、データイネーブル信号DEは、ローレベルからハイレベルへの立ち上がりで水平同期制御、長いローレベル期間により垂直同期制御をそれぞれ行うための同期制御信号とも云える。これらの信号は前述のようにコンピュータ側から供給される。

【0009】液晶表示制御回路1では、データイネーブル信号DEの1ライン毎のハイレベルの立ち上がりタイミングを検出して出力される基準信号及び後述するフレームの最後の1ライン後の長いローレベルに出力されるダミー基準信号からなる基準信号HRSTを出力し、このHRSTに同期し数ドットクロック後に発生する水平走査の開始を制御する水平スタートパルス信号HSP、水平クロック信号HCKを出力し、また、DEの長いローレベルを検出して垂直走査の垂直スタートパルス信号VSPを出力する。

【0010】前記ダミー基準信号HRSTは、基準信号HRST毎に直前の基準信号HRSTまでの間隔を計測し、常にその最大間隔(最大値)を更新記憶して、1フレーム最後のDEのハイレベルの後縁から前記最大値を経過しても次のDEの立ち上がりが生じないときに発生する。

【0011】また、液晶表示制御回路5では、前記基準信号HRST及びダミー基準信号HRSTでリセットされ、DCKを計数するカウンタを使用してDEの後縁より少し前方に発生する垂直同期用の垂直クロック信号(ゲートクロック)VCKと、同様にDEの後縁より少し後方に発生する1ライン単位の表示データのラッチを

行うためのデータラッチパルス信号DLPとを出力する。

【0012】図8は、前記各信号を発生する液晶表示制御回路の具体例を示す図である。立上がり検出回路21、水平カウンタ22、デコーダ25、前記最大間隔(最大値)を検出するTD値(最大値)決定回路部、一致検出回路27及びデータ変換部30等を備える。水平カウンタ22はOR回路23から出力する立上がり検出回路21の基準信号HRSTによりリセットされDCKを計数して常時、計数値を出力する。TD値(最大値)決定回路部は、前記基準信号の発生時点の水平カウンタ22の計数値をラッチするレジスタ26と、最大間隔のデータを保持するためのレジスタ28(初期値0)と、前記両レジスタの出力を比較して何れか大きい方のデータを前記レジスタ28に更新保持する大値検出回路29とにより、常時それまでの最大間隔相当の計数値(最大値)を更新記憶し、一致検出回路27は、DEの長いローレベル期間において水平カウンタ22の計数値がレジスタ28の記憶データ(TD値)を越えるときダミー基準信号HRSTを発生しOR回路23に出力する。OR回路23は、結果的にダミー基準信号を含むHRSTを出力する。また、以上の動作中における水平カウンタ22が出力する計数値をデコーダ25において所定の計数値と比較することによりDEの立ち上がりタイミングに同期する前述のHSP、HCK、DLP、VCK等を出力する。また、データ変換部30は、1画素毎にRGB各々6ビットで構成される18ビット(6ビット×3)のシリアルデータでなる前記表示データをドットクロック信号DCKに同期して入力し、該表示データをパラレルデータに変換して水平クロック信号HCKに同期して出力する。(特開平10-301544号公報参照)。

【0013】なお、DCKは液晶表示制御回路5に入力する前記表示データに同期する外部クロック信号であり、HCKは液晶表示制御回路5から出力する表示データに同期する内部クロック信号である。HCKは、ソースドライバのドライバ群構成及びソースドライバの入力形式等により決まる出力表示データの形式に応じた形態としてDCKから作られる。また、垂直クロック信号VCKはゲートドライバが出力するゲート駆動信号のパルス幅を規定する。

【0014】液晶表示パネル61のソースドライバ62及びゲートドライバ63は以上の信号により制御される。ソースドライバ62及びゲートドライバ63の動作は以下のとおりである。ソースドライバ62は、水平スタートパルス信号HSPをスタート(水平同期)信号としてDEのハイレベル期間のDATAを水平クロック信号HCKにより順次読み込み、1ライン分のデータを読み込むとDLPにより、内部のラッチ回路にラッチしD/A変換して1ライン分の画素に対応する数の階調電圧とし、対応するTF Tトランジスタのソース線に供給す

る動作を繰り返す。

【0015】ゲートドライバ63は、VSPをスタート(垂直同期)信号として垂直クロック信号VCKのパルス間隔のゲート駆動信号をゲート線に順次出力し、1ライン分のTF Tトランジスタを順次駆動してライン単位のトランジスタをON状態とする動作を繰り返す。

【0016】図9は、特定のゲート線及びソース線の駆動動作時の信号を示す図である。データラッチパルス信号DLP、垂直クロック信号VCK、当該ゲート線のゲート駆動信号(ゲートON期間を制御する信号)及びデータ出力(階調電圧)によるソース線の充電電圧(以下、単にデータ出力ともいう)を示している。ソースドライバ62はDLPのパルス間隔の間、ソース線に階調電圧に出力し、ゲートドライバ63はVCKのパルス間隔の間、ゲート線を駆動する。このときソース線に供給された階調電圧は、ソース線及び画素電極を充電する充電波形となり、画素電極への最終的な充電電圧はゲートON期間の後縁での充電電圧となり、この電圧は次のフレームまで保持され液晶表示パネルの画素単位の透過度を決定する。

【0017】以上のように、ソースドライバ62は、1ライン分のデータを取り込み階調電圧として出力する期間は、1ライン分のデータの取り込み後のDLPのパルスから次のDLPのパルスまでの期間、つまり、1ライン前のデータをその後の次のラインに跨る期間に書き込みを行うというタイミング関係となる。なお、階調電圧の出力の最後のタイミングを規定するDLPと、ゲートON期間の後縁を規定するVCKは、何れもDEの立ち上がりを基準にDCKを計数して出力することから、フレーム最後の1ラインの次の存在しない立ち上がりとしてダミー基準信号HRSTが不可欠である。

【0018】

【発明が解決しようとする課題】データインーブル信号DEを使用して液晶表示用の表示データを出力する表示データ供給装置(コンピュータ等)においては、画像データを液晶表示パネルの精細度等に応じたライン単位の表示データ等へ変換する処理等に起因して、出力する表示データのライン単位のデータ間の間隔、つまり、データインーブル信号DEの立ち上がりタイミングは遅延(ローレベルの後縁が遅延)することがある。また、データインーブル信号の垂直同期用の長いローレベル期間に発生する擬似的なHRST(ダミーHRST)は、その直前のDEの立ち上がり(HRST)に対して原理的にそれまでの各ライン単位のHRSTのパルス間隔と比べて、やはり発生タイミングが遅延することになる(特開平10-301544号公報参照)。

【0019】以上のようにHRSTの発生タイミングは、データインーブル信号DEの立ち上がりタイミング及びダミー基準信号HRSTの発生タイミングの遅延変動により変動するため、DLP及びVCKの発生タイミ

ングも遅延変動し液晶表示パネルの表示に影響を与える。

【0020】図10は、液晶表示パネルの表示に影響を与える原理を示す図である。図10の点線に示すようにDEの水平同期用のローレベル期間が長くなったり、垂直同期用の長いローレベルで発生するダミー基準信号HRSTが遅れた場合、DLP及びVCKも遅延する。この結果、図10に点線で示すようにDLP及びVCKの遅延により、階調電圧による充電時間が長くなり、TFTトランジスタのON期間も長くなるから、画素電極に対する最終的な充電電圧が変動し、液晶表示パネルの透過度が影響され表示ムラ等の表示品質の劣化の原因となる。

【0021】(目的)本発明の目的は、データインーブル信号の変動等による表示ムラの発生を抑制できる液晶表示制御回路及び液晶表示装置を提供することにある。

【0022】

【課題を解決するための手段】本発明の液晶表示制御回路は、ドットクロック(DCK)とライン単位の表示データ(DATA)と該表示データに同期するデータインーブル信号(DE)とを入力して、データインーブル信号の立ち上がりタイミング及びデータインーブル信号のフレーム内の最後の立ち上がりから一定時間後のタイミングで発生した基準信号(HRST)に同期する垂直クロック信号(VCK)によりゲートドライバ(例えば図1の23)が出力するゲート駆動信号のパルス幅を規定する液晶表示制御回路において、前記垂直クロック信号(VCK)から所定時間幅(例えば図2のtx)のゲートドライバ・アウトプットインーブル信号(例えば図2のVOE)を出力するゲートインーブル信号発生回路(例えば図1の10)を備え、前記ゲートドライバ・アウトプットインーブル信号(例えば図2のVOE)の前記所定時間(例えば図2のtx)のみ前記ゲート駆動信号の出力を可能に前記ゲートドライバ(例えば図1の23)を制御し、データインーブル信号の立ち上がりタイミングの変動(例えば図2のts)による表示への影響を抑制することを特徴とする。また、前記液晶表示制御回路は、前記基準信号に同期してソースドライバに対する表示データ(例えば図2のDATA)、水平クロック信号(HCK)、水平スタートパルス信号(例えば図2のHSP)、ライン単位の表示データのラッチを制御するデータラッチパルス信号(例えば図2のDLP)、ソースドライバに対する垂直スタートパルス信号(例えば図2のVSP)を出力することを特徴とする。

【0023】前記各液晶表示制御回路において、前記ゲートドライバ・アウトプットインーブル信号の前記所定時間(例えば図2のtx)は、データインーブル信号の立ち上がりタイミングで発生した前記基準信号の間隔のフレーム内の最大値であり、かつフレーム間の最小値として設定することを特徴とし、具体的には、データインー

ブル信号の立ち上がりタイミングで発生した前記基準信号でリセットされ、前記ドットクロックを計数する水平カウンタ(例えば図4の13)と、前記水平カウンタのリセット前の最大の計数値を順次比較(例えば図4の153)して、大きい方の計数値を保持するフレーム内最大値保持レジスタ(例えば図4の152)と、前記フレーム内最大値保持レジスタに保持した計数値をフレーム単位で順次比較(例えば図4の174)して、小さい方の計数値を保持するフレーム間最小値保持レジスタ(例えば図4の173)と、前記水平カウンタの計数値と前記フレーム内最大値保持レジスタの計数値とを比較することにより、データインーブル信号のフレーム内の最後の立ち上がりから一定時間後のタイミングの前記基準信号(例えば図4のダミー基準信号HRST)を発生して前記水平カウンタをリセットするデコーダ(例えば図4の14)と、前記垂直クロック信号によりリセットされドットクロックを計数するカウンタ(例えば図4の181)の計数値と前記フレーム間最小値保持レジスタ(例えば図4の173)の計数値とを比較(例えば図4の182)することにより所定時間幅のゲートドライバ・アウトプットインーブル信号(例えば図4のVOE)を出力する前記ゲートインーブル信号発生回路(例えば図4の18)と、を有することを特徴とする。

【0024】また、前記ゲートドライバ・アウトプットインーブル信号の前記所定時間は、データインーブル信号の立ち上がりタイミングで発生した前記基準信号の間隔のフレーム内の最大値以下の固定値として設定することを特徴とし、具体的には、データインーブル信号の立ち上がりタイミングで発生した前記基準信号でリセットされ、前記ドットクロックを計数する水平カウンタと、前記水平カウンタのリセット前の最大の計数値を順次比較して、大きい方の計数値を保持するフレーム内最大値保持レジスタ(例えば図4の152)と、前記水平カウンタの計数値と前記フレーム内最大値保持レジスタの計数値とを比較することにより、データインーブル信号のフレーム内の最後の立ち上がりから一定時間後のタイミングの前記基準信号を発生して前記水平カウンタをリセットするデコーダ(例えば図4の14)と、前記垂直クロック信号によりリセットされドットクロックを計数するカウンタ(例えば図4の181)の計数値と前記固定値に対応する固定数値(例えば図4の17に代えて固定数値を設定)とを比較することにより所定時間幅のゲートドライバ・アウトプットインーブル信号を出力する前記ゲートインーブル信号発生回路(例えば図4の18)と、を有することを特徴とする。

【0025】前記ゲートドライバ・アウトプットインーブル信号の前記所定時間は、データインーブル信号の立ち上がりタイミングで発生した前記基準信号の間隔のフレーム内の最小値として設定することを特徴とし、具体的には、前記基準信号でリセットされ、前記ドットクロ

ックを計数する水平カウンタと、前記水平カウンタのリセット前の最大の計数値を順次比較して、大きい方の計数値を保持するフレーム内最大値保持レジスタ（例えば図4の152）と、前記水平カウンタのリセット前の最大の計数値を順次比較して、小さい方の計数値を保持するフレーム内最小値保持レジスタと、前記水平カウンタの計数値と前記フレーム内最大値保持レジスタに保持した計数値とを比較することにより、データイネーブル信号のフレーム内の最後の立ち上がりから一定時間後のタイミングの前記基準信号を発生して前記水平カウンタをリセットするデコーダ（例えば図4の14）と、前記垂直クロック信号によりリセットされドットクロックを計数するカウンタの計数値と前記フレーム内最小値保持レジスタの計数値とを比較することにより所定時間幅のゲートドライバ・アウトプットイネーブル信号を出力する前記ゲートイネーブル信号発生回路と、を有することを特徴とする。

【0026】前記ゲートドライバ・アウトプットイネーブル信号の前記所定時間は、データイネーブル信号の立ち上がりタイミングで発生した前記基準信号の間隔のフレーム内の平均値又は発生頻度の最も高い計数値として設定することを特徴とし、具体的には、データイネーブル信号の立ち上がりタイミングで発生した前記基準信号でリセットされ、前記ドットクロックを計数する水平カウンタと、前記水平カウンタのリセット前の最大の計数値を順次比較して、大きい方の計数値を保持するフレーム内最大値保持レジスタと、水平カウンタの前記最大の計数値の平均の計数値又は発生頻度の最も高い計数値を出力する演算手段と、前記水平カウンタの計数値と前記フレーム内最大値保持レジスタの計数値とを比較することにより、データイネーブル信号のフレーム内の最後の立ち上がりから前記一定時間後のタイミングの前記基準信号を発生して前記水平カウンタをリセットするデコーダと、前記垂直クロック信号によりリセットされドットクロックを計数するカウンタの計数値と前記演算手段の出力の計数値とを比較することにより所定時間幅のゲートドライバ・アウトプットイネーブル信号を出力する前記ゲートイネーブル信号発生回路と、を有することを特徴とする。

【0027】（作用）データイネーブル信号の立ち上がりタイミングの変動に起因するゲート駆動信号の後縁の変動による画素電極の充電期間の変動を防止し液晶表示パネルの表示への影響を防止するため、所定時間幅のみゲートドライバからゲート線への出力を可能とする制御信号（「ゲートドライバ・アウトプットイネーブル」という。）を生成して、ゲートドライバから出力するゲート駆動信号の後縁部の遅延出力を禁止する。ゲートドライバ・アウトプットイネーブル信号の幅は、ライン内の最大値でフレーム間の最小値として設定する。あるいは所定の固定値、1水平期間の最小値、1水平期間等にお

ける平均値又は最頻度値等とすることができる。

【0028】

【発明の実施の形態】本発明の液晶表示制御回路の実施の形態について以下図面を参照して説明する。図1は、本実施の形態の構成を示す図である。本実施の形態の液晶表示システムの全体構成は、従来例と同様に、コンピュータ7と、液晶表示装置本体（液晶表示装置）2と、前記コンピュータ3からの各信号を入力し液晶表示装置2を駆動、制御する液晶表示制御回路1と、から構成される。

【0029】特に本実施の形態では、液晶表示装置2は、ゲートドライバ22にその出力を制御する制御信号を入力するゲートイネーブル端子230を備え、液晶表示制御回路1は、前記ゲートドライバ22の出力を制御する前記制御信号であるゲートドライバ・アウトプットイネーブル信号を生成するゲートイネーブル信号発生回路10を備える点で特徴を有する。各部の構成及び機能は以下のとおりである。

【0030】液晶表示装置2は、従来例と同様の構成として、基板上に表示用の画素電極と、該画素電極に電圧を印加するTFTトランジスタとをマトリクス状に配置した液晶表示パネル21と、該液晶表示パネル21の上辺に配置したソースドライバ22及び左辺に配置したゲートドライバ23を備え、ソースドライバ22において水平方向の1ライン単位でラッチした表示データをD/A変換して階調電圧として前記液晶表示パネル21の画素電極に水平方向の1ライン単位で順次書き込むことにより、画素電極と共通電極間に画素毎の電圧を印加し、印加電圧値に応じてその電極間の液晶の透過度を制御して表示する構成を有する。

【0031】また、液晶表示装置2のゲートドライバ23は、シフトレジスタ231と、該シフトレジスタ231からのライン単位の複数の出力をそれぞれ禁止制御する禁止回路232とから構成され、禁止回路232は、ゲートイネーブル信号発生回路10から入力するゲートドライバ・アウトプットイネーブル信号によりシフトレジスタ231からゲート線へ出力するゲート駆動信号の遅延した後縁部を禁止制御する機能を有する。

【0032】コンピュータ3は、内部のグラフィック・チップ・コントローラ31等から、従来例と同様のライン単位に区切った表示データDATA、前記表示データDATAに同期する単一のデータイネーブル信号DE及び表示データのデータレート（繰り返し周波数）のドットクロック信号DCKの3種類の信号を出力する。

【0033】液晶表示制御回路1は、前記3種類の信号により従来例と同様の各種信号を液晶表示装置2に出力する。つまり、データイネーブル信号の立ち上がりタイミング及び前記データイネーブル信号のフレーム内の最後の立ち上がりから一定時間後のタイミングにおいて発生した基準信号H R S Tに基づいて、これに同期する水

平スタートパルス信号HSP、水平クロック信号HCK、データラッチパルス信号DLP及び垂直クロック信号VCK、前記データイネーブル信号のフレームの最初に発生する垂直スタートパルス信号VSPを出力する。更に液晶表示制御回路1は、従来例と同様のデータ変換部を備え、1画素がRGB各々6ビットで構成される18ビット(6ビット×3)のシリアルデータでなる前記表示データをドットクロック信号DCKに同期して入力し、該表示データをパラレルデータに変換して水平クロック信号HCKに同期して出力する。ここでDCKは前記表示データに同期する外部クロック信号であり、HCKは液晶表示制御回路5から出力する表示データに同期する内部クロック信号である。HCKは、ソースドライバのドライバ群構成及びソースドライバの入力形式等により決まる出力表示データの形式に応じた形態としてDCKから作られる。また、垂直クロック信号VCKはゲートドライバが出力するゲート駆動信号のパルス幅を規定する。

【0034】液晶表示制御回路1は、更にゲートイネーブル信号発生回路10からゲートドライバのゲート駆動信号を所定期間のみ通過させるゲートドライバ・アウトプットイネーブル信号VOEを生成して液晶表示パネル21のゲートドライバ23を制御し、データイネーブル信号DEの立ち上がりタイミングの遅延による表示ムラを防止する機能を有する。

【0035】図2は、本実施の形態の液晶表示制御回路の機能及び出力信号の例を示す図である。本例ではコンピュータ3から液晶表示制御回路1に出力される前記3種類の信号は、1ライン単位に区切られた表示データDATAと前記表示データの1ラインのデータ期間を有効な表示データであることを示すハイレベル、ライン間を無効期間として示すローレベル、フレーム間、即ち1フレームの最後の1ラインと次のフレームの最初の1ラインの間を示す長いローレベルでなるデータイネーブルDEは、ハイレベルへの立ち上がりタイミングが $t_s$ のように遅延しており、 $t_s$ 時点のHSPとその直前のHSPとの間隔は他より長くなり、また、最後の1ラインの表示データD後に発生されるHRSTは、それまでのHSPの間隔の最大値以上(最大値+所定のマージン)として発生されるので、同様に該HRSTとその直前のHSPとの間隔も他より長くなっている例として示している。

【0036】本実施の形態では、ゲートイネーブル信号発生回路10は、VCKのパルスを基準にゲートドライバ・アウトプットイネーブル信号VOEを発生する。ゲートドライバ・アウトプットイネーブル信号VOEとしては、VCKのパルスを基準に、直後のVCKパルスの発生が遅延したとき、当該直後のVCKパルスが本来発生されるべき時点 $t_x$ で立ち上がり、当該直後のVCKパルスで立ち下がるパルス信号として発生される。

【0037】ゲートドライバ・アウトプットイネーブル信号VOEはゲートドライバ23のゲートイネーブル端子230に出力され、ゲートドライバ23は、前記ゲートドライバ・アウトプットイネーブル信号VOEのハイレベルの期間のみシフトレジスタ231からゲート線に供給するゲート駆動信号は禁止回路232により遮断され、ソース線に印加された階調電圧の書き込み期間は全て同一になるように制御される。

【0038】図3は、本実施の形態におけるソース線と特定のゲート線の駆動動作及び画素電極への階調電圧の書き込み(充電)期間(ゲートON期間)を示す図である。同図にはデータイネーブル信号の立ち上がりの遅延の影響を示している。垂直クロック信号VCK及びデータラッチパルス信号DLPがデータイネーブル信号の立ち上がりの遅延に起因して、例えば点線のように遅延すると、垂直クロック信号VCKにより発生されるゲート駆動信号も点線のように延長する。この結果、ソースドライバからの当該ラインの書き込みのためのデータ出力(階調電圧)による充電期間が他のラインの充電期間より延長するとともに、当該ラインの全てのTFTトランジスタのON期間も延長し、当該ラインの画素電極に対するソース線からの最終充電電圧の値に影響を与える。しかし、本実施の形態ではゲートドライバ・アウトプットイネーブル信号VOEによりゲート駆動信号の後縁部はゲートドライバから出力されないで、TFTトランジスタのON期間は一定化し、最終充電電圧の値に対する影響は抑制される。つまり、データB及びデータDの書き込み期間はデータイネーブル信号DEの立ち上がりの遅延時間に相当する期間だけ延長されることがなく、全ラインとも一定化し画素電極への階調電圧の充電電圧が常に一定化し、表示ムラの発生は防止される。

【0039】

【実施例】次に、本発明の液晶表示制御回路の具体的な実施の形態について説明する。

(構成の説明)図4は、本発明の液晶表示制御回路の実施例を示すブロック図である。本実施例ではVOEのハイレベルの立ち上がりタイミングである $t_x$ の決定を「フレーム内の最大」で且つ「フレーム間の最小」の期間として設定する例を示す図である。なお、液晶表示制御回路には前述のデータ変換部も存在するが図示を省略している。

【0040】データイネーブル信号DEの立ち上がりを検出してそのタイミングでパルスを出力する立ち上がり検出回路11、データイネーブル信号DEの立ち上がりでリセットされドットクロック信号DCKを計数し、計数值データを出力する水平カウンタ13、水平カウンタ13の計数值データをデコードすることにより、前記DEに同期するソースドライバへの水平同期用の水平スタートパルス信号HSPと、水平クロック信号HCKと、データラッチパルス信号DLPと、垂直クロック信

号VCKとを出力するデコーダ14、1ライン内のHSPのパルスの間隔を前記計数値データにより順次比較して常にその最大間隔の計数値データの値(最大値)t0を決定する最大値検出回路15、1フレーム内の前記最大値t0を順次比較してフレーム内の最大であり且つフレーム間の最小のtxを決定するtx設定回路17、tx設定回路17で決定したtxによりVOEを出力するVOE発生回路18から構成されている。

【0041】(動作の説明)次に、図4に示す本実施例の動作を、図2に示す出力信号例により詳細に説明する。立ち上がり検出回路11は、データイネーブル信号DEをドットクロック信号DCKにより読み込みDEの立ち上がりパルスを出力する。水平カウンタ13はDCKを計数し、計数値は前記DEの立ち上がりパルスによりリセットされる。つまり、水平カウンタ13はDEの立ち上がりパルス間隔内でDCKの計数値を繰り返し出力する。デコーダ14は、前記計数値をデコードし、DEの立ち上がりタイミングから数ドットクロック(5ドットクロック)程度遅延するHSPに加え、DEの立ち下がり前及び立ち下がり後のタイミングで、それぞれ垂直同期用の垂直クロック信号VCK及びデータラッチパルス信号DLPを出力する。

【0042】最大値検出回路15は、レジスタ151、最大値保持用のレジスタ152、大値検出回路153とからなり、レジスタ151は水平カウンタ13の計数値をDEの立ち上がりのタイミングで、ラッチして保持する。この時、大値検出回路153は以前に保持されている最大値保持用のレジスタ152の値と前記計数値とを比較して、大きい方の値を大値としてレジスタ152に出力して、OR回路12を介するDEの立ち上がりタイミングによりラッチして保持する。つまり、常にOR回路12の出力のタイミングでそれまでの最大の間隔に相当する計数値t0がレジスタ152に保持される。

【0043】一致検出回路16は、最大値検出回路15のレジスタ152が保持する計数値tmaxに一定のマージンを加えた値t0(=tmax+ )と水平カウンタ13の計数値データを比較し一致するタイミングでダミー基準信号HRSTを出力する。このため、一致検出回路16は、フレームのライン単位でHRSTを出力することはなく、フレームとフレームの間の長いローレベルの期間のみ水平カウンタ13の計数値がt0値に達してHRSTを発生する。

【0044】tx設定回路17においては、RSフリップフロップ171は1フレームの最初のDEの立ち上がりタイミングでセットされ、HRSTによりリセットされ、フレーム単位のパルスを出力する。レジスタ172はフレームの最初の時点で15の最大値保持用のレジスタ152に保持されている計数値をラッチして保持し、直前までの最小の計数値を保持しているレジスタ173の値とを小値検出回路174が比較し、より小さい値を

出力してレジスタ173にラッチして保持する。つまり、レジスタ173には、フレーム内では最大であるがフレーム間では最小の値txを出力する。

【0045】次にVOE発生回路18は、VCKでリセットされドットクロック信号DCKを計数するカウンタ181の計数値と前記値txとを一致回路182で比較し一致した時点でフリップフロップ183をセットし、VCKによりリセットすることによりVOEを出力する。つまり、フリップフロップ183から、VCKパルスからフレーム内では最大であるがフレーム間では最小の値txだけ経過した時点でのみ立ち上がり次のVCKパルスにより立ち下がるVOEのパルス信号を出力する。

【0046】以上の動作により液晶表示制御回路1で発生したゲートイネーブル信号VOEは、ゲートドライバ23の禁止回路232を遮断しゲート駆動信号の後縁側の延長分の通過を禁止する。従って、データイネーブル信号DEのローレベルの変動に拘わらず、ソースドライバ22から出力されるデータ出力(階調電圧)による画素電極への書き込み(充電)期間は一定化し、表示ムラの発生を防止することが可能となる。

【0047】以上の動作におけるtx設定回路17のフレーム内では最大であるがフレーム間では最小の値txの決定について、図5を用いてより詳細に説明する。図5は、前記実施例の動作による値txの決定方法を示す図であり、図5(a)はフレーム内の最大値の推移とフレーム間の最小値の例を経時的に示す図、図5(b)はHRSTの発生タイミングを示す図、図5(c)は最終ラインの書き込み期間を示す図である。

【0048】図5(a)に示すように、経時的なフレーム1、2、3、4の例でそれぞれのフレーム内最大値tmaxをtmax1、tmax2、tmax3、tmax4とし、その大小関係がtmax3 < tmax1 < tmax2 < tmax4であるとする、フレーム内最大値tmaxは、それぞれtmax1、tmax2、tmax2、tmax4となり、フレーム内最大値であり且つフレーム間最小値txは、それぞれtmax1、tmax1、tmax3、tmax3となる。従って、フレーム1~4毎のダミー基準信号HRSTの発生タイミングは図5(b)に示すようになり、また、フレーム1~4毎の最終ラインの書き込み期間と、VOEによる非書き込み期間は、図5(c)に示すようになる。本実施例の制御によれば、最終ラインの書き込み期間は、最終的に標準の1水平期間に近いところに収束していく。

【0049】(他の実施例)以上説明した実施例において、txの決定には各種の方法がある。以下txの他の決定方法について説明する。

#### (1) 固定値

表示データを供給するコンピュータ側のデータ処理方式に応じて、データイネーブル信号の立ち上がりタイミング間の最小値が略一定している場合等には、その最小値

に所望のマージンを加味した固定値を設定し、前記  $t_x$  として使用することができる。この場合、図 4 に示す  $t_x$  設定回路 17 を前記固定値  $t_x$  を設定して出力するレジスタ回路等に置き換えることにより実現することができる。

【0050】(2) 1 水平期間の最小値  
データインーブル信号の立ち上がりタイミング間の最小値を検出して、全てのラインの書き込み期間を前記最小値とすることにより、書き込み期間の一定化を図ることができる。この場合、図 4 に示す  $t_x$  設定回路 17 のレジスタ 172 のデータ入力端子 D に水平カウンタ 13 の出力の計数値データを入力する構成に置換すること、又は、図 4 に示す最大値検出回路 15 と並列に大値検出回路 153 を小値検出回路（例えば図 4 の 174）に代えた同様の構成を用いること、により実現することができる。なお、前記固定値又は最小値の設定の場合は、VCK により立ち下がり、前記固定値又は最小値に対応する所定時間後に立ち上がる繰り返しパルスでなる信号が VOE として出力されることになる。

【0051】(3) 平均値、最も発生頻度の高い最頻度値

表示ムラの抑制のためには、書き込み期間の均一化が図れれば良いことから、1 水平期間毎にデータインーブル信号の立ち上がりタイミング間の間隔の平均値、又は前記最頻度値とすることができる。この場合図 4 に示す  $t_x$  設定回路 17 はフレーム毎に水平カウンタ 13 の出力の計数値データを入力し、ライン単位の前記間隔の履歴に基づく平均の計数値又は発生頻度の高い計数値を選択する演算手段を構成とすることにより実現することができる。平均の計数値の演算は、例えば計数値の発生時に、以前発生した全計数値に当該計数値を加算しそれまでの前記全計数値の発生回数 + 1 で割った値として算出することができる。発生頻度の高い計数値の演算は、例えば所定の有効桁数で計数値を丸めた後に同一計数値の発生頻度の高いものを選択することにより算出することができる。

【0052】

【発明の効果】本発明によれば、データインーブル信号の立ち上がりタイミングの間隔の変動やフレームの最終ラインのダミー基準信号の遅れに対して、ゲートドライバから出力するゲート駆動信号を一定化するように構成しているから、液晶表示パネルの TFT トランジスタの ON 期間を常に一定にすることができ、前記変動等に拘わらず画素電極に対する充電電圧の影響を抑制することが可能であり、表示ムラの抑制が実現できる。

【図面の簡単な説明】

【図 1】 本発明の液晶表示制御回路の実施の形態を示す図である。

【図 2】 本実施の形態の液晶表示制御回路の機能及び出力信号の例を示す図である。

【図 3】 本実施の形態におけるソース線と特定のゲート線の駆動動作及び画素電極への階調電圧の書き込み（充電）期間を示す図である。

【図 4】 本発明の液晶表示制御回路の実施例を示すブロック図である。

【図 5】 本実施例の動作による値  $t_x$  の決定方法を示す図である。

【図 6】 従来の液晶表示システムの全体構成を示す図である。

【図 7】 従来の液晶表示システムの各部の信号形態を示す図である。

【図 8】 液晶表示装置を制御する各種信号を発生する液晶表示制御回路の従来例を示す図である。

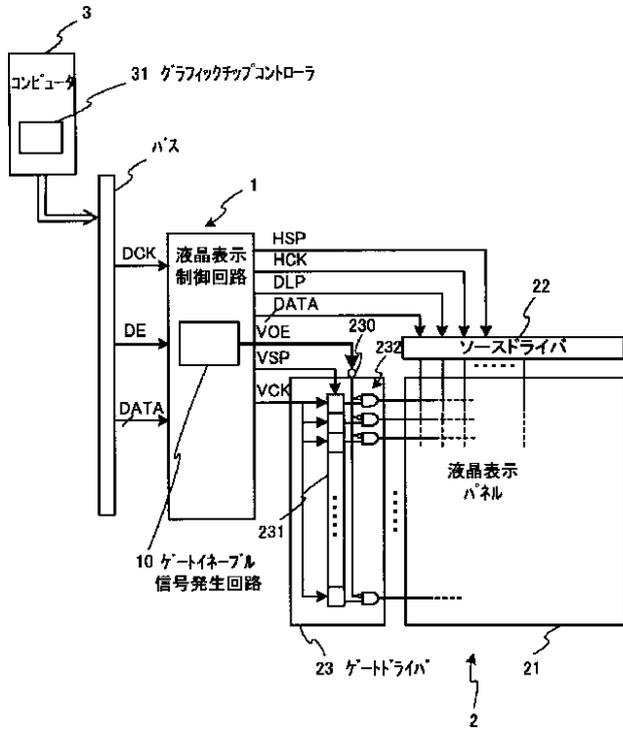
【図 9】 ソース線と特定のゲート線の駆動動作及び画素電極への階調電圧の書き込み（充電）期間を示す図である。

【図 10】 前記表示ムラが生じる原理を示す図である。

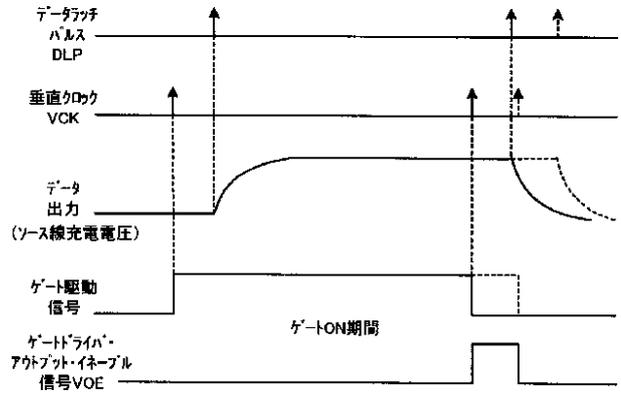
【符号の説明】

- 1、5 液晶表示制御回路
- 2、6 液晶表示装置
- 3、7 コンピュータ
- 10 ゲートインーブル信号発生回路
- 11、21 立ち上がり検出回路
- 12、23 OR 回路
- 13、22 水平カウンタ
- 14、25 デコーダ
- 15 最大値検出回路
- 16、27、182 一致検出回路
- 17  $t_x$  値設定回路
- 18 VOE 発生回路
- 22、62 ソースドライバ
- 23、63 ゲートドライバ
- 26、28、151、152、172、173 レジスタ
- 29、153 大値検出回路
- 30 データ変換部
- 31、71 グラフィックチップコントローラ
- 174 小値検出回路
- 171、183 RS フリップフロップ回路
- 231 シフトレジスタ
- 232 禁止回路

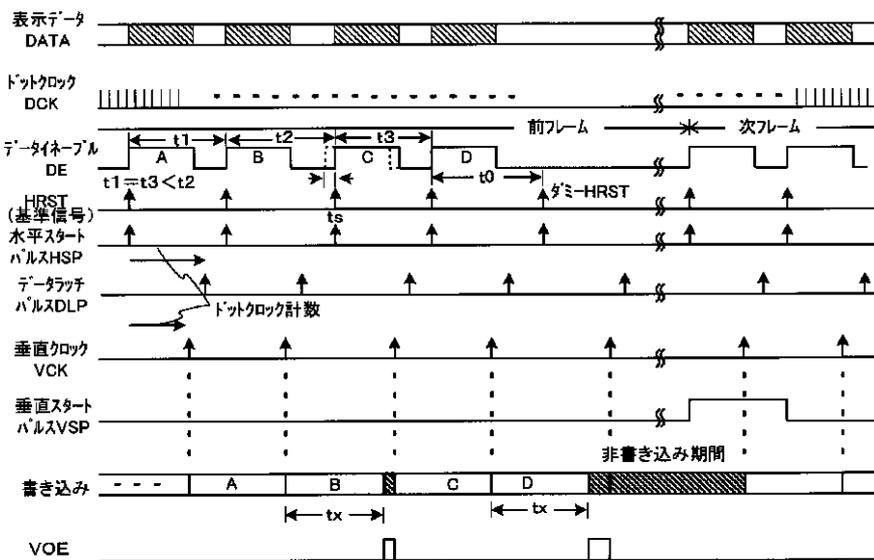
【図1】



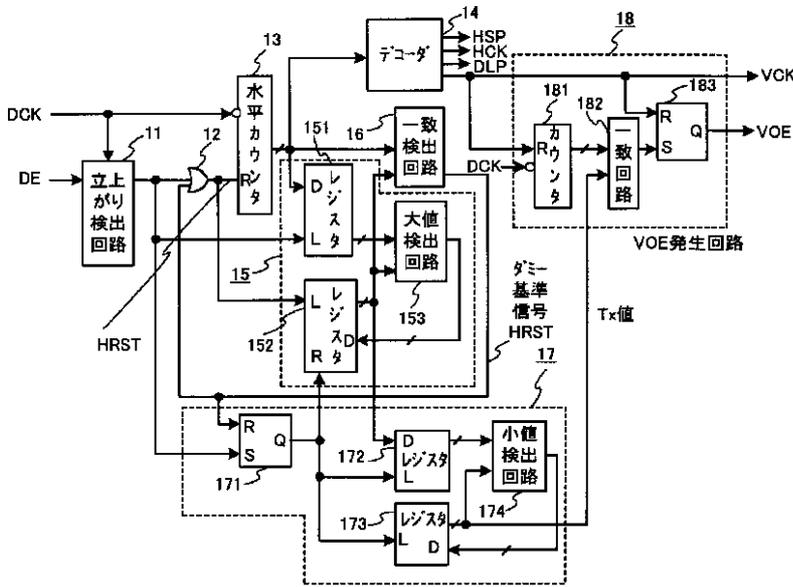
【図3】



【図2】



【図4】



【図5】

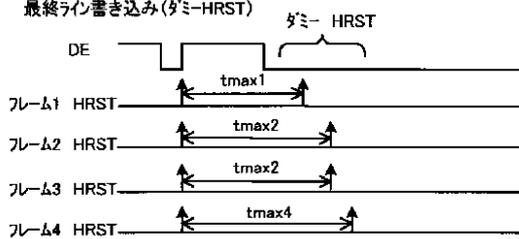
Txの決め方 例: フレーム内最大値のフレーム間最小値

フレーム	フレーム内tmax	tmax	tx
1	tmax1	tmax1	tmax1
2	tmax2	tmax2	tmax1
3	tmax3	tmax2	tmax3
4	tmax4	tmax4	tmax3

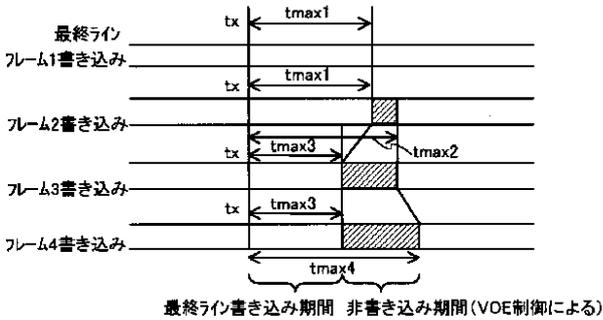
$t_{max3} < t_{max1} < t_{max2} < t_{max4}$

(a)

最終ライン書き込み(ダミー-HRST)



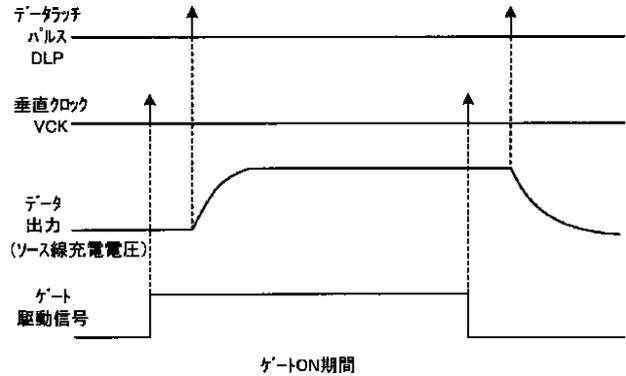
(b)



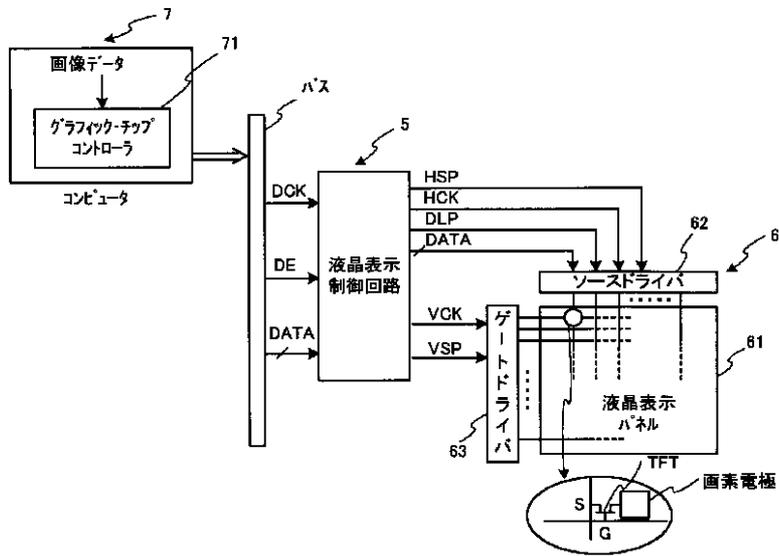
最終ライン書き込み期間 非書き込み期間 (VOE制御による)

(c)

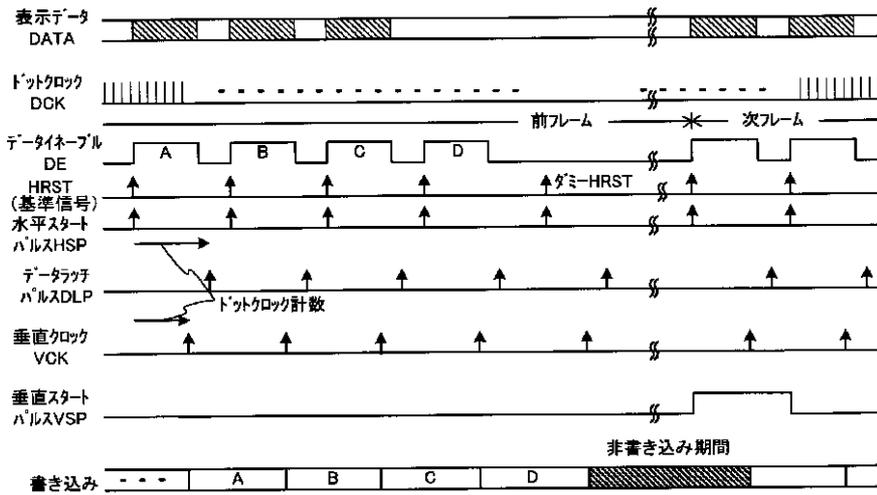
【図9】



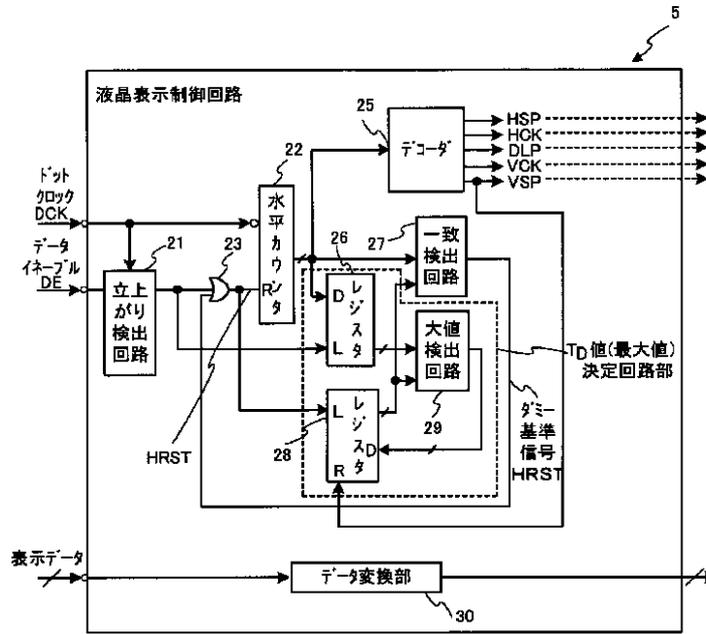
【図6】



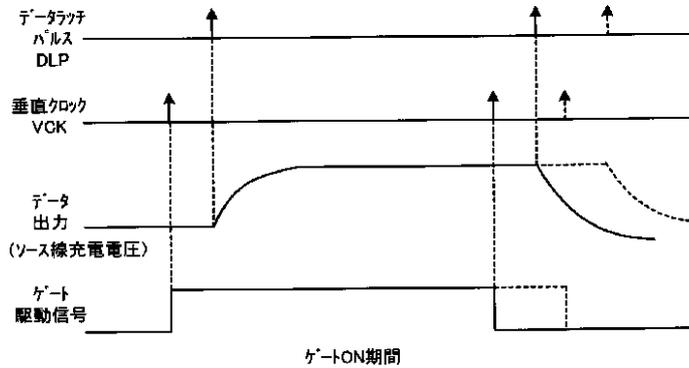
【図7】



【図8】



【図10】



フロントページの続き

(72)発明者 山口 真智彦  
 東京都港区芝五丁目7番1号 日本電気株式会社  
 式会社内

Fターム(参考) 2H093 NA16 NA51 NC03 NC16 NC22  
 NC23 NC24 NC27 NC34 ND01  
 ND05 ND09  
 5C006 AC22 AF42 AF71 BB16 BF14  
 BF22 FA16 FA21  
 5C058 AA06 BA04 BA06  
 5C080 AA10 BB05 DD05 FF11 JJ02  
 JJ04

专利名称(译)	液晶表示制御回路		
公开(公告)号	<a href="#">JP2003029717A</a>	公开(公告)日	2003-01-31
申请号	JP2001214530	申请日	2001-07-13
申请(专利权)人(译)	NEC公司		
[标]发明人	古賀弘一 奥苑登 山口真智彦		
发明人	古賀 弘一 奥苑 登 山口 真智彦		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/3611 G09G3/3677		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.J G09G3/20.622.B H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA51 2H093/NC03 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC27 2H093/NC34 2H093/ND01 2H093/ND05 2H093/ND09 5C006/AC22 5C006/AF42 5C006/AF71 5C006/BB16 5C006/BF14 5C006/BF22 5C006/FA16 5C006/FA21 5C058/AA06 5C058/BA04 5C058/BA06 5C080/AA10 5C080/BB05 5C080/DD05 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZD21 2H193/ZD32 2H193/ZD34 2H193/ZF03		
其他公开文献	JP4904641B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的目的是抑制由于数据使能信号的波动引起的显示不均匀的发生。液晶显示控制电路1通过从计算机3以行为单位输入与显示数据同步的数据使能信号DE来控制液晶显示装置2。栅极驱动器23输出的栅极驱动信号与DE的上升沿同步的垂直时钟信号VCK，以及由于最后一行之后的VCK的延迟而引起的DE的上升沿的延迟时间和像素电极的充电周期同步。为了防止波动，液晶显示控制电路1设置有栅极使能信号生成电路10，以禁止由于延迟而输出栅极驱动信号的扩展脉冲。

