

(19)日本国特許庁（J P）

(12) **公開特許公報** (A)

(11)特許出願公開番号

特開2002－311903

(P2002－311903A)

(43)公開日 平成14年10月25日(2002.10.25)

(51)Int.Cl ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 F 9/30	338	G 0 9 F 9/30	5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 9 4
		611 A	
		611 G	

審査請求 未請求 請求項の数 5 O L (全 8 数) 最終頁に続く

(21)出願番号 特願2001－112724(P2001－112724)

(22)出願日 平成13年4月11日(2001.4.11)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 筒井 雄介

大阪府守口市京阪本通2丁目5番5号 三洋電
機株式会社内

(74)代理人 100107906

弁理士 須藤 克彦 (外1名)

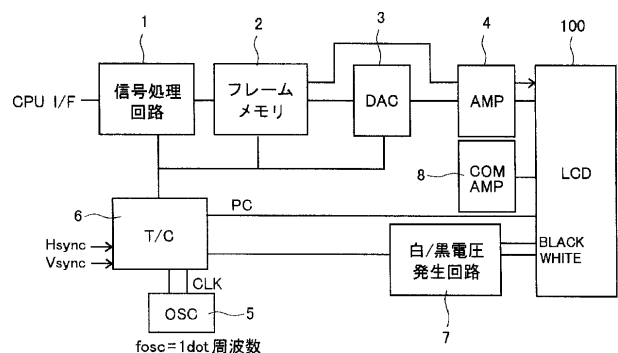
最終頁に続く

(54)【発明の名称】 表示装置

(57)【要約】

【課題】液晶表示装置の回路規模を小さくすることができると共に、アナログ信号処理部とデジタル信号処理回路とを容易に1チップ化する。

【解決手段】デジタル表示時には、パネル駆動周波数を60Hzから20Hz～30Hzに低減することにより、スタティック型メモリ110の電源電圧を3V程度に下げてもデジタル映像信号の書き込みが十分可能である。フレームメモリ2から出力されたデジタル映像信号はレベルシフタ11を介さずに、直接液晶表示パネル100に出力することができる。



【特許請求の範囲】

【請求項 1】 デジタル映像信号を出力する画像メモリと、表示パネル内の複数の表示画素毎に設けられたスタティック型メモリ回路と、該スタティック型メモリ回路にデジタル映像信号を書き込む際のタイミングを制御するパネル駆動信号を供給するパネル駆動回路と、備え、前記スタティック型メモリ回路に保持されたデジタル映像信号に応じて表示を行う表示装置であって、前記パネル駆動信号の周波数を低減することにより、前記画像メモリからスタティック型メモリ回路にデジタル映像信号をレベルシフトすることなく書き込むようにしたことを特徴とする表示装置。

【請求項 2】 デジタル映像信号を出力する画像メモリと、該画像メモリから出力されるデジタル映像信号をアナログ映像信号に変換する D/A 変換器と、該 D/A 変換器からのアナログ映像信号と前記画像メモリから出力されるデジタル映像信号とを択一的に表示パネルに供給する信号選択部と、前記表示パネルにパネル駆動信号を供給するタイミング制御回路と、表示パネル内の複数の表示画素毎に設けられ、前記パネル駆動信号に基づいて入力されるアナログ映像信号に応じて表示を行う第 1 の表示回路と、該表示画素毎に設けられ、前記パネル駆動信号に基づいてデジタル映像信号が書き込まれるスタティック型メモリ回路を有し、該デジタル映像信号に応じて表示を行う第 2 の表示回路と、備え、前記第 1 の表示回路と第 2 の表示回路とが選択可能な表示回路であって、前記パネル駆動信号の周波数を低減することにより、前記画像メモリからスタティック型メモリ回路にデジタル映像信号をレベルシフトすることなく書き込むようにしたことを特徴とする表示装置。

【請求項 3】 前記タイミング制御回路により、前記第 2 の表示回路が選択された時のパネル駆動信号の周波数を、前記第 1 の表示回路が選択された時のパネル駆動信号の周波数より低くすることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 前記スタティック型メモリ回路は、正帰還された第 1 及び第 2 のインバータ回路から成ることを特徴とする請求項 1 または 3 に記載の表示装置。

【請求項 5】 前記第 1 及び第 2 のインバータ回路は、薄膜トランジスタで構成されていることを特徴とする請求項 4 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は表示装置に関し、特に携帯可能な表示装置に用いて好適な表示装置に関する。

【0002】

【従来の技術】 近年、携帯可能な表示装置、例えば携帯テレビ、携帯電話等が市場ニーズとして要求されている。かかる要求に応じて表示装置の小型化、軽量化、省

消費電力化に対応すべく研究開発が盛んに行われている。

【0003】 図 5 に従来例に係る液晶表示装置の一表示画素の回路構成図を示す。絶縁性基板（不図示）上に、ゲート信号線 51、ドレイン信号線 61 とが交差して形成されており、その交差部近傍に両信号線 51、61 に接続された画素選択薄膜トランジスタ 72 が設けられている。以下、薄膜トランジスタを TFT と略す。画素選択 TFT 72 のソース 11s は液晶 21 の表示電極 80 に接続されている。

【0004】 また、表示電極 80 の電圧を 1 フィールド期間、保持するための補助容量 85 が設けられており、この補助容量 85 の一方の端子 86 は画素選択 TFT 72 のソース 11s に接続され、他方の電極 87 には各表示画素に共通の電位が印加されている。

【0005】 ここで、ゲート信号線 51 に走査信号（H レベル）が印加されると、画素選択 TFT 72 はオン状態となり、ドレイン信号線 61 からアナログ映像信号が表示電極 80 に伝達されると共に、補助容量 85 に保持される。表示電極 80 に印加された映像信号電圧が液晶 21 に印加され、その電圧に応じて液晶 21 が配向することにより液晶表示を得ることができる。

【0006】 したがって、動画像、静止画像に関係なく液晶表示を行うことができる。かかる液晶表示装置に静止画像を表示する場合は、例えば携帯電話の液晶表示部の一部に携帯電話を駆動するためのバッテリーの残量表示として、乾電池の画像を表示する。

【0007】 しかしながら、上述した構成の液晶表示装置においては、静止画像を表示する場合であっても、動画像を表示する場合と同様に、走査信号で画素選択 TFT 72 をオン状態にして、映像信号を各表示画素に書き込みする必要が生じていた。

【0008】 そのため、走査信号及び映像信号等の駆動信号を発生するためのドライバ回路、及びドライバ回路の動作タイミングを制御するための各種信号を発生する外部 LSI は常時動作するため、常に大きな電力を消費していた。このため、限られた電源しか備えていない携帯電話等では、その使用可能時間が短くなるという欠点があった。

【0009】 これに対して、各表示画素にスタティック型メモリを備えた液晶表示装置が特開平 8-194205 号に開示されている。同公報の一部を引用して説明すると、この液晶表示装置は、図 6 に示すように、2 段インバータ INV1、INV2 を正帰還させた形のメモリ、即ちスタティック型メモリをデジタル映像信号の保持回路として用いることにより、消費電力を低減するのである。

【0010】 ここで、スタティック型メモリに保持された 2 値デジタル映像信号に応じて、スイッチ素子 24 は参照線 Vref と表示電極 80 との間の抵抗値を制御し、

液晶 21 のバイアス状態を調整している。一方、共通電極には交流信号 V_{com} を入力する。本装置は理想上、静止画像のように表示画像に変化がなければ、メモリへのリフレッシュは不要である。

【0011】

【発明が解決しようとする課題】 上述したように、従来の液晶表示装置ではアナログ映像信号に対応してフルカラーの動画像を表示するのに適している。一方、デジタル映像信号を保持するためのスタティック型メモリを備えた液晶表示装置では、低階調の静止画像を表示する 10 と共に、消費電力を低減するのに適している。

【0012】 しかし、両液晶表示装置は映像信号源を異にしているため、1つの表示装置において、両者を同時に実現することができなかった。

【0013】 そこで、本願出願人はアナログ表示とデジタル表示という2種類の表示を選択可能な表示装置を提案した。かかる表示装置においては、表示モード切換信号に応じて、デジタル映像信号とアナログ映像信号を切換えて液晶表示パネルに供給するという構成が採られる。アナログ表示時にアナログ映像信号は補助容量を有した第1の表示回路に入力され、デジタル表示時にデジタル映像信号は液晶表示パネル内の各表示画素内に設けられたスタティック型メモリに書き込まれる。そこで、これらの映像信号の振幅を増幅して液晶表示パネルに供給するための増幅器が必要となる。

【0014】 図7に、本発明者が検討した増幅器の構成を示す。入力アナログ映像信号は、アナログアンプ10で増幅される。また、入力デジタル映像信号はレベルシフタ11によってその振幅が増幅される。通常、入力デジタル映像信号は3Vp-pの電圧振幅を有するが、通常の 30 パネル駆動周波数(60Hz)で、液晶表示パネル内の各表示画素に設けられたスタティック型メモリ回路にデジタル映像信号を書き込むためには、スタティック型メモリ回路の電源電圧として6V程度が必要となる。そこで、入力デジタル映像信号(3Vp-p)の電圧振幅を6Vp-pに電圧増幅するためのレベルシフタ11が必要となる。

【0015】 そして、表示モード切替信号MDに応じて、スイッチ12が切り換えられる。これにより、通常表示時(アナログ表示時)にはアナログアンプ10で増 40 幅されたアナログ映像信号が液晶表示パネルに出力され、デジタル表示時にはレベルシフタ11によって増幅されたデジタル映像信号が液晶表示パネルに出力される。

【0016】 しかしながら、レベルシフタ11を設ける分、回路規模が大きくなるという問題があった。

【0017】

【課題を解決するための手段】 本発明の表示装置は、上述した課題に鑑みて為されたものであり、デジタル映像信号を出力する画像メモリと、表示パネル内の複数の表 50

示画素毎に設けられたスタティック型メモリ回路と、該スタティック型メモリ回路にデジタル映像信号を書き込む際のタイミングを制御するパネル駆動信号を供給するパネル駆動回路と、備え、前記スタティック型メモリ回路に保持されたデジタル映像信号に応じて表示を行う表示装置であって、前記パネル駆動信号の周波数を低減することにより、前記画像メモリからスタティック型メモリ回路にデジタル映像信号をレベルシフトすることなく書き込むようにしたことを特徴とする。

【0018】 かかる構成によれば、画像メモリから出力されるデジタル映像信号を電圧増幅するレベルシフタが不要となるため、その分回路規模を小さくすることができる。

【0019】

【発明の実施の形態】 次に、本発明の実施の形態について図面を参照しながら説明する。図1に、本実施形態に係る表示装置の回路構成を示す。

【0020】 信号処理回路1はCPUインターフェースを介して入力されるデジタル映像信号に対して、コントラスト調整、ブライト調整等の各種信号処理を施す。信号処理されたデジタル映像信号は一旦フレームメモリ2に記憶される。フレームメモリ2は一種の画像メモリであり、DRAM、フラッシュメモリ等で構成される。

【0021】 このフレームメモリ2から所定のタイミングで出力されたデジタル映像信号は、DA変換器3によってアナログ映像信号に変換された後、増幅器4に入力される。

【0022】 図2に示すように、このアナログ映像信号は増幅器4内に設けられたアナログアンプ10によって増幅される。一方で、フレームメモリ2から出力されたデジタル映像信号(電圧振幅3Vp-p)はレベルシフタを介さないで直接スイッチ12に入力される。そして、表示モード切替信号MDに応じて、スイッチ12が切り換えられる。

【0023】 これにより、通常表示時(アナログ表示時)にはアナログアンプ10で増幅されたアナログ映像信号が液晶表示パネル100に出力され、デジタル表示時には電圧振幅3Vp-pのデジタル映像信号が液晶表示パネル100に出力される。

【0024】 タイミング制御回路6は、発振器5からのシステムクロックCLK、水平同期信号Hsync及び垂直同期信号Vsyncに基づいて、パネル駆動信号PCや信号処理回路1、フレームメモリ2及びDA変換器3の制御信号を出力する。

【0025】 前述したように、通常のパネル駆動周波数(60Hz)で、液晶表示パネル100内の各表示画素に設けられたスタティック型メモリ回路にデジタル映像信号を書き込むためには、スタティック型メモリ回路の電源電圧として6V程度が必要となり、そのためレベルシフタ10が必要であった。ここで、パネル駆動周波数

は、具体的には、後述するサンプリングパルスの周波数である。

【0026】しかしながら、デジタルデータ書き込み時には、パネル駆動周波数を60Hzから20Hz～30Hzに低減することにより、スタティック型メモリの電源電圧を3V程度に下げてもデジタル映像信号の書き込みが十分可能である。そこで本発明によれば、フレームメモリ2から出力されたデジタル映像信号はレベルシフタを介さずに、直接液晶表示パネル100に出力することができる。

【0027】なお、図1において、白／黒電圧発生回路7はタイミング制御回路6からの信号に応じて、白信号（後述する信号A）及び黒信号（後述する信号B）を液晶表示パネル100に出力する。また、8は液晶の対極駆動信号を増幅するための増幅器である。

【0028】次に液晶表示装置の構成、特に液晶表示パネル100の詳細な構成について、図3の回路図を参照しながら説明する。

【0029】絶縁基板10上に、走査信号を供給するゲートドライバ50に接続された複数のゲート信号線51 20
が一方に配置されており、これらのゲート信号線51と交差する方向に複数のドレイン信号線61が配置されている。

【0030】ドレイン信号線61には、ドレインドライバ60から出力されるサンプリングパルスのタイミングに応じて、サンプリングトランジスタSP1、SP2、…、SPnがオンし、データ信号線62のデータ信号（アナログ映像信号又はデジタル映像信号）が供給される。

【0031】液晶表示パネル100は、ゲート信号線5 30
1からの走査信号により選択されると共に、ドレイン信号線61からのデータ信号が供給される複数の表示画素200がマトリクス状に配置されて構成されている。

【0032】以下、表示画素200の詳細な構成について説明する。ゲート信号線51とドレイン信号線61の交差部近傍には、Pチャンネル型TFT41及びNチャンネル型TFT42から成る回路選択回路40が設けられている。TFT41、42の両ドレインはドレイン信号線61に接続されると共に、それらの両ゲートは回路選択信号線88に接続されている。TFT41、42は、回 40
路選択信号線88からの選択信号に応じていずれか一方がオンする。また、後述するように回路選択回路40と対を成して、回路選択回路43が設けられている。

【0033】これにより、後述するアナログ表示モード（フルカラー動画像対応）とデジタル表示モード（低消費電力、静止画像対応）とを選択して切換えることが可能となる。また、回路選択回路40に隣接して、Nチャンネル型TFT71及びNチャンネル型TFT72から成る画素選択回路70が配置されている。画素選択TFT 50
71、72はそれぞれ回路選択回路40の回路選択TFT

41、42と縦列に接続されると共に、それらの両ゲートにはゲート信号線51が接続されている。画素選択TFT71、72はゲート信号線51からの走査信号に応じて両方が同時にオンするように構成されている。

【0034】また、アナログ映像信号を保持するための補助容量85が設けられている。補助容量85の一方の電極86は画素選択TFT71のソース71sに接続されている。他方の電極87は共通の補助容量線SC Lに接続され、バイアス電圧Vscが供給されている。画素選択TFT71のゲートが開いてアナログ映像信号が液晶21に印加されると、その信号は1フィールド期間保持されなければならないが、液晶21のみではその信号の電圧は時間経過とともに次第に低下してしまう。そうすると、表示むらとして現れてしまい良好な表示が得られなくなる。そこで、その電圧を1フィールド期間保持するために補助容量85を設けている。

【0035】この補助容量85と液晶21との間には、回路選択回路43のPチャンネル型TFT44が設けられ、回路選択回路40のTFT41と同時にオンオフするように構成されている。また、画素選択回路70のTFT72と液晶21の表示電極80との間には、スタティック型メモリ回路110、信号選択回路120が設けられている。

【0036】スタティック型メモリ回路110は、正帰還ループを構成する第1及び第2のインバータ回路INV1、INV2から成る。第1のインバータ回路INV1の入力には、画素選択TFT72のソース72sが接続され、その出力は第2のインバータ回路INV2に入力されている。そして第2のインバータ回路INV2の出力は、第1のインバータ回路INV1の入力に接続されている。

【0037】デジタル表示モードにおいては、回路選択信号線88の電位が「H」となり、かつゲート信号線51の走査信号が「H」となると、スタティック型メモリ回路110は書き込み可能となる。

【0038】信号選択回路120は、スタティック型メモリ回路110に保持されたデジタル映像信号に応じて信号を選択する回路であって、2つのNチャンネル型TFT121、122で構成されている。TFT121、122のゲートにはスタティック型メモリ回路110からの相補的な出力信号がそれぞれ印加されているので、TFT121、122は相補的にオンオフする。

【0039】ここで、TFT122がオンすると交流駆動信号（信号B）が選択され、TFT121がオンするとその対向電極信号VCOM（信号A）が選択され、回路選択回路43のTFT45を介して、液晶21に電圧を印加する表示電極80に供給される。

【0040】次に、表示画素200の周辺回路について説明すると、表示画素200の絶縁性基板10とは別基板の外付け回路基板90には、ドライバスキャン用LS

I 91が設けられている。この外付け回路基板90のドライバスキャン用LSI91から垂直スタート信号STVがゲートドライバ50に入力され、水平スタート信号STHがドレインドライバ60に入力される。また映像信号がデータ信号線62に入力される。

【0041】次に、図3乃至図4を参照しながら、上述した構成の表示装置の駆動方法について説明する。図4は、液晶表示装置がデジタル表示モードに選択された場合のタイミング図である。

(1) アナログ表示モードの場合

モード切換信号MDに応じて、アナログ表示モードが選択されると、データ信号線62に、前述したDA変換器3からのアナログ映像信号が出力される状態に設定されると共に、回路選択信号線88が「L」となり、回路選択回路40、43のTFT41、44がオンする。

【0042】また、水平スタート信号STHに基づくサンプリング信号に応じてサンプリングトランジスタSPがオンしデータ信号線62のアナログ映像信号がドレイン信号線61に供給される。このサンプリング信号は前述したパネル駆動信号に相当するものであり、アナログ表示モードにおいてはその周波数は60Hzである。

【0043】また、垂直スタート信号STVに基づいて、走査信号がゲート信号線51に供給される。走査信号に応じて、TFT71がオンすると、ドレイン信号線61からアナログ映像信号Sigが表示電極80に伝達されると共に、補助容量85に保持される。表示電極80に印加された映像信号電圧が液晶21に印加され、その電圧に応じて液晶21が配向することにより液晶表示を得ることができる。

【0044】このアナログ表示モードではフルカラーの動画像を表示するのに好適である。

(2) デジタル表示モード

モード切換信号MDに応じて、デジタル表示モードが選択されると、データ信号線62に、前述したフレームメモリ2からのデジタル映像信号が出力される状態に設定されると共に、回路選択信号線88の電位が「H」となり、スタティック型メモリ回路110が動作可能な状態になる。また、回路選択回路40、43のTFT41、44がオフすると共に、TFT42、45がオンする。

【0045】また、外付け回路基板90のドライバスキャン用LSI91から、ゲートドライバ50及びドレインドライバ60にスタート信号STV、STHがそれぞれ入力される。それに応じてサンプリング信号が順次発生し、それぞれのサンプリング信号に応じてサンプリングトランジスタSP1、SP2、…、SPnが順にオンしてデジタル映像信号Sigをサンプリングして各ドレイン信号線61に供給する。

【0046】ここで第1行、即ち走査信号G1が印加されるゲート信号線51について説明する。まず、走査信号G1によってゲート信号線51に接続された各表示画

素P11、P12、…P1nの各TFTが1水平走査期間オンする。

【0047】第1行第1列の表示画素P11に注目すると、サンプリング信号SP1によってサンプリングしたデジタル映像信号S11がドレイン信号線61に入力される。そして走査信号G1が「H」になり、TFT70がオン状態になるとそのドレイン信号D1がスタティック型メモリ回路110に書き込まれる。

【0048】デジタル表示モードにおいては、前述したタイミング制御回路6によってサンプリング信号の周波数は20Hz～30Hzに低減される。このため、レベルシフタによって増幅することなく、スタティック型メモリ回路110に書き込まれる。

【0049】このスタティック型メモリ回路110で保持された信号は、信号選択回路120に入力されて、この信号選択回路120で信号A又は信号Bを選択して、その選択した信号が表示電極80に印加され、その電圧が液晶21に印加される。こうしてゲート信号線51から最終行のゲート信号線51まで走査することにより1画面分(1フィールド期間)の書き込みが終了する。

【0050】その後、スタティック型メモリ回路110に保持されたデータに基づく表示(静止画像の表示)を行う。なお、デジタル表示モード時には、ゲートドライバ50並びにドレインドライバ60及び外付けのドライバスキャン用LSI91への電圧供給を停止しそれらの駆動を止める。スタティック型メモリ回路110には常に電圧VDD、VSSを供給して駆動し、また対向電極電圧を対向電極32に、各信号A及びBを信号選択回路120に供給する。

【0051】即ち、スタティック型メモリ回路110にこのスタティック型メモリ回路110を駆動するためのVDD、VSSを供給し、対向電極には対向電極電圧VCOM(信号A)を印加し、液晶表示パネル100がノーマリーホワイト(NW)の場合には、信号Aには対向電極32と同じ電位の電圧を印加し、信号Bには液晶を駆動するための交流電圧(例えば60Hz)を印加するのみである。

【0052】これにより、1画面分を保持して静止画像として表示することができる。また他のゲートドライバ50、ドレインドライバ60及び外付けLSI91には電圧が印加されていない状態である。

【0053】このとき、ドレイン信号線61にデジタル映像信号で「H(ハイ)」がスタティック型メモリ回路110に入力された場合には、信号選択回路120において第1のTFT121には「L」が入力されることになるので第1のTFT121はオフとなり、他方の第2のTFT122には「H」が入力されることになるので第2のTFT122はオンとなる。

【0054】そうすると、信号Bが選択されて液晶には信号Bの電圧が印加される。即ち、信号Bの交流電圧が

印加され、液晶が電界によって立ち上がるため、NWの表示パネルでは表示としては黒表示として観察できる。

【0055】ドレイン信号線61にデジタル映像信号で「L」がスタティック型メモリ回路110に入力された場合には、信号選択回路120において第1のTFT121には「H」が入力されることになるので第1のTFT121はオンとなり、他方の第2のTFT122には「L」が入力されることになるので第2のTFT122はオフとなる。そうすると、信号Aが選択されて液晶には信号Aの電圧が印加される。即ち、対向電極32と同じ電圧が印加されるため、電界が発生せず液晶は立ち上がらないため、NWの表示パネルでは表示としては白表示として観察できる。

【0056】なお、上述の実施の形態においては、デジタル表示モードにおいて、1ビットのデジタルデータ信号を入力した場合について説明したが、本発明はそれに限定されるものではなく、複数ビットのデジタルデータ信号の場合でも適用することが可能である。これにより、多階調の表示を行うことができる。その際、入力するビット数に応じた保持回路及び信号選択回路の数にす

【0057】

【発明の効果】本発明の表示装置によれば、パネル駆動信号の周波数を低減することにより、画像メモリからスタティック型メモリ回路にデジタル映像信号をレベルシフトすることなく書き込むようにしたので、画像メモリから出力されるデジタル映像信号を電圧増幅するレベルシフタが不要となるため、その分回路規模を小さくすることができると共に、アナログ信号処理部とデジタル信号処理回路とを容易に1チップ化することができる。

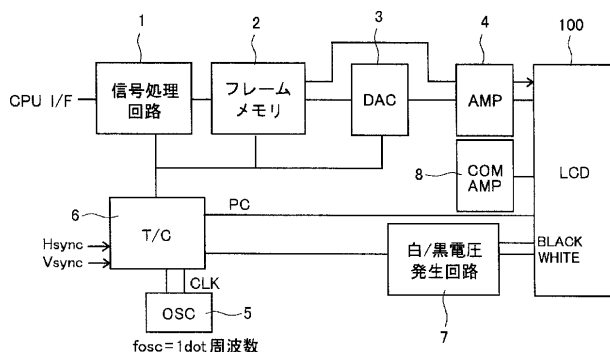
【図面の簡単な説明】

【図1】本発明の実施形態に係る液晶表示装置を示す回路ブロック図である。

【図2】図1における増幅器4の構成を示すブロック図である。

【図3】本発明の実施形態に係る液晶表示装置を示す回路図である。

【図1】



【図4】デジタル表示モードに選択された場合のタイミング図である。

【図5】従来例に係る液晶表示装置の回路構成図である。

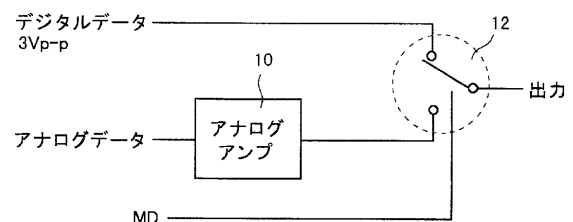
【図6】従来例に係る液晶表示装置の回路構成図である。

【図7】液晶表示装置の増幅器の構成を示すブロック図である。

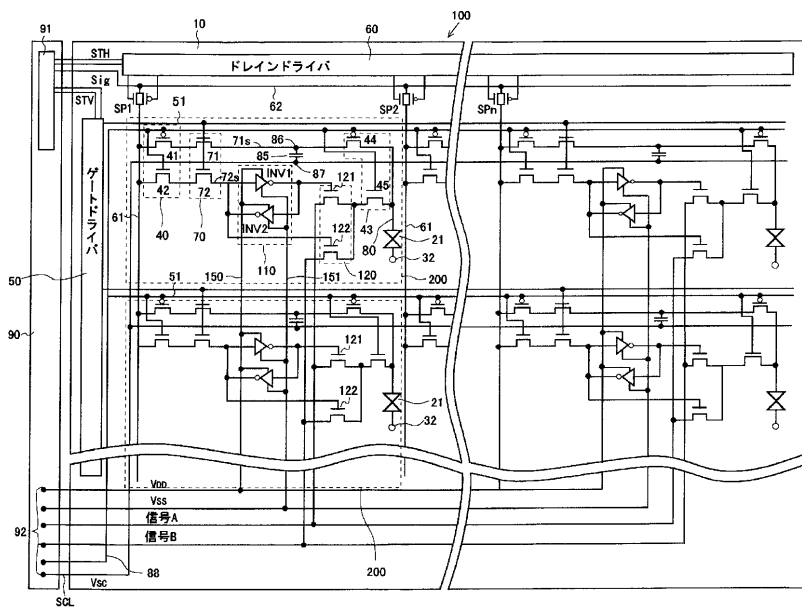
【符号の説明】

1	信号処理回路
2	フレームメモリ
3	DA変換器
4	増幅器
5	発振器
6	タイミング制御回路
7	白／黒電圧発生回路
8	増幅器
10	アナログアンプ
11	レベルシフタ
21	液晶
40, 43	回路選択回路
41, 42	回路選択TFT
50	ゲートドライバ
51	ゲート信号線
60	ドレインドライバ
61	ドレイン信号線
62	データ信号線
70	画素選択回路
71, 72	画素選択TFT
80	表示電極
85	補助容量
88	回路選択信号線
100	液晶表示パネル
110	スタティック型メモリ回路
120	信号選択回路
200	表示画素

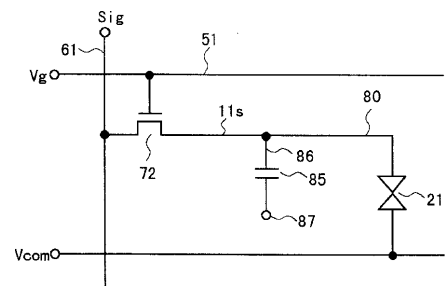
【図2】



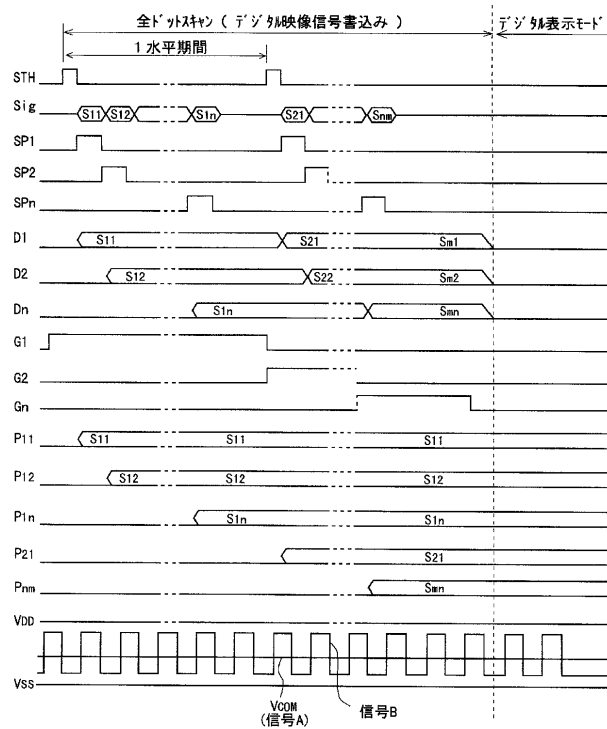
【図3】



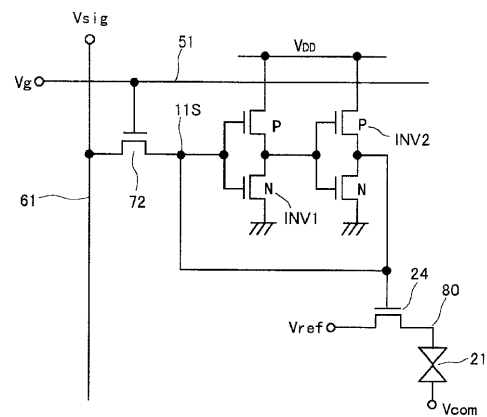
【図5】



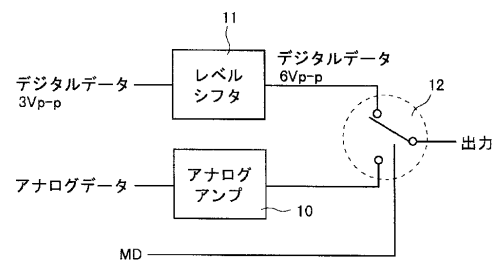
【図4】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.⁷
G 0 9 G 3/20

識別記号
6 2 3

F I
G 0 9 G 3/20

テーマコード^{*} (参考)

6 2 3 F
6 2 3 R

6 2 4
6 3 1

6 2 4 B
6 3 1 H

F ターム(参考) 2H093 NA16 NA51 NC29 NC34 ND06
ND17 ND49
5C006 AA01 AA02 AA16 AF71 AF83
BB16 BC06 BC12 BC20 BF02
BF09 BF11 BF14 BF24 BF25
BF27 BF34 EB05 FA01 FA41
FA48
5C080 AA05 AA06 AA10 BB05 DD24
DD25 DD26 EE17 EE29 FF11
JJ02 JJ03 JJ04 KK07
5C094 AA07 AA15 AA22 AA24 AA53
AA56 BA03 BA09 BA43 CA19
DA09 DA13 DB01 DB02 DB04
EA04 FA01 FB12 FB14 FB15
GA10

专利名称(译)	表示装置		
公开(公告)号	JP2002311903A	公开(公告)日	2002-10-25
申请号	JP2001112724	申请日	2001-04-11
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	筒井雄介		
发明人	筒井 雄介		
IPC分类号	G02F1/133 G09F9/30 G09G3/20 G09G3/36		
CPC分类号	G09G3/3648 G09G2300/0842 G09G2300/0857 G09G2330/02		
FI分类号	G09G3/36 G02F1/133.550 G09F9/30.338 G09G3/20.611.A G09G3/20.611.G G09G3/20.623.F G09G3/20.623.R G09G3/20.624.B G09G3/20.631.H G09G3/20.621.K G09G3/20.650.J		
F-TERM分类号	2H093/NA16 2H093/NA51 2H093/NC29 2H093/NC34 2H093/ND06 2H093/ND17 2H093/ND49 5C006/AA01 5C006/AA02 5C006/AA16 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF02 5C006/BF09 5C006/BF11 5C006/BF14 5C006/BF24 5C006/BF25 5C006/BF27 5C006/BF34 5C006/EB05 5C006/FA01 5C006/FA41 5C006/FA48 5C080/AA05 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD24 5C080/DD25 5C080/DD26 5C080/EE17 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07 5C094/AA07 5C094/AA15 5C094/AA22 5C094/AA24 5C094/AA53 5C094/AA56 5C094/BA03 5C094/BA09 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB02 5C094/DB04 5C094/EA04 5C094/FA01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GA10 2H093/NC40 2H193/ZA04 2H193/ZA20 2H193/ZD21		
其他公开文献	JP4845281B2		
外部链接	Espacenet		

摘要(译)

可以减小液晶显示装置的电路规模，并且可以容易地将模拟信号处理部分和数字信号处理电路形成为一个芯片。在数字显示中，通过将面板驱动频率从60Hz减小到20Hz到30Hz，即使静态存储器110的电源电压降低到大约3V，也可以充分地写入数字视频信号。从帧存储器2输出的数字视频信号可以直接输出到液晶显示面板100而不通过电平移位器11。

