

(19)日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A ) (11)特許出願公開番号

特開2002 - 175052

(P2002 - 175052A)

(43)公開日 平成14年6月21日(2002.6.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード ( 参考 )
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	505	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A 5 C 0 8 0
	612		612 E 5 J 0 9 1
	621		621 G 5 J 0 9 2

審査請求 未請求 請求項の数 13 O L ( 全 13数 ) 最終頁に続く

(21)出願番号 特願2000 - 371904(P2000 - 371904)

(22)出願日 平成12年12月6日(2000.12.6)

(71)出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72)発明者 加藤 文彦

山形県山形市北町四丁目12番12号 山形日

本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 ( 外 2 名 )

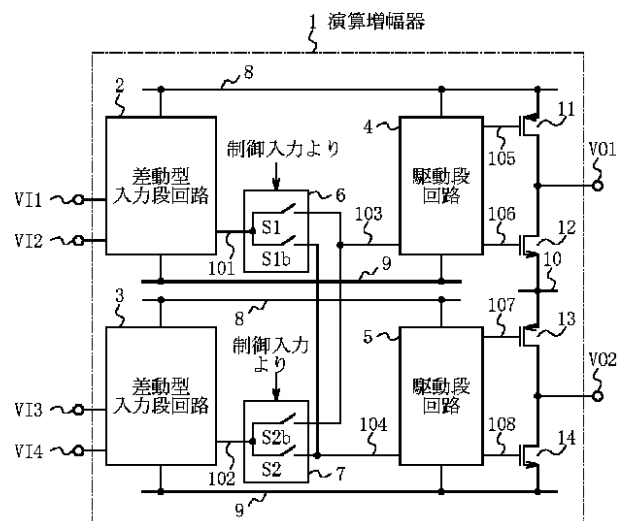
最終頁に続く

(54)【発明の名称】 演算増幅器及びそれを用いた液晶パネル駆動用回路

(57)【要約】

【課題】液晶パネル駆動の消費電力を小さくし、交流駆動を行う際に発生する液晶パネルの表示ムラを抑制することにある。

【解決手段】液晶パネルを駆動する演算増幅器 1 を、差動段 2, 3 と、駆動段 4, 5 と、出力トランジスタ 11 ~ 14 と、差動段 2, 3 を駆動段 4, 5 に切替て接続するスイッチ手段 6, 7 と、中位側電源 10 とを設ける。これら差動段 2, 3 および駆動段 4, 5 は高位側電源 8 と低位側電源 9 間で駆動し、出力トランジスタ 11, 12 は高位側電源 8 と中位側電源 10 間で、また出力トランジスタ 13, 14 は中位側電源 10 と低位側電源 9 間で、それぞれ駆動段 4, 5 より交互に駆動する。このため、液晶パネルの容量性負荷を  $VDD/2$  で充放電でき、消費電力を低減し、表示ムラも抑制できる。



6, 7: スイッチ手段  
8: 高位側電源 (VDD)  
9: 低位側電源 (VSS)  
10: 中位側電源 (VDD/2)  
11~14: 出力段FET

## 【特許請求の範囲】

【請求項 1】 第 1 の正入力端子、第 1 の負入力端子からなる差動入力端子と第 1 の出力端とを備え、低位側電源および高位側電源の間に接続されて入力レンジを低位側電源レベルから高位側電源レベルまでを確保する第 1 の差動型入力段回路と、第 2 の正入力端子、第 2 の負入力端子からなる差動入力端子と第 2 の出力端とを備え、低位側電源および高位側電源の間に接続されて入力レンジを低位側電源レベルから高位側電源レベルまでを確保する第 2 の差動型入力段回路と、前記低位側電源、前記 10 高位側電源間に接続され、第 1 の入力端と第 3、第 4 の出力端を備えた第 1 の駆動段回路と、前記低位側電源、前記高位側電源間に接続され、第 2 の入力端と第 5、第 6 の出力端を備えた第 2 の駆動段回路と、第 1 の電極を前記第 1 の駆動段回路の前記第 3 の出力端に且つ第 2、第 3 電極をそれぞれ前記高位側電源と第 1 の出力端子に接続した第 1 の半導体素子と、第 1 の電極を前記第 1 の駆動段回路の第 4 の出力端に且つ第 2、第 3 の電極をそれぞれ、中位側電源と前記第 1 の出力端子に接続した第 2 の半導体素子と、第 1 の電極を前記第 2 の駆動段回路 20 の第 5 の出力端に且つ第 2、第 3 の電極をそれぞれ前記中位側電源と第 2 の出力端子に接続した第 3 の半導体素子と、第 1 の電極を前記第 2 の駆動段回路の第 6 の出力端に且つ第 2、第 3 電極をそれぞれ前記低位側電源と前記第 2 の出力端子に接続した第 4 の半導体素子と、前記第 1 の差動型入力段回路の前記第 1 の出力端と前記第 1 の駆動段回路の前記第 1 の入力端および前記第 2 の駆動段回路の前記第 2 の入力端とにそれぞれ接続され且つ相反動作するスイッチを備えた第 1 のスイッチ手段と、前記第 2 の差動型入力段回路の前記第 2 の出力端と前記 30 第 1 の駆動段回路の前記第 1 の入力端および前記第 2 の駆動段回路の前記第 2 の入力端とにそれぞれ接続され且つ相反動作するスイッチを備えた第 2 のスイッチ手段とを有することを特徴とする演算増幅器。

【請求項 2】 前記第 1 の駆動段回路は、第 1 の電極を前記第 1 の入力端に接続し、第 2 の電極を前記低位側電源に接続した第 5 の半導体素子と、第 1、第 3 の電極を前記第 5 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記高位側電源に接続した第 6 の半導体素子と、第 1 の電極を前記第 6 の半導体素子の第 1 の電極に接続 40 し、第 2 の電極を前記高位側電源に接続した第 7 の半導体素子と、第 1、第 3 の電極を前記第 3 の出力端に接続し、第 2 の電極を前記第 7 の半導体素子の第 3 の電極に接続した第 8 の半導体素子と、第 1 の電極を前記第 7 の半導体素子の第 1 の電極に且つ第 2 の電極を前記高位側電源に接続し、第 3 の電極を前記第 4 の出力端に接続した第 9 の半導体素子と、前記第 8 の半導体素子の第 3 の電極と前記低位側電源間および前記第 4 の出力端と前記低位側電源間にそれぞれ接続した第 1 および第 2 の定電流源とで構成し、

前記第 2 の駆動段回路は、第 1 の電極を前記第 2 の入力端に接続し、第 2 の電極を前記低位側電源に接続した第 10 の半導体素子と、第 1、第 3 の電極を前記第 10 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記高位側電源に接続した第 11 の半導体素子と、第 1 の電極を前記第 11 の第 1 の電極に接続し、第 2 の電極を前記高位側電源に接続した第 12 の半導体素子と、第 1、第 3 の電極を前記第 12 の半導体素子の第 3 の電極及び前記第 6 の出力端に接続した第 13 の半導体素子と、第 1 の電極を前記第 12 の半導体素子の第 1 の電極に且つ第 2 の電極を前記高位側電源に接続し、第 3 の電極を前記第 5 の出力端に接続した第 14 の半導体素子と、前記第 13 の半導体素子の第 2 の電極と前記低位側電源間および前記第 14 の半導体素子の第 3 の電極と前記低位側電源間にそれぞれ接続した第 3 および第 4 の定電流源とで構成した請求項 1 記載の演算増幅器。

【請求項 3】 前記第 1 の駆動段回路は、第 1 の電極を前記第 1 の入力端に接続し、第 2 の電極を前記低位側電源に接続した第 5 の半導体素子と、第 1、第 3 の電極を前記第 5 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記低位側電源に接続した第 6 の半導体素子と、第 1 の電極を前記第 6 の半導体素子の第 1 の電極に接続し、第 2 の電極を前記低位側電源に接続し第 7 の半導体素子と、第 1、第 3 の電極を前記第 7 の半導体素子の第 3 の電極及び前記第 3 の出力端に接続した第 8 の半導体素子と、第 1 の電極を前記第 7 の半導体素子の第 1 の電極に且つ第 2 の電極を前記低位側電源に接続し、第 3 の電極を前記第 4 の出力端に接続した第 9 の半導体素子と、前記高位側電源と前記第 5 の半導体素子の第 3 の電極間、前記高位側電源と前記第 8 の半導体素子の第 2 の電極間、および前記高位側電源と前記第 4 の出力端間にそれぞれ接続した第 1 乃至第 3 の定電流源とで構成し、前記第 2 の駆動段回路は、第 1 の電極を前記第 2 の入力端に接続し、第 2 の電極を前記低位側電源に接続した第 10 の半導体素子と、第 1、第 3 の電極を前記第 10 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記低位側電源に接続した第 11 の半導体素子と、第 1 の電極を前記第 11 の半導体素子の第 1 の電極に接続し、第 2 の電極を前記低位側電源に接続した第 12 の半導体素子と、第 1、第 3 の電極を前記第 6 の出力端に接続し、第 2 の電極を前記第 12 の半導体素子の第 3 電極に接続した第 13 の半導体素子と、第 1 の電極を前記第 12 の半導体素子の第 1 の電極に且つ第 2 の電極を前記低位側電源に接続し、第 3 の電極を前記第 5 の出力端に接続した第 14 の半導体素子と、前記高位側電源と前記第 10 の半導体素子の第 3 の電極間、前記高位側電源と前記第 13 の半導体素子の第 3 の電極間、および前記高位側電源と前記第 5 の出力端間にそれぞれ接続した第 4 乃至第 6 の定電流源とで構成した請求項 1 記載の液晶パネル駆動 50 用演算増幅器。

【請求項 4】 前記第 1 の駆動段回路は、第 1 の電極を第 1 の入力端に接続し、第 2 の電極を前記低位側電源に接続した第 5 の半導体素子と、第 1 , 第 3 の電極を前記第 5 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記低位側電源に接続した第 6 の半導体素子と、第 1 の電極を前記第 6 の半導体素子の第 1 の電極に接続し、第 2 の電極を前記低位側電源に接続した第 7 の半導体素子と、第 1 , 第 3 の電極を前記第 7 の半導体素子の第 3 の電極及び前記第 3 の出力端に接続した第 8 の半導体素子と、第 1 の電極を前記第 7 の半導体素子の第 1 の電極に 10 且つ第 2 の電極を前記低位側電源に接続し、第 3 の電極を前記第 4 の出力端に接続した第 9 の半導体素子と、前記高位側電源と前記第 5 の半導体素子の第 3 の電極間、前記高位側電源と前記第 8 の半導体素子の第 2 の電極間、および前記高位側電源と前記第 4 の出力端間にそれぞれ接続した第 1 乃至第 3 の定電流源とで構成し、前記第 2 の駆動段回路は、第 1 の電極を前記第 2 の入力端に接続し、第 2 の電極を前記低位側電源に接続した第 10 の半導体素子と、第 1 , 第 3 の電極を前記第 10 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記高 20 位側電源に接続した第 11 の半導体素子と、第 1 の電極を前記第 11 の第 1 の電極に接続し、第 2 の電極を前記高位側電源に接続した第 12 の半導体素子と、第 1 , 第 3 の電極を前記第 12 の半導体素子の第 3 の電極及び前記第 6 の出力端に接続した第 13 の半導体素子と、第 1 の電極を前記第 12 の半導体素子の第 1 の電極に且つ第 2 の電極を前記高位側電源に接続し、第 3 の電極を前記第 5 の出力端に接続した第 14 の半導体素子と、前記第 13 の半導体素子の第 2 の電極と前記低位側電源間およ 30 び前記第 5 の出力端と前記低位側電源間にそれぞれ接続した第 4 および第 5 の定電流源とで構成した請求項 1 記載の演算増幅器。

【請求項 5】 前記第 1 の駆動段回路は、第 1 の電極を前記第 1 の入力端に接続し、第 2 の電極を前記低位側電源に接続した第 5 の半導体素子と、第 1 , 第 3 の電極を前記第 5 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記高位側電源に接続した第 6 の半導体素子と、第 1 の電極を前記第 6 の半導体素子の第 1 の電極に接続し、第 2 の電極を前記高位側電源に接続した第 7 の半導体素子と、第 1 , 第 3 の電極を前記第 3 の出力端に接続 40 し、第 2 の電極を前記第 7 の半導体素子の第 3 の電極に接続した第 8 の半導体素子と、第 1 の電極を前記第 7 の半導体素子の第 1 の電極に且つ第 2 の電極を前記高位側電源に接続し、第 3 の電極を前記第 4 の出力端に接続した第 9 の半導体素子と、前記第 8 の半導体素子の第 3 の電極と前記低位側電源間および前記第 4 の出力端と前記低位側電源間にそれぞれ接続した第 1 および第 2 の定電流源とで構成し、前記第 2 の駆動段回路は、第 1 の電極を前記第 2 の入力端に接続し、第 2 の電極を前記低位側電源に接続した第 50

10 の半導体素子と、第 1 , 第 3 の電極を前記第 10 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記低位側電源に接続した第 11 の半導体素子と、第 1 の電極を前記第 11 の半導体素子の第 1 の電極に接続し、第 2 の電極を前記低位側電源に接続した第 12 の半導体素子と、第 1 , 第 3 の電極を前記第 6 の出力端に接続し、第 2 の電極を前記第 12 の半導体素子の第 3 の電極に接続した第 13 の半導体素子と、第 1 の電極を前記第 12 の半導体素子の第 1 の電極に且つ第 2 の電極を前記低位側電源に接続し、第 3 の電極を前記第 5 の出力端に接続した第 14 の半導体素子と、前記高位側電源と前記第 10 の半導体素子の第 3 の電極間、前記高位側電源と前記第 13 の半導体素子の第 3 の電極間、および前記高位側電源と前記第 5 の出力端間にそれぞれ接続した第 3 乃至第 5 の定電流源とで構成した請求項 1 記載の演算増幅器。

【請求項 6】 前記第 1 の差動型入力段回路は、それぞれ第 1 の電極を前記第 1 の正入力端子と前記第 1 の負入力端子に接続し且つ第 2 の電極を共通接続した第 1 及び第 2 の半導体素子と、第 1 , 第 3 の電極を前記第 1 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記高位側電源に接続した第 3 の半導体素子と、第 1 , 第 3 の電極を前記第 2 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記高位側電源に接続した第 4 の半導体素子と、第 1 の電極を前記第 3 の半導体素子の第 1 の電極に接続し、第 2 の電極を前記高位側電源に接続した第 5 の半導体素子と、第 1 の電極を前記第 4 の半導体素子の第 1 の電極に且つ第 2 の電極を前記高位側電源に接続し、第 3 の電極を前記第 1 の出力端に接続した第 6 の半導体素子と、前記第 1 , 第 2 の半導体素子の第 2 の電極およ び前記低位側電源間に接続した第 7 の定電流源と、それぞれ第 1 の電極を前記第 1 の負入力端子と前記第 1 の正入力端子に接続し、第 2 の電極を共通接続した第 7 及び第 8 の半導体素子と、第 1 , 第 3 の電極を前記第 5 及び第 7 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記低位側電源に接続した第 9 の半導体素子と、第 1 の電極を前記第 9 の半導体素子の第 1 の電極に且つ第 2 の電極を前記低位側電源に接続し、第 3 の電極を前記第 1 の出力端及び前記第 8 の半導体素子の第 3 の電極に接続した第 10 の半導体素子と、前記高位側電源および前記第 7 , 第 8 の半導体素子の第 2 の電極間に接続した第 8 の定電流源とで構成し、前記第 2 の差動型入力段回路は、それぞれ第 1 の電極を前記第 2 の正入力端子と第 2 の負入力端子に接続し、第 2 の電極を共通接続した第 11 及び第 12 の半導体素子と、第 1 , 第 3 の電極を前記第 11 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記高位側電源に接続した第 13 の半導体素子と、第 1 , 第 3 の電極を前記第 12 の半導体素子の第 3 の電極に接続し、第 2 の電極を前記高位側電源に接続した第 14 の半導体素子と、第 1 の電極を前記第 13 の半導体素子の第 1 の電極に接続し、

第2の電極を前記高位側電源に接続した第15の半導体素子と、第1の電極を前記第14の半導体素子の第1の電極に且つ第2の電極を前記高位側電源に接続し、第3の電極を前記第2の出力端に接続した第16の半導体素子と、前記第11、第12の半導体素子の第2の電極および前記低位側電源間に接続した第9の定電流源と、それぞれ第1の電極を前記第2の負入力端子と第2の正入力端子に接続し、第2の電極を共通接続した第17及び第18の半導体素子と、第1、第3の電極を前記第15及び第17の半導体素子の第3電極に接続し、第2の電極を前記低位側電源に接続した第19の半導体素子と、第1の電極を前記第19の半導体素子の第1の電極に且つ第2の電極を前記低位側電源に接続し、第3の電極を前記第2の出力端及び前記第18の半導体素子の第3の電極に接続した第20の半導体素子と、前記高位側電源および前記第17、第18の半導体素子の第2の電極間に接続した第10の定電流源とで構成した請求項1記載の演算増幅器。

【請求項7】 前記演算増幅器は、請求項6記載の前記第1、第2の差動型入力段回路と、請求項2乃至請求項5のいずれか1つに記載の駆動段回路とで形成される演算増幅器。

【請求項8】 請求項1乃至請求項7のいずれか1つに記載の前記演算増幅器は、前記低位側電源と前記高位側電源とを入れ替えて構成した演算増幅器。

【請求項9】 請求項1乃至請求項8のいずれか1つに記載の前記演算増幅器は、前記半導体素子のそれぞれを、第1の電極がゲート電極、第2の電極がソース電極、第3の電極がドレイン電極を備えるFETにより形成した演算増幅器。

【請求項10】 請求項1乃至請求項8のいずれか1つに記載の演算増幅器は、前記半導体素子のそれぞれを、第1の電極としてベース電極、第2の電極としてエミッタ電極、第3の電極としてコレクタ電極を備えるバイポーラトランジスタにより形成した演算増幅器。

【請求項11】 中位側電源電位から高位側電源電位までのデジタル・アナログ変換を行う正極側D/Aコンバータと、低位側電源電位から中位側電源電位までのデジタル・アナログ変換を行う負極側D/Aコンバータと、出力のインピーダンス変換を行うために、第1、第2の正入力端子と第1、第2の負入力端子と第1、第2の演算出力端子とを備えた演算増幅器と、前記正極側D/Aコンバータの出力を前記演算増幅器の第1および第2の正入力端子にそれぞれ供給するための相反動作するスイッチを備えた第1のスイッチ手段と、前記負極側D/Aコンバータの出力を前記演算増幅器の第1および第2の正入力端子にそれぞれ供給するための相反動作するスイッチを備えた第2のスイッチ手段と、前記演算増幅器の第1、第2の演算出力端子にそれぞれ一端を接続し且つ他端を共に前記演算増幅器の第1の負入力端子に接続し\*

\*た相反動作するスイッチを備えた第3のスイッチ手段と、前記演算増幅器の第1、第2の演算出力端子にそれぞれ一端を接続し且つ他端を共に前記演算増幅器の第2の負入力端子に接続した相反動作するスイッチを備えた第4のスイッチ手段と、前記第1の演算出力端子に共に一端を接続し且つ他端をそれぞれ第1および第2のパネル駆動出力端子に接続した相反動作をするスイッチを備えた第5のスイッチ手段と、前記第2の演算出力端子に共に一端を接続し且つ他端をそれぞれ前記第1および第2のパネル駆動出力端子に接続した相反動作をするスイッチを備えた第6のスイッチ手段とを有することを特徴とする液晶パネル駆動用回路。

【請求項12】 前記液晶パネル駆動用回路は、複数個を接続して用いる請求項11記載の液晶パネル駆動用回路。

【請求項13】 前記液晶パネル駆動用回路は、請求項1乃至請求項10のいずれか1つに記載の演算増幅器を用いた請求項11記載の液晶パネル駆動用回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶パネル駆動装置に関し、特に入力信号を演算増幅する演算増幅器及びそれを用いた液晶パネル駆動用回路に関する。

【0002】

【従来の技術】 一般に、液晶パネルは、毎秒数十フレーム（数十枚）の書き込みを行う必要がある。このため、液晶パネル駆動用回路からの出力信号は、液晶パネルの対向電極の電位に対し、走査ライン毎あるいはフレーム毎に交流駆動を行っている。この液晶パネルの対向電極の電位に対し交流駆動を行う液晶パネル駆動用演算増幅器及び液晶パネル駆動用回路について、図7及び図8を参照して説明する。

【0003】 図7は従来の液晶パネル駆動用演算増幅器の一例を示す構成図である。図7に示すように、従来の液晶パネル駆動用演算増幅器1aは、高位側電源（VDD）8および低位側電源（VSS）9間に接続され、それぞれ正入力端子VI1と負入力端子VI2ならびに正入力端子VI3と負入力端子VI4に供給されるアナログ入力の差電圧を増幅し差動型入力段出力端子101、102へ出力する差動型入力段回路2、3と、同様に高位側電源8および低位側電源9間に一方を接続され且つ他方を演算増幅器1aの出力端子VO1、VO2にそれぞれ接続する出力段FET11、12およびFET13、14と、同様に高位側電源8および低位側電源9間に接続され、出力端子101、102からの差動出力に基いてそれぞれ出力段FET11、12およびFET13、14への駆動出力を出力端子105、106ならびに107、108を介して供給する駆動段回路4、5とを有しており、機能的には出力インピーダンスの変換回路として用いられる。

【0004】この液晶パネル駆動用演算増幅器 1 a の差動型入力段回路 2, 3 は、入力レンジが低位側電源レベル (VSS) から高位側電源レベル (VDD) まで確保することができる。また、出力段 FET 11 は、ゲート電極が駆動段回路 4 の出力端子 VO1 に接続され、ソース電極とドレイン電極とがそれぞれ高位側電源 8 と出力端子 VO1 に接続される。出力段 FET 13 も駆動段回路 5 と出力端子 VO2 に同様に接続される。さらに、出力段 FET 12, 14 は低位側電源 9 と出力端子 VO2 に接続される。

【0005】図 8 は従来の演算増幅器を使用した液晶パネル駆動用回路の一例を示す構成図である。図 8 に示すように、かかる液晶パネル駆動用回路 40 a は、正極側入力および負極側入力のデジタルデータをそれぞれ D/A 変換する正側 D/A コンバータ 41 および負側 D/A コンバータ 42 と、これらの D/A コンバータ 41, 42 の変換出力を外部からの制御入力によりスイッチングするスイッチ手段 43, 44 と、これらスイッチ手段 43, 44 で切替られた出力を演算増幅する上述 (図 7) の演算増幅器 1 a と、この演算増幅器 1 a の出力 VO1, VO2 を外部からの制御入力によりスイッチングして出力端子 OUT1, OUT2 に供給するスイッチ手段 47, 48 とを有している。

【0006】これら D/A コンバータ 41, 42 は、それぞれ入力されるデジタルデータに応じて、中間電位から高位側電源および中間電位から低位側電源のアナログデータに変換する。また、各スイッチ手段 43, 44, 47, 48 は、相反する動作を行う一対のスイッチ S および Sb から構成される。さらに、演算増幅器 1 a は信号の負帰還を行っており、各出力 VO1, VO2 が正側入力 VI1, VI3 に対する負側入力 VI2, VI4 にフィードバックされる。

【0007】かかる液晶パネル駆動用回路 40 a の動作は、まずスイッチ手段 43, 44, 47, 48 における各スイッチ S が ON (このとき、スイッチ Sb は OFF) の時、正極側 D/A コンバータ 41 から出力されたアナログ信号及び負極側 D/A コンバータ 42 から出力されたアナログ信号がそれぞれ演算増幅器 1 a に入力され、それぞれがインピーダンス変換され、出力信号として、スイッチ手段 47 または 48 を介し出力端子 OUT1 または OUT2 に出力される。なお、液晶パネル駆動用回路 40 a の出力は、パネルの各素子を駆動するために多数個設けられるが、説明を簡略化するために、便宜的に 2 個で説明している。

【0008】また、スイッチ手段 43, 44, 47, 48 における各スイッチ Sb が ON (このとき、スイッチ S は OFF) の時も同様であり、正極側 D/A コンバータ 41 で選択されたアナログ信号はインピーダンス変換され、出力端子 OUT2 に、また負極側 D/A コンバータ 42 で選択されたアナログ信号もインピーダンス変換

され、出力端子 OUT1 にそれぞれ出力される。

【0009】この液晶パネル駆動用回路 40 a は、数十回正極側または負極側のアナログ信号を出力、すなわちパネルに対して書き込みを行う。走査ラインが切り替われば、正極側を出力していた端子と負極側を出力していた端子とを入れ替えることにより、交流駆動を行う。

【0010】図 9 は従来の液晶パネル駆動用回路の出力波形のタイミング図である。図 9 に示すように、スイッチ S, Sb が相反する切替動作を行うと、出力端子 OUT1, OUT2 に出力される液晶パネル充放電のための信号波形は、高位側電源電圧 VDD から低位側電源電圧 VSS に、また低位側電源電圧 VSS から高位側電源電圧 VDD に変化する。

【0011】

【発明が解決しようとする課題】上述した液晶パネルは容量性の負荷である。このため、入力するアナログ信号の変化によって液晶パネルを駆動することは、液晶パネルの容量性負荷を充放電することである。

【0012】また、液晶パネル駆動用回路は、前述したように、正極側あるいは負極側電圧を数十回出力した後、出力極性を入れ替えて負極側あるいは正極側電圧を数十回出力し、その繰り返し動作を行う。

【0013】かかる容量性負荷の充放電は、高位側電源と低位側電源の間で行われるため、高位側電源と低位側電源との電位差を VDD、書き込み振幅を Vpp、書き込み周波数を f (Hz)、液晶パネルの容量性負荷の容量値を C とすると、1 出力あたりの消費電力 P は、次の式で表わすことができる。

$$【0014】P = C \times f \times Vpp \times VDD$$

しかるに、上述した従来の演算増幅器及びそれを用いた液晶パネル用駆動回路は、正極性側あるいは負極性側出力電圧だけを数十回書き込むにも拘わらず、高位側電源と低位側電源との電位差が VDD (VSS を 0 V としたとき) であるために、消費電力 P が大きくなってしまいますという問題がある。

【0015】また、液晶パネルの交流駆動を行う際には、液晶パネルの表示ムラを極力抑制する必要がある。

【0016】本発明の目的は、液晶パネルの交流駆動を行う際に消費されるパネル負荷充放電電力を削減するとともに、交流駆動を行う際に発生する液晶パネルの表示ムラを極力抑制することのできる演算増幅器及びそれを用いた液晶パネル駆動用回路を提供することにある。

【0017】

【課題を解決するための手段】本発明は、消費電力を小さくすると同時に、交流駆動を行う際に発生する液晶パネルの表示ムラを従来例と同様に極力抑制するものであり、その解決手段として、高位側電源、低位側電源の他に、中位側電源およびスイッチ手段を設けたことにある。特に、最終的に出力するトランジスタ段についてみると、正極側を駆動する出力トランジスタ段を高位側電

源と中位側電源の間に接続し且つ負極側を駆動する出力トランジスタ段を中位側電源と低位側電源の間に接続する。

【0018】かかる手段を使用することにより、充放電は高位側電源から中位側電源の間または中位側電源から低位側電源の間で行われ、高位側電源と中位側電源との電位差または中位側電源と低位側電源との電位差を  $V_{DD}/2$ 、書き込み振幅を  $V_{pp}$ 、書き込み周波数を  $f$  (Hz)、液晶パネルの容量性負荷の容量値を  $C$  とすると、1 出力あたりの消費電力  $P$  は、つぎの式で表わすことができる。

$$【0019】 P = C \times f \times V_{pp} \times (V_{DD}/2)$$

また、本発明は、正極側書き込み時に使用する差動型入力段回路と負極側書き込み時に使用する差動型入力段回路とを同一とすることにより、交流駆動を行う際に発生する液晶パネルの表示ムラを極力抑制することができる。

【0020】

【発明の実施の形態】以下、図面を参照し、本発明の演算増幅器及びそれをを用いた液晶パネル駆動用回路の実施形態について説明する。

【0021】図 1 は本発明の一実施形態を示すパネル駆動用演算増幅器の構成図である。図 1 に示すように、本実施の形態における液晶パネル駆動用演算増幅器 1 は、高位側電源 ( $V_{DD}$ ) 8 および低位側電源 ( $V_{SS}$ ) 9 間に接続され、それぞれ正入力端子  $V_{I1}$  と負入力端子  $V_{I2}$  ならびに正入力端子  $V_{I3}$  と負入力端子  $V_{I4}$  に供給されるアナログ入力の差電圧を増幅し差動型入力段出力端子 101, 102 へ出力する差動型入力段回路 2, 3 と、高位側 ( $V_{DD}$ ) 電源 8 および中位側 ( $V_{DD}/2$ ) 電源 10 間に直列に接続され且つそれらの接続点に出力端子  $V_{O1}$  を接続した出力段 FET 11, 12 と、中位側 ( $V_{DD}/2$ ) 電源 10 および低位側 ( $V_{SS}$ ) 電源 9 間に直列に接続され且つそれらの接続点に出力端子  $V_{O2}$  を接続した出力段 FET 13, 14 と、差動入力段出力 101, 102 および駆動段入力 103, 104 間に接続されるとともに、外部から供給される所定の制御信号によってオン・オフを制御され且つ互いに相反する動作をするスイッチ  $S1$ ,  $S1b$  およびスイッチ  $S2b$ ,  $S2$  からなるスイッチ手段 6, 7 と、高位側 40 電源 8 および低位側電源 9 間に接続され、入力端子 103, 104 からの信号に基いてそれぞれ出力段 FET 11, 12 および FET 13, 14 への駆動出力を出力端子 105, 106 ならびに 107, 108 を介して供給する駆動段回路 4, 5 とを有しており、機能的には出力インピーダンスの変換回路として用いられる。なお、これら差動型入力段回路 2, 3 は入力レンジが低位側電源レベル ( $V_{SS}$ ) から高位側電源レベル ( $V_{DD}$ ) まで確保できる。

【0022】このパネル駆動用演算増幅器 1 は、スイッ 50

チ手段 6, 7 と中位側電源 10 を追加したことにより、スイッチ手段 6, 7 はその構成スイッチ  $S1$ ,  $S2$  が同相でオン・オフし、またこれらのスイッチ  $S1$ ,  $S2$  とは逆相でオフ・オンするスイッチ  $S1b$ ,  $S2b$  が同相でオン・オフする。さらに、中位側電源 10 を設けることにより、出力端子  $V_{O1}$ ,  $V_{O2}$  における出力電圧の立ち上げを高速化し、パネル負荷充放電電力を削減するとともに、交流駆動を行う際に発生する液晶パネルの表示ムラを抑制している。

【0023】図 2 は図 1 における演算増幅器の駆動段回路の第 1 の例を示す詳細図である。図 2 に示すように、演算増幅器における駆動段回路 4 は、ゲート電極が入力端子 103 に接続され、ソース電極が低位側電源 9 ( $V_{SS}$ ) に接続された FET 15 と、ゲート電極とドレイン電極とが FET 15 のドレイン電極に接続され、ソース電極が高位側電源 8 ( $V_{DD}$ ) に接続された FET 16 と、ゲート電極が FET 15 のドレイン電極と FET 16 のゲート、ドレイン電極に接続され、ソース電極が高位側電源 8 に接続された FET 17 と、ゲート、ドレイン電極が出力端子 105 に接続され、ソース電極が FET 17 のドレイン電極に接続された FET 18 と、ゲート電極が FET 15 のドレイン電極と FET 16 のゲート、ドレイン電極と FET 17 のゲート電極に接続され且つソース電極が高位側電源 8 に接続され、ドレイン電極が出力端子 106 に接続された FET 19 と、一端を FET 18 のゲート、ドレイン電極及び出力端子 105 に接続され、他端を低位側電源 9 に接続された定電流源  $I1$  と、一端を FET 19 のドレイン電極及び出力端子 106 に接続され、他端を低位側電源 9 に接続された定電流源  $I2$  とで構成される。

【0024】同様に、駆動段回路 5 は、ゲート電極が入力端子 104 に接続され、ソース電極が低位側電源 9 に接続された FET 20 と、ゲート電極とドレイン電極とが FET 20 のドレイン電極に接続され、ソース電極が高位側電源 8 に接続された FET 21 と、ゲート電極が FET 20 のドレイン電極と FET 21 のゲート、ドレイン電極に接続され、ソース電極が高位側電源 8 に接続された FET 22 と、ゲート、ドレイン電極が出力端子 108 及び FET 22 のドレイン電極に接続された FET 23 と、ゲート電極が FET 20 のドレイン電極と FET 21 のゲート、ドレイン電極と FET 22 のゲート電極に接続され且つソース電極が高位側電源 8 に接続され、ドレイン電極が出力端子 107 に接続された FET 24 と、一端を FET 23 のソース電極に接続され、他端を低位側電源 9 に接続された定電流源  $I3$  と、一端を FET 24 のドレイン電極及び出力端子 107 に接続され、他端を低位側電源 9 に接続された定電流源  $I4$  とで構成される。

【0025】これら駆動段回路 4, 5 の動作は、前述した差動型入力段回路 2, 3 からの出力信号 101, 10

2 をスイッチ手段 6, 7 によって切換えられた入力 103, 104 が供給されると、その信号を駆動段回路 4, 5 内で変換し、最終の出力 FET11, 12 および出力 FET13, 14 への出力信号 105, 106 および 107, 108 として伝達される。

【0026】例えば、差動型入力段回路 2 または 3 の正入力端子 V<sub>I1</sub>, 負入力端子 V<sub>I2</sub> または正入力端子 V<sub>I3</sub>, 負入力端子 V<sub>I4</sub> において、負入力端子 V<sub>I2</sub>, V<sub>I4</sub> の電位レベルに比べ、正入力端子 V<sub>I1</sub>, V<sub>I3</sub> の電位レベルが大きくなった場合、それぞれの差動型入力段回路 2, 3 の出力信号 101, 102 は、立ち下がり 10 の信号になる。その信号は、駆動段回路 4, 5 内で変換され、最終段の出力 FET11, 12 および 13, 14 への立ち下がり信号として出力される。すると、最終段の出力 FET11, 12 および 13, 14 は、それぞれ FET11 と 13 が低抵抗、FET12, 14 が高抵抗となり、負荷に対しての充電信号として出力される。

【0027】同様に、差動型入力段回路 2 または 3 の正入力端子 V<sub>I1</sub>, 負入力端子 V<sub>I2</sub> または正入力端子 V<sub>I3</sub>, 負入力端子 V<sub>I4</sub> において、負入力端子 V<sub>I2</sub>, V<sub>I4</sub> の電位レベルに比べ、正入力端子 V<sub>I1</sub>, V<sub>I3</sub> の電位レベルが小さくなった場合、それぞれの差動型入力段回路 2, 3 の出力信号 101, 102 は、立ち上がり 20 の信号になる。その信号は、駆動段回路 4, 5 内で変換され、最終段の出力 FET11, 12 および 13, 14 への立ち上がり信号として出力される。すると、最終段の出力 FET11, 12 および 13, 14 は、それぞれ FET11 と 13 が高抵抗、FET12, 14 が低抵抗となり、負荷に対しての放電信号として出力される。

【0028】従って、これらの駆動段回路 4, 5 を使用 30 すれば、負荷に対するプッシュプル動作が可能である。

【0029】また、かかる駆動段回路 4, 5 を使用すると、最終段の出力 FET12 および 13 のソース電極電位がバックゲート電極電位に対して浮いていたとしても、動作的に支障がない。その理由は、最終段の出力 FET11, 12 または FET13, 14 それぞれに流れる定常電流は、駆動段回路 4, 5 内の FET18, 23 とカレントミラーを構成されている出力段 FET11, 14 で決定されるからである。その場合、出力段 FET 40 12, 13 のソース電極電位がバックゲート電極電位に対し浮いたとしても、問題は生じない。

【0030】図 3 は図 1 における演算増幅器の駆動段回路の第 2 の例を示す詳細図である。図 3 に示すように、演算増幅器における駆動段回路 4 は、ゲート電極が入力端子 103 に接続され、ソース電極が低位側電源 9 (V<sub>SS</sub>) に接続された FET25 と、ゲート電極とドレイン電極とが FET25 のドレイン電極に接続され、ソース電極が低位側電源 9 に接続された FET26 と、ゲート電極が FET25 のドレイン電極と FET26 のゲー 50

ト、ドレイン電極に接続され、ソース電極が低位側電源 9 に接続された FET27 と、ゲート、ドレイン電極が FET27 のドレイン電極及び出力端子 105 に接続された FET28 と、ゲート電極が FET25 のドレイン電極と FET26 のゲート、ドレイン電極と FET27 のゲート電極に接続され且つソース電極が低位側電源 9 に接続され、ドレイン電極が出力端子 106 に接続された FET29 と、一端を FET25 のドレイン電極と FET26 のゲート、ドレイン電極と FET27 及び FET29 のゲート電極に接続され、他端を高位側電源 8 に接続された定電流源 I5 と、一端を FET28 のソース電極に接続され、他端を高位側電源 8 に接続された定電流源 I6 と、一端を FET29 のドレイン電極及び出力端子 106 に接続された定電流源 I7 とで構成される。

【0031】同様に、駆動段回路 5 は、ゲート電極が入力端子 104 に接続され、ソース電極が低位側電源 9 に接続された FET30 と、ゲート電極とドレイン電極とが FET30 のドレイン電極に接続され、ソース電極が低位側電源 9 に接続された FET31 と、ゲート電極が FET30 のドレイン電極と FET31 のゲート、ドレイン電極に接続され、ソース電極が低位側電源 9 に接続された FET32 と、ゲート、ドレイン電極が出力端子 108 に接続され、ソース電極が FET32 のドレイン電極に接続された FET33 と、ゲート電極が FET30 のドレイン電極と FET31 のゲート、ドレイン電極と FET32 のゲート電極に接続され且つソース電極が低位側電源 9 に接続され、ドレイン電極が出力端子 107 に接続された FET34 と、一端を FET30 のドレイン電極と FET31 のゲート、ドレイン電極と FET32 及び FET34 のゲート電極に接続され、他端を高位側電源 8 に接続された定電流源 I8 と、一端を FET33 のゲート、ドレイン電極及び出力端子 108 に接続され、他端を高位側電源 8 に接続された定電流源 I9 と、一端を FET34 のドレイン電極及び出力端子 107 に接続された定電流源 I10 とで構成される。

【0032】この場合の駆動段回路 4, 5 の動作は、前述した図 2 の第 1 の例と同様であるので、説明は省略する。

【0033】図 4 は図 1 における演算増幅器の駆動段回路の第 3 の例を示す詳細図である。図 4 に示すように、この場合の演算増幅器における駆動段回路は、前述した図 3 の第 2 の例における駆動段回路 4 と、前述した図 2 の第 1 の例における駆動段回路 5 とを組合わせたものである。

【0034】すなわち、駆動段回路 4 は、ゲート電極を入力端子 103 に且つソース電極を低位側電源 9 に接続した FET55 と、ゲート、ドレイン電極を FET25 のドレイン電極に且つソース電極を低位側電源 9 に接続した FET26 と、ゲート電極を FET26 のゲート電極に接続し、ソース電極を低位側電源 9 に接続した FET



T27と、ゲート、ドレイン電極をFET27のドレイン電極及び出力端105に接続したFET28と、ゲート電極をFET27のゲートの電極に且つソース電極を低位側電源9に接続し、ドレイン電極を出力端106に接続したFET29と、FET25のドレイン電極と高位側電源8間に接続した定電流源I5と、FET28のソース電極と高位側電源8間に接続した定電流源I6と、出力端106と高位側電源8間に接続した定電流源I7とで構成する。

【0035】一方、駆動段回路5は、ゲート電極を入力端子104に接続し、ソース電極を低位側電源9に接続したFET20と、ゲート、ドレイン電極をFET20のドレイン電極に接続し、ソース電極を高位側電源8に接続したFET21と、ゲート電極をFET21のゲート電極と接続し、ソース電極を高位側電源8に接続したFET22と、ゲート、ドレイン電極をFET22のドレイン電極及び出力端108に接続したFET23と、ゲート電極をFET22のゲート電極に且つソース電極を高位側電源に接続し、ドレイン電極を出力端107に接続したFET24と、FET23のソース電極と低位側電源9間に接続した定電流源I3と、FET24のドレイン電極と低位側電源9間に接続した定電流源I4とで構成する。

【0036】なお、これらの駆動段回路4、5の回路動作については、第1の例と同様であるので、その説明を省略する。

【0037】また、上述した2と図3の駆動段回路を図4とは逆に組合せて構成することもできる。例えば、第1の駆動段回路として図2の駆動段回路4を用い、第2の駆動段回路として図3の駆動段回路5を用いて実現することもできる。

【0038】図5は図1における演算増幅器の差動型入力段回路の一例を示す詳細図である。図5に示すように、上述した演算増幅器1の差動型入力段回路2、3はつぎのように形成される。

【0039】例えば、差動型入力段回路2は、ソース電極が共通接続され、ゲート電極がそれぞれ第1の正入力端子VI1と第1の負入力端子VI2とに接続されたFETP1およびP2（PMOSトランジスタ：以下同様）と、ゲート、ドレイン電極をFETP1のドレイン電極に接続し、ソース電極を高位側電源（VDD）8に接続したFETN2（NMOSトランジスタ：以下同様）と、ゲート、ドレイン電極をFETP2のドレイン電極に接続し、ソース電極を高位側電源8に接続したFETN3と、ゲート電極をFETN2のゲート、ドレイン電極及びFETP1のドレイン電極に接続し、ソース電極を高位側電源8に接続したFETN1と、ゲート電極をFETN3のゲート、ドレイン電極及びFETP2のドレイン電極に接続し、ソース電極を高位側電源8に且つドレイン電極を第1の出力端子に接続したFETN

4と、ソース電極を共通接続し、ゲート電極をそれぞれ第1の負入力端子VI2と第1の正入力端子VI1に接続したFETN5及びFETN6と、ゲート、ドレイン電極をFETN1及びFETN5のドレイン電極に接続し、ソース電極を低位側電源9に接続したFETP3と、ゲート電極をFETN1、FETN5のドレイン電極及びFETP3ゲート、ドレイン電極に接続し、ソース電極を低位側電源9に接続するとともに、ドレイン電極を第1の出力端子101及びFETN6のドレイン電極に接続したFETP4と、一端をFETP1、P2のソース電極に接続し且つ他端を低位側電源9に接続した第1の定電流源I11と、一端をFETN5、N6のソース電極に接続し且つ他端を高位側電源8に接続した第2の定電流源I12とで構成される。

【0040】同様に、差動型入力段回路3は、ソース電極を共通接続し、ゲート電極をそれぞれ第2の正入力端子VI3と第2の負入力端子VI4とに接続したFETP5およびP6と、ゲート、ドレイン電極をFETP5のドレイン電極に接続し、ソース電極を高位側電源8に接続したFETN8と、ゲート、ドレイン電極をFETP6のドレイン電極に接続し、ソース電極を高位側電源8に接続したFETN9と、ゲート電極をFETN8のゲート、ドレイン電極及びFETP5のドレイン電極に接続し、ソース電極を高位側電源8に接続したFETN7と、ゲート電極をFETN9のゲート、ドレイン電極及びFETP6のドレイン電極に且つソース電極を高位側電源8に接続し、ドレイン電極を第2の出力端子102に接続したFETN10と、ソース電極を共通接続し、ゲート電極がそれぞれ第2の負入力端子VI4と第2の正入力端子VI3とに接続されたFETN11およびFETN12と、ゲート、ドレイン電極をFETN7およびFETN11のドレイン電極に接続し、ソース電極を低位側電源9に接続したFETP7と、ゲート電極をFETN7、FETN11のドレイン電極及びFETP7のゲート、ドレイン電極に且つソース電極を低位側電源9に接続し、ドレイン電極を第2の出力端子102及びFETN12のドレイン電極に接続したFETP8と、一端をFETP5、P6のソース電極に接続し且つ他端を低位側電源9に接続した第3の定電流源I13と、一端をFETN11、N12のソース電極に接続し且つ他端を高位側電源8に接続した第4の定電流源I14とで構成される。

【0041】上述の例では、差動型入力段回路2、3を形成する半導体素子としてMOSFETの例を取り上げたが、ベース電極、エミッタ電極およびコレクタ電極を備えるバイポーラトランジスタにより形成しても良いし、また高位側電源および低位側電源を入れ換えて構成しても良い。さらに、液晶パネル駆動用の演算増幅器の形成にあたっては、上述した差動型入力段回路2、3と、前述した図2から図5の駆動段回路4、5とを組合



わせて形成することもできる。

【0042】図6は本発明の演算増幅器を使用した液晶パネル駆動回路の1例を示す構成図である。図6に示すように、液晶パネル駆動回路40は、中位側電源電位から高位側電源電位までのデジタル・アナログ変換を行う正極側D/Aコンバータ41と、低位側電源電位から中位側電源電位までのデジタル・アナログ変換を行う負極側D/Aコンバータ42と、これらのD/Aコンバータ41、42の変換出力を外部からの制御入力によりスイッチングするスイッチ手段43、44と、これらス

スイッチ手段43、44で切替られた出力を正入力端子VO1、VO3に入力し、演算増幅して出力のインピーダンス変換を行って出力端子VO1、VO2に出力する上述(図1)の演算増幅器1と、この演算増幅器1の出力VO1VO2を外部からの制御入力によりスイッチングして演算増幅器1の負入力端子VO2、VO4に供給するスイッチ手段45、46と、演算増幅器1の出力VO1、VO2を外部からの制御入力によりスイッチングして出力端子OUT1、OUT2に供給するスイッチ手段47、48とを有している。なお、これらのうち、D/A

コンバータ41、42と、スイッチ手段43、44およびスイッチ手段47、48とは、前述した図8の従来例と同様であるので、ここではその説明を省略する。

【0043】本実施の形態では、新たな演算増幅器1と、スイッチ手段45、46とを設けたことにあり、特にスイッチ手段45は演算増幅器1の負入力端子VI2と出力端子VO1、VO2に接続され且つ相補動作するスイッチS、Sbで形成したことにあり、同様にスイッチ手段46は演算増幅器1の負入力端子VI4と出力端子VO1、VO2に接続され且つ相補動作するスイッチS、Sbで形成したことにある。

【0044】この液晶パネル駆動回路40の動作は、まずスイッチ手段43～48におけるスイッチSおよび演算増幅器1内のスイッチS1、S2(図1参照)がON(S1b、S2bはOFF)の時、正極側D/Aコンバータ41から出力されたアナログ信号と、負極側D/Aコンバータ42から出力されたアナログ信号がそれぞれ演算増幅器1の正入力端子VI1、VI2に

入力される。すなわち、正極側のアナログ信号は、図1中の演算増幅器1における差動入力段回路2、駆動段回路4に

入力され、インピーダンス変換され、出力信号として出力端子OUT2に出力される。一方、負極側のアナログ信号は、図1中の演算増幅器1における差動入力段回路3、駆動段回路4に

入力され、インピーダンス変換され、出力信号として出力端子OUT1に出力される。

【0046】かかる液晶パネル駆動回路40は、数十回正極側または負極側のアナログ信号を出力端子OUT1、OUT2に出力(パネルに対して書き込みを行う)し、操作ラインが切り替われば、正極側のアナログ信号を出力していた端子と、負極側アナログ信号を出力していた端子とを入れ替え、交流駆動を行う。

【0047】以上説明した動作をタイミングチャートで示すと、前述した図9の従来駆動と同様となる。

【0048】要するに、上述した演算増幅器1およびスイッチ手段43～48を使用することにより、出力端子OUT1、OUT2における充放電は高位側電源から中位側電源の間または中位側電源から低位側電源の間で行われ、仮に高位側電源と中位側電源との電位差または中位側電源と低位側電源との電位差をVDD/2(ボルト)、書き込み振幅をVpp、書き込み周波数をf(Hz)、液晶パネルの容量性負荷の値をCとすれば、1出力あたりの消費電力Pは、つぎの式で表わすことができる。

$$【0049】 P = C \times f \times V_{pp} \times (V_{DD} / 2)$$

従って、本実施形態の液晶パネル駆動回路40を用いると、従来の液晶パネル駆動回路を使用した場合と比べて、1/2の負荷消費電力にすることができる。しかも、正極側書き込み時に使用する差動型入力段回路と負極側書き込み時に使用する差動型入力段回路とが同一であるため、交流駆動を行う際に発生する液晶パネルの表示ムラを従来通り極力抑制することができる。

【0050】また、液晶パネル駆動回路は、上述した液晶パネル駆動回路40を複数個用いて形成することができる。

【0051】さらに、この液晶パネル駆動回路は、複数個の液晶パネル駆動回路を設けて形成される。

【0052】

【発明の効果】以上説明のように、本発明の液晶パネル駆動回路は、演算増幅器の差動段出力を駆動段回路に供給する経路をスイッチ手段により切換え、しかも出力段FETを高位側電源、低位側電源の他に中位側電源を用いて駆動することにより、負荷を充放電する場合に発生する負荷電力を小さくでき、しかもパネル表示時の色ムラを極力抑制できるという効果がある。

## 【図面の簡単な説明】

【図1】本発明の一実施形態を示すパネル駆動用演算増幅器の構成図である。

【図2】図1における演算増幅器の駆動段回路の第1の例を示す詳細図である。

【図3】図1における演算増幅器の駆動段回路の第2の例を示す詳細図である。

【図4】図1における演算増幅器の駆動段回路の第3の例を示す詳細図である。

【図5】図1における演算増幅器の差動型入力段回路の一例を示す詳細図である。

【図6】本発明の他の実施形態を示す演算増幅器を使用した液晶パネル駆動用回路の構成図である。

【図7】従来の液晶パネル駆動用演算増幅器の一例を示す構成図である。

【図8】従来の演算増幅器を使用した液晶パネル駆動用回路の一例を示す構成図である。

【図9】従来の液晶パネル駆動用回路の出力波形のタイミング図である。

## 【符号の説明】

\* 1 演算増幅器

2, 3 差動型入力段回路

4, 5 駆動段回路

6, 7, 43 ~ 48 スイッチ手段

8 高位側電源

9 低位側電源

10 中位側電源

11 ~ 14 出力段FET

40 液晶パネル駆動用回路

41 正側D/Aコンバータ

42 負側D/Aコンバータ

VI1, VI3 正入力端子

VI2, VI4 負入力端子

101, 102 差動型入力段出力端子

103, 104 駆動段入力端子

105 ~ 108 駆動段出力端子

I1 ~ I14 定電流源

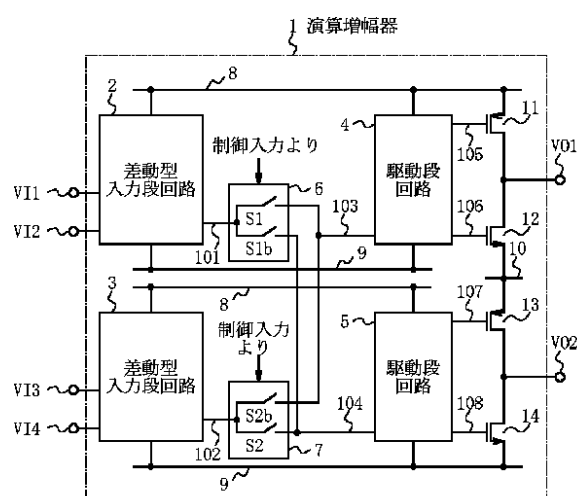
VO1, VO2 演算増幅器出力端子

OUT1, OUT2 液晶パネル駆動用回路出力端子

\* 20 子

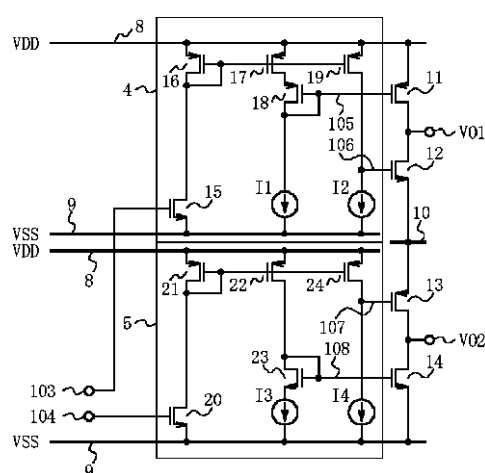
S1, S1b, S2, S2b, S, Sb スイッチ

【図1】

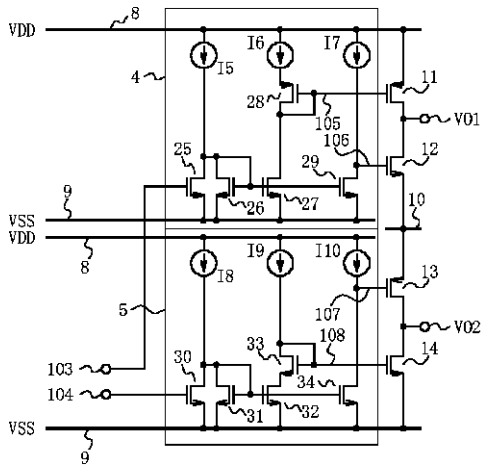


6, 7: スイッチ手段  
8: 高位側電源 (VDD)  
9: 低位側電源 (VSS)  
10: 中位側電源 (VDD/2)  
11 ~ 14: 出力段FET

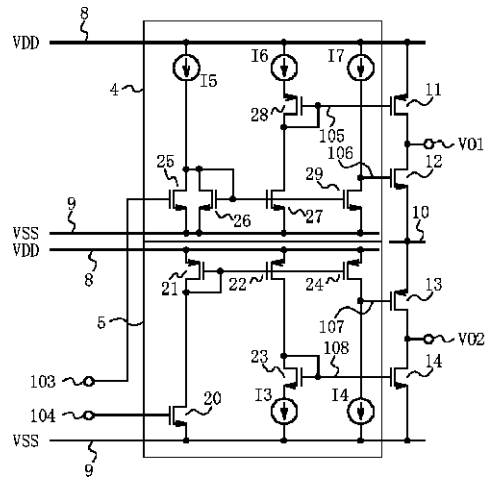
【図2】



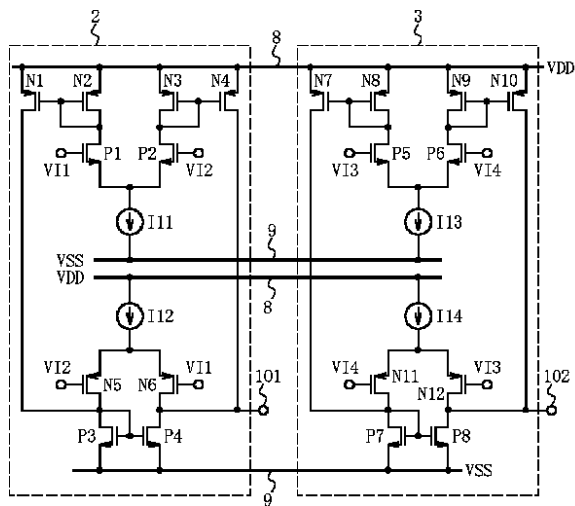
【図 3】



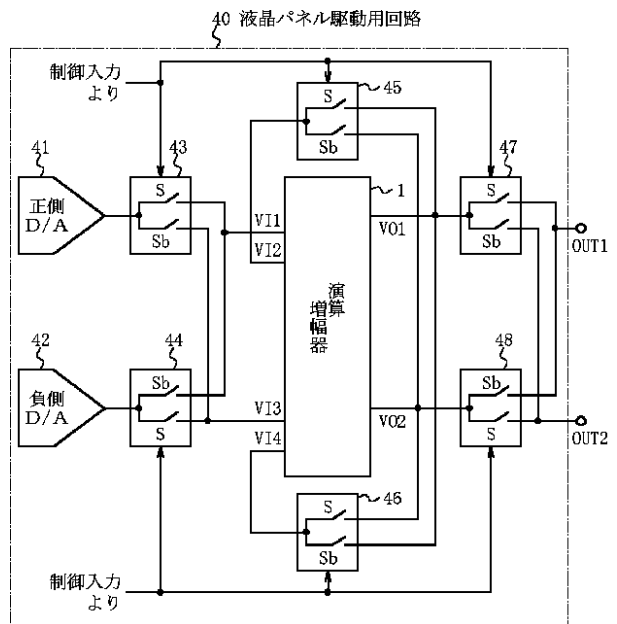
【図 4】



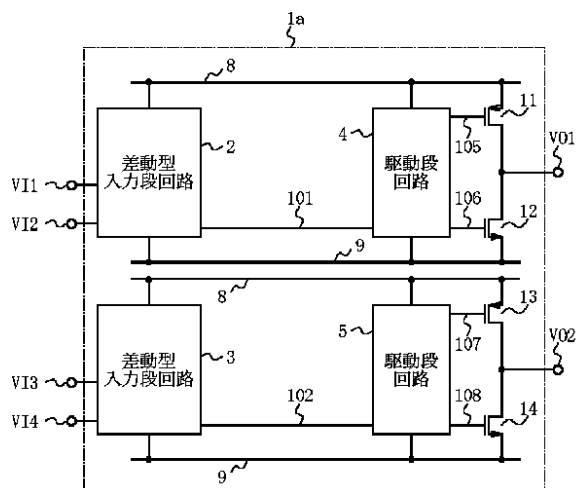
【図 5】



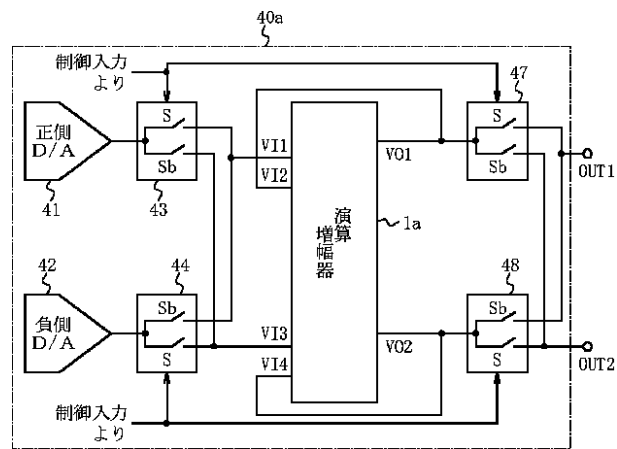
【図 6】



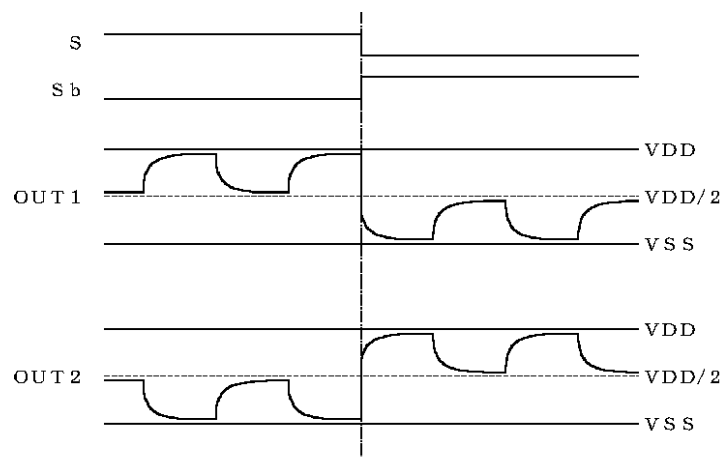
【圖 7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

G 0 9 G 3/20

H 0 3 F 1/02

3/30

識別記号

6 4 2

F I

G 0 9 G 3/20

H 0 3 F 1/02

3/30

テ-マコード (参考)

6 4 2 J

F ターム(参考) 2H093 NA31 NA41 NC01 NC21 NC33  
ND05 ND39  
5C006 AA22 AF69 BF25 BF32 BF34  
FA25 FA47  
5C080 AA10 BB05 CC03 DD26 DD30  
EE29 FF11 JJ02 JJ04  
5J091 AA01 AA18 AA47 CA00 CA36  
CA78 FA18 HA09 HA17 HA38  
KA02 KA05 KA09 KA34 MA21  
SA08 TA01 TA06 UW09  
5J092 AA01 AA18 AA47 CA00 CA36  
CA78 FA18 HA09 HA17 HA38  
KA02 KA05 KA09 KA34 MA21  
SA08 TA01 TA06

专利名称(译)	运算放大器和使用该运算放大器驱动液晶面板的电路		
公开(公告)号	<a href="#">JP2002175052A</a>	公开(公告)日	2002-06-21
申请号	JP2000371904	申请日	2000-12-06
申请(专利权)人(译)	Yamagatanihondenki有限公司		
[标]发明人	加藤文彦		
发明人	加藤 文彦		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H03F1/02 H03F3/30		
CPC分类号	H03F3/3061 H03F3/3023		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.611.A G09G3/20.612.E G09G3/20.621.G G09G3/20.642.J H03F1/02 H03F3/30 G09G3/20.621.B G09G3/20.623.B		
F-TERM分类号	2H093/NA31 2H093/NA41 2H093/NC01 2H093/NC21 2H093/NC33 2H093/ND05 2H093/ND39 5C006/AA22 5C006/AF69 5C006/BF25 5C006/BF32 5C006/BF34 5C006/FA25 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD26 5C080/DD30 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5J091/AA01 5J091/AA18 5J091/AA47 5J091/CA00 5J091/CA36 5J091/CA78 5J091/FA18 5J091/HA09 5J091/HA17 5J091/HA38 5J091/KA02 5J091/KA05 5J091/KA09 5J091/KA34 5J091/MA21 5J091/SA08 5J091/TA01 5J091/TA06 5J091/UW09 5J092/AA01 5J092/AA18 5J092/AA47 5J092/CA00 5J092/CA36 5J092/CA78 5J092/FA18 5J092/HA09 5J092/HA17 5J092/HA38 5J092/KA02 5J092/KA05 5J092/KA09 5J092/KA34 5J092/MA21 5J092/SA08 5J092/TA01 5J092/TA06 2H193/ZA03 2H193/ZD34 2H193/ZF01 5J500/AA01 5J500/AA18 5J500/AA47 5J500/AC00 5J500/AC36 5J500/AC78 5J500/AF18 5J500/AH09 5J500/AH17 5J500/AH38 5J500/AK02 5J500/AK05 5J500/AK09 5J500/AK34 5J500/AM21 5J500/AS08 5J500/AT01 5J500/AT06 5J500/WU09		
其他公开文献	JP4744686B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明的目的是减少用于驱动液晶面板的功耗，并抑制在执行AC驱动时出现的液晶面板的显示不均匀。 解决方案：用于驱动液晶面板的运算放大器1切换到差分级2和3，驱动级4和5，输出晶体管11到14，差分级2和3切换到驱动级4和5。 提供了用于通过上述连接的开关装置（6、7）和中间电源（10）。 差分级2和3以及驱动级4和5在高侧电源8和低侧电源9之间驱动，输出晶体管11和12连接在高侧电源8和中侧电源10与输出晶体管之间。 通过驱动级4和5在中间电源10和低电源9之间交替地驱动图13、14所示的驱动级。 因此，可以利用VDD / 2对液晶面板的电容性负载进行充放电，可以降低功耗，并且可以抑制显示不均。

