

(19)日本国特許庁（J P）

(12) 公 開 特 許 公 報

(A) (11)特許出願公開番号

特開2001－324962

(P2001－324962A)

(43)公開日 平成13年11月22日(2001.11.22)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	550	G 0 2 F 1/133	2 H 0 9 3
	1/1345		5 B 0 8 3
G 0 6 F 1/04		G 0 6 F 1/04	A 5 C 0 0 6
	3/00		X 5 C 0 8 0

審査請求 未請求 請求項の数 10 O L (全 14 数) 最終頁に続く

(21)出願番号 特願2000－140959(P2000－140959)

(22)出願日 平成12年5月12日(2000.5.12)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71)出願人 000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地
(72)発明者 三島 康之
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内
(74)代理人 100083552
弁理士 秋田 収喜

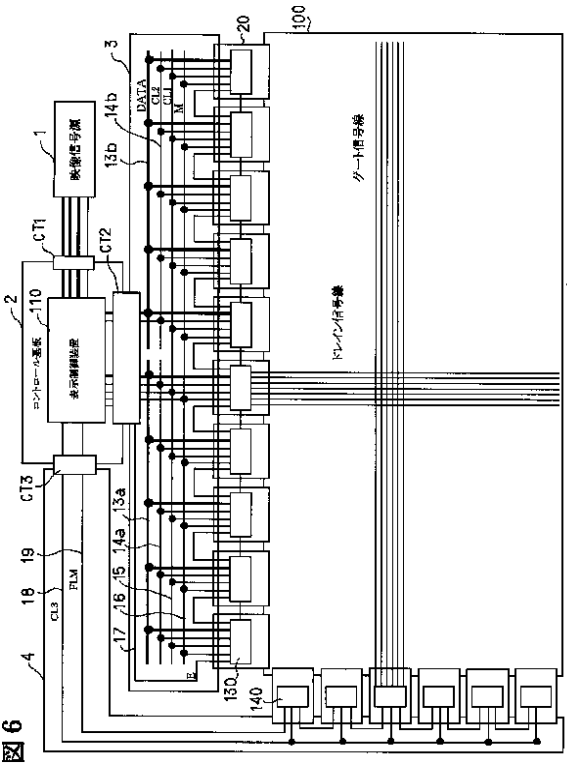
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 放射電磁雑音の発生量を低減することが可能な液晶表示装置を提供する。

【解決手段】 液晶表示素子と、複数の駆動回路と、表示データとクロック信号を前記複数の駆動回路に送出する表示制御装置と、前記表示制御装置と前記複数の駆動回路との間に設けられ、前記表示制御装置から送出される表示データおよびクロック信号を、基板内のバスラインおよびクロック信号線を介して、前記各駆動回路に供給する回路基板とを備える液晶表示装置であって、前記回路基板のバスラインおよびクロック信号線は、前記回路基板の連続した領域に形成されるとともに、複数個に分割されている。前記表示制御装置は、前記表示データおよびクロック信号を、送出タイミングに応じて、順番に前記分割された各バスラインおよび各クロック信号線に供給する。



【特許請求の範囲】

【請求項1】 液晶表示素子と、
複数の駆動回路と、
表示データとクロック信号を前記複数の駆動回路に送出する表示制御装置と、
前記表示制御装置と前記複数の駆動回路との間に設けられ、前記表示制御装置から送出される表示データおよびクロック信号を、基板内のバスラインおよびクロック信号線を介して、前記各駆動回路に供給する回路基板とを備える液晶表示装置であって、
前記回路基板のバスラインおよびクロック信号線は、前記回路基板の連続した領域に形成されるとともに、複数個に分割されていることを特徴とする液晶表示装置。

【請求項2】 前記表示制御装置は、前記表示データおよびクロック信号を、送出タイミングに応じて、順番に前記分割された各バスラインおよび各クロック信号線に供給することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記表示制御装置は、前記表示データおよびクロック信号を供給しない前記分割された各バスラインおよび各クロック信号線に、固定電圧レベルの信号を供給することを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 前記回路基板のバスラインおよびクロック信号線は、2個に分割されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項5】 前記表示制御装置は、一方のバスラインおよびクロック信号線と、他方のバスラインおよびクロック信号線とに、送出タイミングに応じて、順番に前記表示データおよびクロック信号を供給することを特徴とする請求項4に記載の液晶表示装置。

【請求項6】 前記表示制御装置は、一方のバスラインおよびクロック信号線に、前記表示データおよびクロック信号を供給している間、他方のバスラインおよびクロック信号線に、固定電圧レベルの信号を供給することを特徴とする請求項5に記載の液晶表示装置。

【請求項7】 前記回路基板は、前記表示制御装置からの表示データおよびクロック信号入力用のコネクタが、前記回路基板の長手方向の中央部に設けられていることを特徴とする請求項4に記載の液晶表示装置。

【請求項8】 前記クロック信号は、表示データラッチ用クロック信号であることを特徴とする請求項1に記載の液晶表示装置。

【請求項9】 液晶表示素子と、
複数の駆動回路と、
表示データとクロック信号を前記複数の駆動回路に送出する表示制御装置と、
前記表示制御装置と前記複数の駆動回路との間に設けられ、前記表示制御装置から送出される表示データおよびクロック信号を、基板内のバスラインおよびクロック信

号線を介して、前記各駆動回路に供給する回路基板とを備える液晶表示装置であって、
前記回路基板のバスラインおよびクロック信号線は、前記回路基板の連続した領域に形成されるとともに、前記表示制御装置からの表示データおよびクロック信号入力用のコネクタが、前記回路基板の長手方向の端部以外の部分に設けられていることを特徴とする液晶表示装置。

【請求項10】 前記コネクタは、前記回路基板の長手方向の中央部に設けられていることを特徴とする請求項9に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特に、液晶表示装置の駆動回路に適用して有効な技術に関する。

【0002】

【従来の技術】STN (Super Twisted Nematic) 方式、あるいはTFT (Thin Film Transistor) の液晶表示モジュールは、ノート型パソコン等の表示装置として広く使用されている。TFT方式の液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路（ドレインドライバおよびゲートドライバ）、表示制御装置（または、タイミングコントローラ）、電源回路を備えている。なお、このような液晶表示装置は、例えば、特願平9-71328号に記載されている。

【0003】

【発明が解決しようとする課題】前述のTFT方式の液晶表示装置においては、液晶パネルの長手方法（または、横方向）に配置されたドレインドライバと、液晶表示パネルの短手方向（または、縦方向）に配置されたゲートドライバを介して、各画素に表示データに対応した階調電圧を印加することにより、液晶パネルに画像を表示する。そのため、ドレインドライバは、予め、表示データを、表示データラッチ用クロック信号に同期して取り込む必要がある。近年、液晶表示装置においては、液晶表示パネルの大画面化の要求に伴って、液晶表示パネルの解像度として、XGA表示モードの1024×768画素、SXGA表示モードの1280×1024画素、UXGA表示モードの1600×1200画素と高解像度化が要求されている。このような、液晶表示パネルの高解像度化に伴い、ドレインドライバ数が増加するとともに、各ドレインドライバにおいて、表示データを取り込むための時間が短くなり、さらに、表示データラッチ用クロック信号の周波数も増大していく。

【0004】一方、パーソナルコンピュータ等の情報機器では、当該情報機器から発生する放射電磁雑音の発生量が規制されている。しかしながら、前述したような理由により、クロック信号の周波数が高くなると、液晶表示装置から発生する放射電磁雑音も大きくなるという問題点があった。また、前述したように、表示データラッ

チ用クロック信号の周波数が高くなり、表示データを取り込むための時間が短くなると、主に、表示制御装置と各ドレインドライバとの間に設けられる回路基板内の内部抵抗、内部インダクタンス、内部寄生容量、並びに、各ドレインドライバの入力容量により、表示制御装置から送出される表示データおよび表示データラッチ用クロック信号に、波形歪みが生じ、各ドレインドライバで表示データを取り込む際に、正確に表示データを取り込むことができなくなるといった問題点があった。

【0005】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、放射電磁波の発生量を低減することが可能となる技術を提供することにある。また、本発明の他の目的は、高解像度の液晶表示素子を使用する液晶表示装置において、各駆動回路で正確に表示データを取り込むことが可能となる技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0006】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。即ち、本発明は、液晶表示素子と、複数の駆動回路と、表示データとクロック信号を前記複数の駆動回路に送出する表示制御装置と、前記表示制御装置と前記複数の駆動回路との間に設けられ、前記表示制御装置から送出される表示データおよびクロック信号を、基板内のバスラインおよびクロック信号線を介して、前記各駆動回路に供給する回路基板とを備える液晶表示装置であって、前記回路基板のバスラインおよびクロック信号線は、前記回路基板の連続した領域に形成されるとともに、複数個に分割されていることを特徴とする。

【0007】本発明の実施の形態では、前記表示制御装置は、前記表示データおよびクロック信号を、送出タイミングに応じて、順番に前記分割された各バスラインおよび各クロック信号線に供給する。本発明の実施の形態では、前記表示制御装置は、前記表示データおよびクロック信号を供給しない前記分割された各バスラインおよび各クロック信号線に、固定電圧レベルの信号を供給する。

【0008】本発明の実施の形態では、前記回路基板のバスラインおよびクロック信号線は、2個に分割されている。本発明の実施の形態では、前記表示制御装置は、一方のバスラインおよびクロック信号線と、他方のバスラインおよびクロック信号線とに、送出タイミングに応じて、順番に前記表示データおよびクロック信号を供給する。本発明の実施の形態では、前記表示制御装置は、一方のバスラインおよびクロック信号線に、前記表示データおよびクロック信号を供給している間、他方のバスラインおよびクロック信号線に、固定電圧レベルの信号

を供給する。

【0009】また、本発明は、液晶表示素子と、複数の駆動回路と、表示データとクロック信号を前記複数の駆動回路に送出する表示制御装置と、前記表示制御装置と前記複数の駆動回路との間に設けられ、前記表示制御装置から送出される表示データおよびクロック信号を、基板内のバスラインおよびクロック信号線を介して、前記各駆動回路に供給する回路基板とを備える液晶表示装置であって、前記回路基板のバスラインおよびクロック信号線は、前記回路基板の連続した領域に形成されるとともに、前記表示制御装置からの表示データおよびクロック信号入力用のコネクタが、前記回路基板の長手方向の端部以外の部分に設けられていることを特徴とする。

【0010】前記手段によれば、回路基板内のバスラインおよびクロック信号線を2系統に分割し、一方の系統には、表示データおよびクロック信号を表示制御装置から供給し、他方の系統には、固定電圧レベルの信号を供給するようにしたので、放射電磁雑音の発生量を少なくすることが可能となる。また、前記手段によれば、回路基板の内部寄生容量、内部抵抗、内部インダクタンス、および駆動回路の入力容量を低減することが可能となるので、表示データの転送周波数、および、クロック信号の周波数が高くなる高精細液晶表示パネルを使用する場合においても、振幅、位相など所定の信号波形を駆動回路で取り込むことが可能となる。

【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔実施の形態1〕図1は、本発明の実施の形態1のTFT方式の液晶表示モジュールの概略構成を示すブロック図である。本実施の形態の液晶表示モジュールは、液晶表示パネル(TFT-LCD)100の長辺側の一辺にドレインドライバ130が配置され、また、液晶表示パネル100の短辺側の一辺に、ゲートドライバ140が配置される。インタフェース部160、ドレインドライバ130、並びに、ゲートドライバ140は、それぞれ専用のプリント基板に実装される。

【0012】図2は、図1に示す液晶表示パネル100の一例の等価回路を示す図である。同図に示すように、液晶表示パネル100は、マトリクス状に形成される複数の画素を有する。各画素は、隣接する2本の信号線(ドレイン信号線(D)またはゲート信号線(G))と、隣接する2本の信号線(ゲート信号線(G)またはドレイン信号線(D))との交差領域内に配置される。各画素は薄膜トランジスタ(TFT1, TFT2)を有し、各画素の薄膜トランジスタ(TFT1, TFT2)のソース電極は、画素電極(ITO1)に接続され、画素電極(ITO1)とコモン電極(ITO2)との間に

液晶層が設けられるので、薄膜トランジスタ（TFT 1, TFT 2）のソース電極とコモン電極との間には、液晶容量（CLC）が等価的に接続される。また、薄膜トランジスタ（TFT 1, TFT 2）のソース電極と前段のゲート信号線（G）との間には、付加容量（CADD）が接続される。

【0013】図3は、図1に示す液晶表示パネル100の他の例の等価回路を示す図である。図2に示す例では、前段のゲート信号線（G）とソース電極との間に付加容量（CADD）が形成されているが、図3に示す例の等価回路では、コモン電極（ITO2）に供給されるVCOMの電圧が印加される共通信号線（COM）とソース電極との間に保持容量（CSTG）が形成されている点が異なっている。なお、図2、図3において、ARは表示領域である。本発明は、どちらにも適用可能であるが、前者の方式では、前段のゲート信号線（G）パルスが付加容量（CADD）を介して画素電極に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。また、図2、図3は、縦電界方式の液晶表示パネルの等価回路を示しており、さらに、図2、図3は回路図であるが、実際の幾何学的配置に対応して描かれている。

【0014】図2、図3に示す液晶表示パネル100において、列方向に配置された各画素の薄膜トランジスタ（TFT 1, TFT 2）のドレイン電極は、それぞれドレイン信号線（D）に接続され、各ドレイン信号線（D）は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ130に接続される。また、行方向に配置された各画素における薄膜トランジスタ（TFT 1, TFT 2）のゲート電極は、それぞれゲート信号線（G）に接続され、各ゲート信号線（G）は、1水平走査時間、行方向の各画素の薄膜トランジスタ（TFT 1, TFT 2）のゲート電極に走査駆動電圧（正のバイアス電圧あるいは負のバイアス電圧）を供給するゲートドライバ140に接続される。

【0015】図1に示すインタフェース部160は、表示制御装置110と電源回路120とから構成される。表示制御装置110は、1個の半導体集積回路（LSI）から構成され、コンピュータ本体等の映像信号源から送信されてくるクロック信号（CK）、ディスプレイタイミング信号（DTMG）、水平同期信号（HSYNC）、垂直同期信号（VSYNC）の各表示制御信号および表示用データ（R・G・B）を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。表示制御装置110は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、受け取った単純1列の表示データを、表示データのバスラインを介してドレインドライバ130に出力する。その際、表示制御装置110は、ドレインドライバ130のデータラッチ回路に表示データをラッチするための表

示制御信号である表示データラッチ用クロック信号（CL2；以下、単に、クロック信号CL2という）を信号線を介して出力する。本体コンピュータ側からの表示データは6ビットあるいは8ビットで、1画素単位、即ち、赤（R）、緑（G）、青（B）の各データを1つの組にして単位時間毎に転送される。

【0016】表示制御装置110は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものとして、ドレインドライバ130のラッチ回路に蓄えていた表示データを液晶表示パネル100のドレイン信号線（D）に出力するための表示制御信号である出力タイミング制御用クロック信号（CL1；以下、単に、クロック信号CL1という）を信号線を介してドレインドライバ130に出力する。また、表示制御装置110は、垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、これを第1番目の表示ラインと判断して信号線を介してゲートドライバ140にフレーム開始指示信号（FLM）を出力する。さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル100の各ゲート信号線（G）に正のバイアス電圧を印加するように、信号線を介してゲートドライバ140へ1水平走査時間周期のシフトクロック信号（CL3；以下、単に、クロック信号CL3という）を出力する。これにより、液晶表示パネル100の各ゲート信号線（G）に接続された複数の薄膜トランジスタ（TFT 1, TFT 2）が、1水平走査時間の間導通する。以上の動作により、液晶表示パネル100に画像が表示される。

【0017】図1に示す電源回路120は、正電圧生成回路121、負電圧生成回路122、コモン電極（対向電極）電圧生成回路123、ゲート電極電圧生成回路124から構成される。正電圧生成回路121、負電圧生成回路122は、それぞれ直列抵抗分圧回路で構成され、正極性の5値の階調基準電圧（V"0～V"4）を、負電圧生成回路122は負極性の5値の階調基準電圧（V"5～V"9）を出力する。この正極性の階調基準電圧（V"0～V"4）、および負極性の階調基準電圧（V"5～V"9）は、各ドレインドライバ130に供給される。また、各ドレインドライバ130には、表示制御装置110からの交流化信号（交流化タイミング信号；M）も供給される。コモン電極電圧生成回路123はコモン電極（ITO2）に印加する駆動電圧を、ゲート電極電圧生成回路124は薄膜トランジスタ（TFT 1, TFT 2）のゲート電極に印加する駆動電圧（正のバイアス電圧および負のバイアス電圧）を生成する。

【0018】図4は、図1に示すドレインドライバ130の一例の概略構成示すブロック図である。なお、ドレインドライバ130は、1個の半導体集積回路（LSI）

I) から構成される。同図において、表示データのビット数を n とすると、正極性階調電圧生成回路151aは、正電圧生成回路121から入力される正極性の5値の階調基準電圧($V_0 \sim V_4$)に基づいて、正極性の2nd階調の階調電圧を生成し、電圧バスライン158aを介して出力回路157に出力する。負極性階調電圧生成回路151bは、負電圧生成回路122から入力される負極性の5値の階調基準電圧($V_5 \sim V_9$)に基づいて、負極性の2nd階調の階調電圧を生成し、電圧バスライン158bを介して出力回路157に出力する。また、ドレインドライバ130の制御回路152内のシフトレジスタ回路153は、表示制御装置110から入力されるクロック信号(CL2)に基づいて、入力レジスタ回路154のデータ取り込み用信号を生成し、入力レジスタ回路154に出力する。

【0019】入力レジスタ回路154は、シフトレジスタ回路153から出力されるデータ取り込み用信号に基づき、表示制御装置110から入力されるクロック信号(CL2)に同期して、各色毎の n ビットの表示データを出力端子数分だけラッチする。ストレージレジスタ回路155は、表示制御装置110から入力される出力タイミング制御用クロック信号(CL1)に応じて、入力レジスタ回路154内の表示データをラッチする。このストレージレジスタ回路155に取り込まれた表示データは、レベルシフト回路156を介して出力回路157に入力される。出力回路157は、正極性の2nd階調の階調電圧、あるいは負極性の2nd階調の階調電圧から、表示データに対応した1つの階調電圧を選択して、各ドレイン信号線(D)に出力する。

【0020】図5は、出力回路157の構成を中心に、図4に示すドレインドライバ130の構成を説明するためのブロック図である。一般に、液晶層は、長時間同じ電圧(直流電圧)が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。これを防止するために、従来のTFT方式の液晶表示モジュールにおいては、液晶層に交流の駆動電圧を印加するようにしている。この液晶層に交流電圧を印加する駆動方法として、ドット反転法あるいはNライン反転法等のコモン対称法が知られており、図5は、駆動方法としてドット反転法を採用する場合の構成を図示している。同図において、153は図4に示す制御回路152内のシフトレジスタ回路、156は図4に示すレベルシフト回路であり、また、データラッチ部265は、図4に示す入力レジスタ回路154とストレージレジスタ回路155とを表し、さらに、デコーダ部(階調電圧選択回路)261、アンプ回路対263、アンプ回路対263の出力を切り替えるスイッチ部(2)264が、図4に示す出力回路157を構成する。ここで、スイッチ部(1)262およびスイッチ部(2)264は、交流化信号(M)に基づいて制御され

る。また、Y1, Y2, Y3, Y4, Y5, Y6は、それぞれ第1番目、第2番目、第3番目、第4番目、第5番目、第6番目のドレイン信号線(D)を示している。

【0021】図5に示すドレインドライバ130においては、スイッチ部(1)262により、データラッチ部265(より詳しくは、図4に示す入力レジスタ154)に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを各色毎の隣合うデータラッチ部265に入力する。デコーダ部261は、正極性階調電圧生成回路151aから電圧バスライン158aを介して出力される正極性の2nd階調の階調電圧から、各データラッチ部265(より詳しくは、図4に示すストレージレジスタ155)から出力される表示用データに対応する正極性の階調電圧を選択する高電圧用デコーダ回路278と、負極性階調電圧生成回路151bから電圧バスライン158bを介して出力される負極性の2nd階調の階調電圧から、各データラッチ部265から出力される表示用データに対応する負極性の階調電圧を選択する低電圧用デコーダ回路279とから構成される。この高電圧用デコーダ回路278と低電圧用デコーダ回路279とは、隣接するデータラッチ部265毎に設けられる。

【0022】アンプ回路対263は、高電圧用アンプ回路271と低電圧用アンプ回路272とにより構成される。高電圧用アンプ回路271には高電圧用デコーダ回路278で選択された正極性の階調電圧が入力され、正極性の階調電圧を出力する。低電圧用アンプ回路272には低電圧用デコーダ回路279で選択された負極性の階調電圧が入力され、負極性の階調電圧を出力する。ドット反転法では、隣接する各色の階調電圧は互いに逆極性となり、また、アンプ回路対263の高電圧用アンプ回路271および低電圧用アンプ回路272の並びは、高電圧用アンプ回路271→低電圧用アンプ回路272→高電圧用アンプ回路271→低電圧用アンプ回路272となるので、スイッチ部(1)262により、データラッチ部265に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを、各色毎の隣り合うデータラッチ部265に入力し、それに合わせて、高電圧用アンプ回路271あるいは低電圧用アンプ回路272から出力される出力電圧をスイッチ部(2)264により切り替え、各色毎の階調電圧が出力されるドレイン信号線(D)、例えば、第1番目のドレイン信号線(Y1)と第4番目のドレイン信号線(Y4)とに出力することにより、各ドレイン信号線(D)に正極性あるいは負極性の階調電圧を出力することが可能となる。

【0023】図6は、本実施の形態の液晶表示モジュールの各回路基板の構成を示すブロック図である。同図において、1は本体コンピュータ等の映像信号源、2はコントロール基板、3はドレインドライバ側回路基板、4はゲートドライバ側回路基板、20はドレインドライバ130およびゲートドライバ140を構成する半導体チ

ップが実装されたテープキャリアパッケージ（以下、TCPという）、CT1〜CT3はコネクタである。回路基板（3、4）は、例えば、ガラスエポキシ・プリント配線基板やフレキシブルプリント配線基板などで構成され、TCP20と回路基板（3、4）とは、半田あるいはACF等により電氣的・機械的に接続される。なお、図示は省略するが、コントロール基板2は、液晶表示モジュールの裏側（液晶表示パネル側と反対側）に配置され、また、各回路基板（3、4）は、主に、液晶表示パネル100の側面に配置される。

【0024】回路基板3には、表示データが転送されるバスライン（13a、13b）、クロック信号（CL2）が転送される信号線（14a、14b）、クロック信号（CL1）が転送される信号線15、交流化信号（M）が転送される信号線16、およびキャリア信号（E）が転送される信号線17が設けられ、回路基板4には、フレーム開始信号（FLM）が転送される信号線18、およびクロック信号（CL3）が転送される転送される信号線18が設けられる。表示制御装置110からの表示データは、コネクタCT2を介して、回路基板3のバスライン（13a、13b）に入力され、このバスライン（13a、13b）を介して各ドレインドライバ130に入力される。同様に、表示制御装置110からの表示制御信号は、コネクタ（CT2、CT3）を介して、回路基板（3、4）の各信号線に入力され、各信号線を介して各ドレインドライバ130およびゲートドライバ140に入力される。なお、図6では、バスライン（13a、13b）は、一本のラインで表しているが、実際は、各色の表示データのビット数（表示データのビット数をnとすると、 $3 \times n$ 本）に分けられる。また、回路基板（3、4）には、その他の信号を転送する信号線、電源電圧および階調基準電圧を供給する電源ラインも設けられるが、これらの図示は、図6では省略している。

【0025】本実施の形態では、回路基板3のバスライン（13a、13b）および信号線（14a、14b）が、2系統に分割され、それに伴い、ドレインドライバ130も2グループに分割される。そして、第1のグループのドレインドライバ130には、バスライン13aおよび信号線14aを介して、表示データ並びにクロック信号（CL2）が供給され、第2のグループのドレインドライバ130には、バスライン13bおよび信号線14bを介して、表示データ並びにクロック信号（CL2）が供給される。ここで、初めに、表示制御装置110は、回路基板3のバスライン13aと、信号線14aに、表示データとクロック信号（CL2）を供給し、回路基板3のバスライン13bと、信号線14bに、固定電圧レベルの信号（例えば、Lowレベルの信号）を供給する。次に、表示制御装置110は、回路基板3のバスライン13bと、信号線14bに、表示データとクロ

ック信号（CL2）を供給し、回路基板3のバスライン13bと、信号線14bに、固定電圧レベルの信号（例えば、Lowレベルの信号）を供給する。

【0026】図12は、従来の液晶表示モジュールにおける、回路基板3の構成を示すブロック図である。同図に示すように、従来の液晶表示モジュールでは、回路基板3のバスライン13および信号線14は、分割されことなく1本の線で構成され、また、コネクタCT2は、回路基板3の一方の端部に設けられていた。図13は、図12に示す回路基板3の等価回路を示す図である。同図に示すように、回路基板3のバスライン13および信号線14は、分布定数線路を構成し、同図において8は、回路基板3に設けられたバスラインおよび信号線同士、あるいは、回路基板3に設けられたバスラインおよび信号線と、基準電位（GND）との間の内部寄生容量、9は、回路基板3に設けられたバスラインおよび信号線の内部抵抗、10は、回路基板3に設けられたバスラインおよび信号線の内部インダクタンス、11は、ドレインドライバ130の入力インピーダンス（ここでは、入力容量）である。図14は、図12に示す表示制御装置110から回路基板3に出力される表示データ（DATA）と、クロック信号（CL2）の出力波形を示す図である。ここで、表示データ（DATA）は、例えば、クロック信号（CL2）の立ち上がり時点で、ドレインドライバ130に取り込まれる。

【0027】前述したように、液晶表示パネル100が大型化・高解像度されると、1表示ライン当たりの画素数が増加するので、表示データ（DATA）の取り込み時間、即ち、クロック信号（CL2）の1周期（ t_{ck} ）が短くなる。さらに、液晶表示パネル100が大型化・高解像度されると、回路基板3の長手方向の長さが大きくなり、前述した内部寄生容量8、内部抵抗9、内部インダクタンス10が増加するばかりでなく、ドレインドライバ数も多くなるので、入力容量11も増大する。その結果、表示制御装置110から図14に示す出力波形の表示データ（DATA）およびクロック信号（CL2）を出力しているのにも関わらず、ドレインドライバ130の入力部には、図15に示すような、波形歪みが生じた表示データ（DATA）およびクロック信号（CL2）が入力される。これにより、ドレインドライバ130において、所定のデータを取り込むことができず、液晶表示パネル100に誤った画像が表示されることになる。また、従来の液晶表示モジュールでは、回路基板3のバスライン13および信号線14の全てに、表示データ（DATA）およびクロック信号（CL2）が供給されているため、回路基板3から放射される放射電磁波雑音が大きくなる。

【0028】図7は、本実施の形態の回路基板3の等価回路を示す図である。図8は、本実施の形態の表示制御装置110から回路基板3に出力される表示データ（D

ATA)と、クロック信号(CL2)の出力波形を示す図である。図7から分かるように、回路基板3のバスライン(13a, 13b)および信号線(14a, 14b)を2系統に分割することにより、分割されたバスライン(13a, 13b)および信号線(14a, 14b)における、内部寄生容量8、内部抵抗9、内部インダクタンス10、並びに、ドレインドライバ130の入力容量11が、夫々半減する。したがって、表示データ(DATA)およびクロック信号(CL2)のパルス状の信号波形の波形歪み量も1/2に低下することにより、図9に示すような、波形歪みの少ない表示データ(DATA)およびクロック信号(CL2)がドレインドライバ130に入力されるので、周期(tclk)が短くなった場合でも、各ドレインドライバ130において、所定のデータを取り込むことが可能となる。さらに、本実施の形態では、回路基板3の長手方向の右半分と左半分とは、1水平走査期間内の半分は、表示データ(DATA)およびクロック信号(CL2)が供給されないの、回路基板3から発生される放射電磁波の量を1/2にでき、放射電磁雑音の発生量を少なくすることができるので、低ノイズの液晶表示装置が実現することが可能となる。

【0029】このように、本実施の形態によれば、表示制御装置110から、ドレインドライバ130に、パルス状の表示データ(DATA)及びクロック信号(CL2)を伝送する際に、前記伝送経路中の回路基板3の内部寄生容量8、内部抵抗9、内部インダクタンス10、およびドレインドライバ130の入力容量11を1/2に低減することが可能になる。それにより、表示データ(DATA)の転送周波数、および、クロック信号(CL2)の周波数が高くなる高精細液晶表示パネル100の場合においても、前述の内部寄生容量8、内部抵抗9、内部インダクタンス10、および入力容量11を1/2に低減することが可能となり、振幅、位相など所定の信号波形をドレインドライバ130に入力でき、駆動の安定した高精細液晶表示装置を実現することが可能となる。また、回路基板内の2系統のバスライン(13a, 13b)および信号線(14a, 14b)のうちの、一方の系統には、表示データ(DATA)およびクロック信号(CL2)を表示制御装置110から供給し、他方の系統には、固定電圧レベルの信号(例えば、Lowレベルの信号)を供給するようにしたので、常に回路基板内の1/2の領域からは、放射電磁波の発生を抑えることができ、放射電磁雑音の発生量を少なくすることが可能となる。

【0030】〔実施の形態2〕図10は、本発明の実施の形態2の液晶表示モジュールの各回路基板の構成を示すブロック図である。本実施の形態は、回路基板3のバスライン13および信号線14が、単一の信号線で構成される点で、前記実施の形態1の液晶表示モジュールと

相違する。以下、前記実施の形態1との相違点を中心に、本実施の形態について説明する。本実施の形態でも、コネクタCT2が、回路基板3の中央部に配置される。それにより、コネクタCT2から最遠端に位置するドレインドライバ130の場合、前述の内部寄生容量8、内部抵抗9、内部インダクタンス10、および入力容量11は、図12に示す従来の液晶表示モジュールよりも、1/2に低下する。したがって、本実施の形態でも、表示データ(DATA)およびクロック信号(CL2)の信号波形の波形歪み量を低減することができ、波形歪みの少ない表示データ(DATA)およびクロック信号(CL2)がドレインドライバ130に入力されるので、周期(tclk)が短くなった場合でも、ドレインドライバ130において、所定のデータを取り込むことが可能となる。前記実施の形態の表示制御装置110では、表示データ出力部と、クロック信号(CL2)のクロック信号出力部とが、2系統必要になるのに対して、本実施の形態の表示装置は、それらが1系統で済むため、表示制御装置110の回路構成が簡単になるという利点を有する。一方、放射電磁雑音の発生量を抑制する機能では、前記実施の形態1の液晶表示モジュールのほうが優れる。

【0031】

【実施の形態3】図11は、本発明の実施の形態3の液晶表示モジュールの回路基板の構成を示すブロック図である。本実施の形態は、前述の実施の形態1にて、図6を参照して説明した本発明の液晶表示モジュールの変形例の一つにおける各回路基板の構成を示す図である。図11および図6に示されるドレインドライバ側回路基板3のレイアウトを比較すると、各ドレインドライバへ表示データ(DATA)を転送するバスライン(13a, 13b)が、回路基板3の半ばで左右に分離されている点で双方は共通する。しかし、クロック信号(CL2)を伝送する2本の信号線(14od, 14ev)が、図11の回路基板3にて左右に分割されず、かつ、回路基板3の長手方向に沿って並んで伸びる形状を有する点で、図6の回路基板3に設けられた信号線(14a, 14b)の形状と相違する。図11の回路基板3に併設された2本の信号の一方(14od)には、図の左側から数えて奇数番の位置にある(以下、奇数番目の)ドレインドライバ130が夫々接続される。また、2本の信号線の他方(14ev)には、図の左側から数えて偶数番の位置ある(以下、偶数番目の)ドレインドライバ130が夫々接続される。

【0032】液晶表示パネル100による画像表示は、これに設けられた複数のゲート信号線(G)の1本毎にゲート信号を送り、このゲート信号線に対応して各ドレイン信号線(D)に供給される階調電圧(表示データに基づく階調電圧)を液晶表示パネル100に設けられた画素(図11には示さず、図2参照)の夫々に供給す

る。このゲート信号線毎の表示データの供給は、前記クロック信号（CL2）のパルスに応じて、複数のドレインドライバ130の、例えば、図の左端に配置されたものから1つつ動作させ、夫々のドレインドライバ130に、表示データ（DATA）を蓄積する。この場合、ある1本のゲート信号線に対応する図の左端のドレインドライバ130への表示データ取り込み開始から右端のドレインドライバ130への表示データ取り込み終了に到る液晶表示パネル駆動期間を「水平走査期間」と呼ぶ。図6の液晶表示モジュールの場合、水平走査期間の前半にて信号線14aに、水平走査期間の後半にて信号線14bに夫々クロック信号（CL2）を送送して、これに設けられた各々のドレインドライバ130に表示データ（DATA）を取り込む。

【0033】これに対し、図11の液晶表示モジュールの場合、水平走査期間内においてクロック信号（CL2）を、2つの信号線（14od, 14ev）に交互に伝送し、信号線14odにクロック信号（CL2）が伝送されたときに奇数番目のドレインドライバに、信号線14evにクロック信号（CL2）が伝送されたときに偶数番目のドレインドライバに、夫々の表示データ（DATA）を取り込む。したがって、いずれの場合においても、前記信号線（14od, 14ev）の各々に接続されるドレインドライバ数も減らすことができ、これらの信号線（14od, 14ev）により伝送されるクロック信号（CL2）のいずれの波形歪も抑制される。さらに、本実施の形態（図11）の場合、ゲート信号線（G）の延伸方向に沿って併設された複数のドレインドライバ130に順次表示データ（DATA）を取り込む動作を、これらのドレインドライバ130の隣接し合う夫々に、異なる信号線（14od, 14ev）からクロック信号（CL2）を夫々供給して行なうため、クロック信号（CL2）の周波数を低め（例えば、従来の1/2）に設定することができる。したがって、本実施の形態によれば、前述の実施の形態1に比べて回路基板3における配線面積が大きくなるものの、クロック信号線への負荷が低減できるという利点がある。

【0034】なお、このように信号線を回路基板3の延伸方向に2本又はそれ以上（複数本）併設し、隣接し合うドレインドライバ130に異なる信号線から信号を供給する形態は、クロック信号（CL2）に限らず、これと同じ周期で信号電圧が変化し得る表示データのバスライン13に採用してもよい。一方、ある水平走査期間において、上述のようにドレインドライバ130に取り込まれた表示データ（DATA）に対応する階調電圧は、その水平走査期間の終了間際にクロック信号（CL1）のパルスを合図に、夫々のドレインドライバ130から、その各々に接続されたドレイン信号線（D）に一斉に供給される。また、このようにドレイン信号線（D）に供給される階調電圧の極性は、信号線16からの交流*

化信号（M）を受けて所定の水平走査期間等に反転される。これにより、液晶層に印加される電圧を定期的に逆転させて、液晶像内の分極による表示不良を抑える。テレビジョン装置のように、液晶表示装置を高速で駆動する場合においては、その水平走査期間もかなり短くなる。このような場合は、水平走査期間、またはこれに近い周期で変動するクロック信号（CL1）や、交流化信号（M）を送送する信号線（15, 16）を、本実施の形態におけるクロック信号（CL2）用の信号線（14od, 14ev）と同様な形状で設けてもよい。

【0035】なお、前記説明では、おもに、回路基板3のバスライン13およびクロック信号線14に本発明を適用した場合について説明したが、本発明は、これに限定されるものではなく、回路基板3の他の信号線、あるいは回路基板4の信号線に適用することも可能である。また、前記各実施の形態では、本発明を縦電界方式の液晶表示パネルに適用した場合について説明したが、これに限定されるものではなく、横電界方式の液晶表示パネルにも適用可能である。また、前記各実施の形態では、本発明をTFT方式の液晶表示装置に適用した場合について説明したが、これに限定されるものではなく、本発明は、STN方式の単純マトリクス形液晶表示装置にも適用可能であることは言うまでもない。以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0036】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

（1）本発明の液晶表示装置によれば、放射電磁雑音の発生量を低減することが可能となる。

（2）本発明の液晶表示装置によれば、高解像度の液晶表示素子を使用する場合であっても、各駆動回路で正確に表示データを取り込むことが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1のTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

【図2】図1に示す液晶表示パネルの一例の等価回路を示す図である。

【図3】図1に示す液晶表示パネルの他の例の等価回路を示す図である。

【図4】図1に示すドレインドライバの概略構成を示すブロック図である。

【図5】出力回路の構成を中心に、図4に示すドレインドライバの構成を説明するためのブロック図である。

【図6】本発明の実施の形態1の液晶表示モジュールの各回路基板の構成を示すブロック図である。

【図7】本実施の形態の回路基板の等価回路を示す図で

ある。

【図8】本発明の実施の形態1の表示制御装置から回路基板に出力される表示データ（DATA）と、クロック信号（CL2）の出力波形を示す図である。

【図9】本発明の実施の形態1のドレインドライバに入力される表示データ（DATA）と、クロック信号（CL2）の出力波形を示す図である。

【図10】本発明の実施の形態2の液晶表示モジュールの各回路基板の構成を示すブロック図である。

【図11】本発明の実施の形態3の液晶表示モジュールの各回路基板の構成を示すブロック図である。

【図12】従来の液晶表示モジュールにおける、回路基板の構成を示すブロック図である。

【図13】図12に示す回路基板の等価回路を示す図である。

【図14】図12に示す表示制御装置から回路基板に出力される表示データ（DATA）と、クロック信号（CL2）の出力波形を示す図である。

【図15】図12に示すドレインドライバに入力される表示データ（DATA）と、クロック信号（CL2）の出力波形を示す図である。

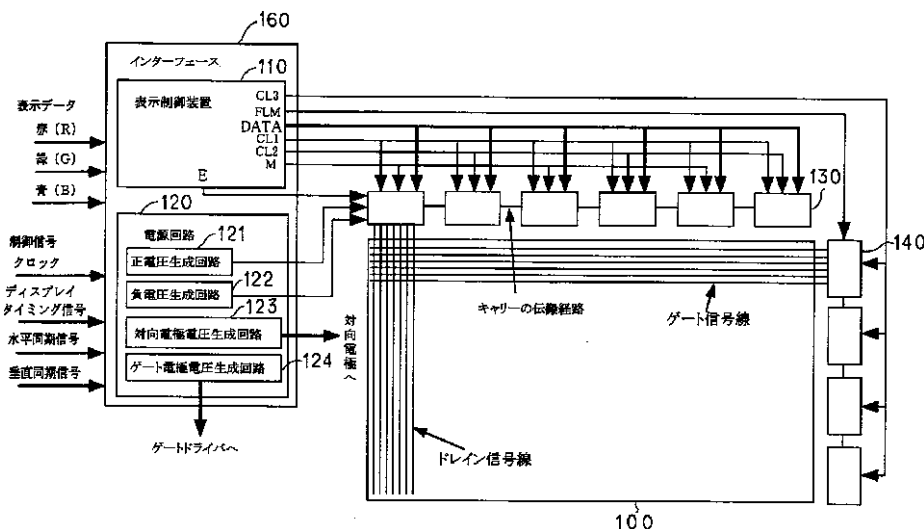
【符号の説明】

1…本体コンピュータ等の映像信号源、2…コントロール基板、3…ドレインドライバ側回路基板、4…ゲート*

*ドライバ側回路基板、8…内部寄生容量、9…内部抵抗、10…内部インダクタンス、11…ドレインドライバの入力容量、13, 13a, 13b…バスライン、14, 14a, 14b, 14od, 14ev~19…信号線、20…テープキャリアパッケージ（TCP）、100…液晶表示パネル、110…表示制御装置、120…電源回路、121…正電圧生成回路、122…負電圧生成回路、123…コモン電極（対向電極）電圧生成回路、124…ゲート電極電圧生成回路、130, DRV…ドレインドライバ、133…表示データのバスライン、140…ゲートドライバ、151a, 151b…階調電圧生成回路、152…制御回路、153…シフトレジスタ回路、154…入力ラッチ回路、155…ストレージレジスタ回路、156…レベルシフト回路、157…出力回路、158a, 158b…電圧バスライン、160…インタフェース部、261…デコーダ部、262, 264…スイッチ部、263…アンプ回路対、265…データラッチ部、271…高電圧用アンプ回路、272…低電圧用アンプ回路、278, 279…デコーダ回路、ITO1…画素電極、ITO2…コモン電極、D, Y…ドレイン信号線、G…ゲート信号線、TFT1, TFT2…薄膜トランジスタ、CLC…液晶容量、CADD…付加容量、CSTG…保持容量、COM…共通信号線、CT1~CT3…コネクタ。

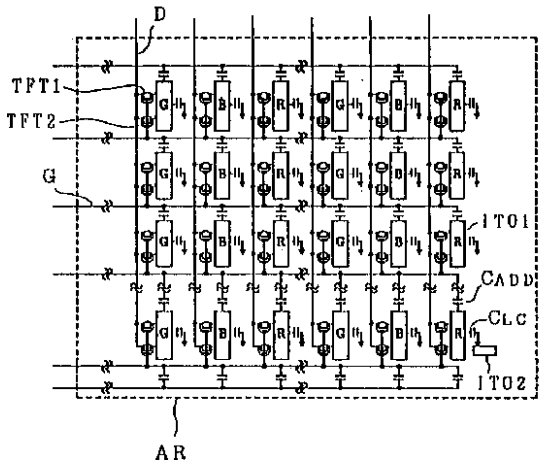
【図1】

図1



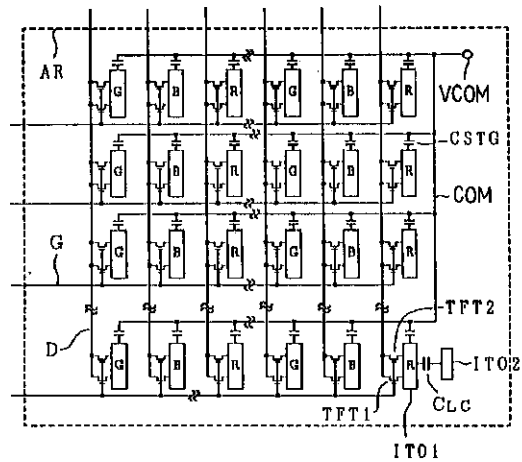
【図2】

図2



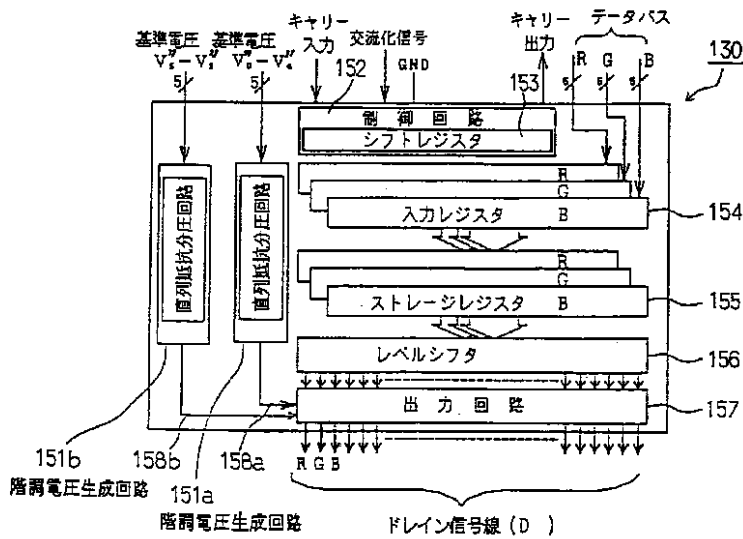
【図3】

図3



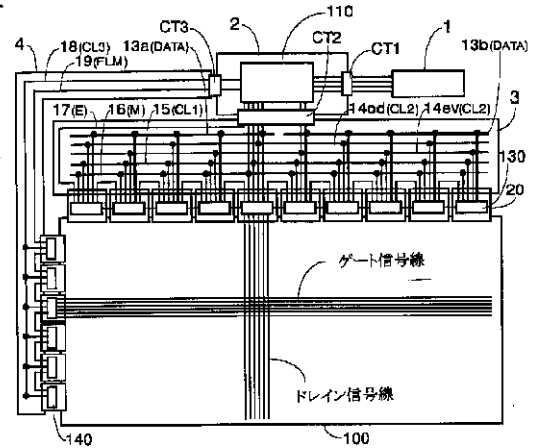
【図4】

図4



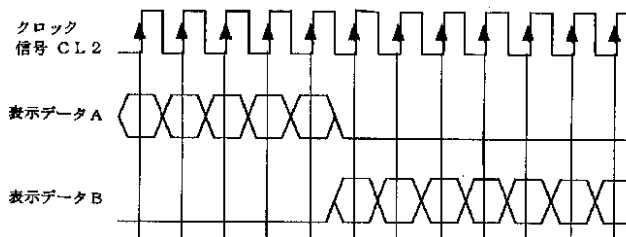
【図11】

図11



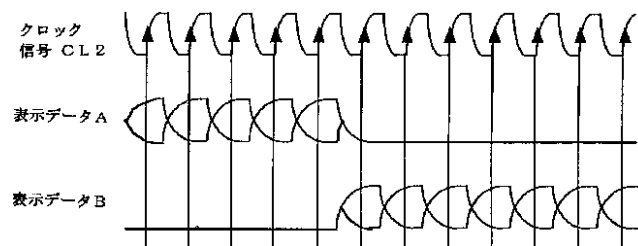
【図8】

図8



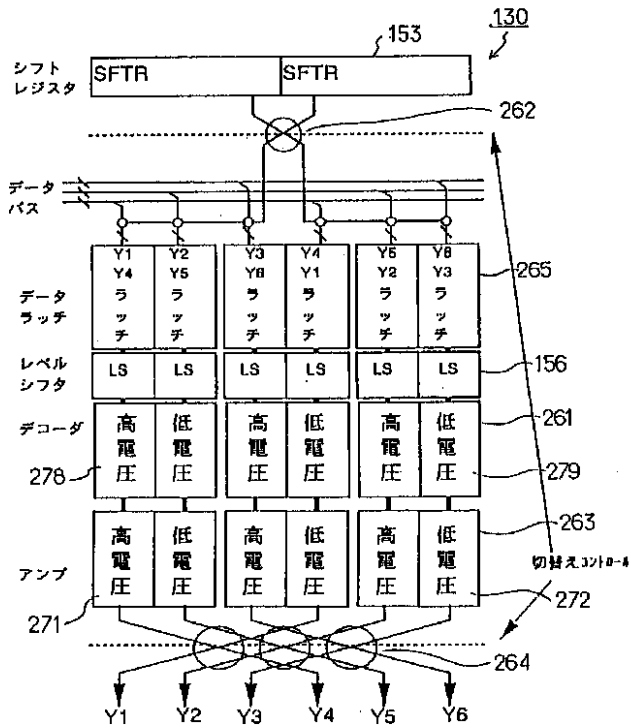
【図9】

図9



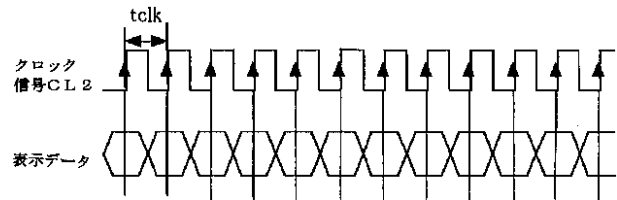
【図 5】

図 5



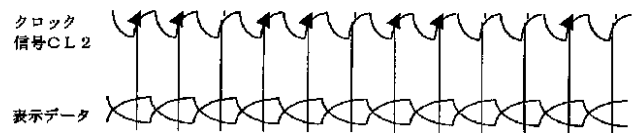
【図 14】

图 14



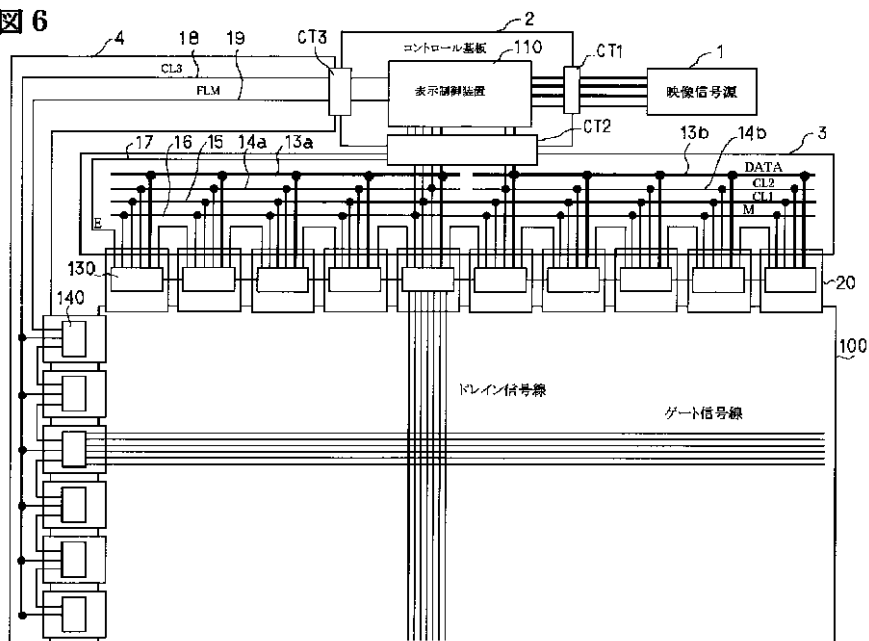
【図 15】

图 15

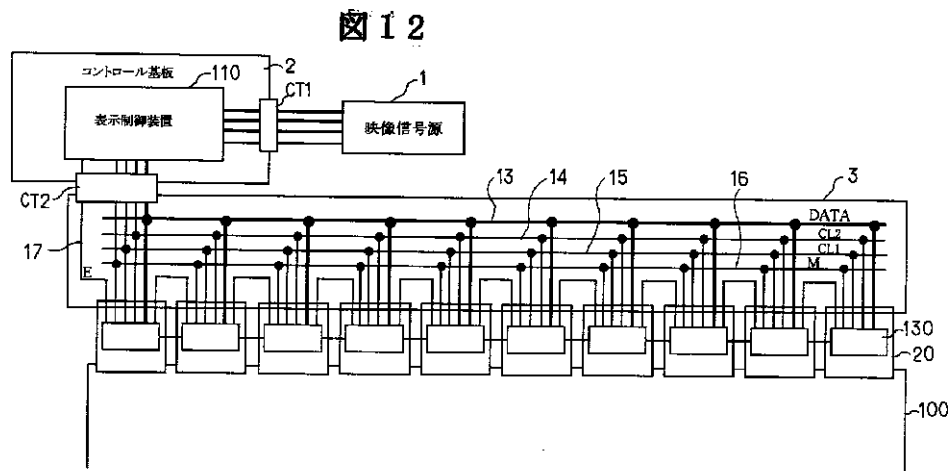


【図 6】

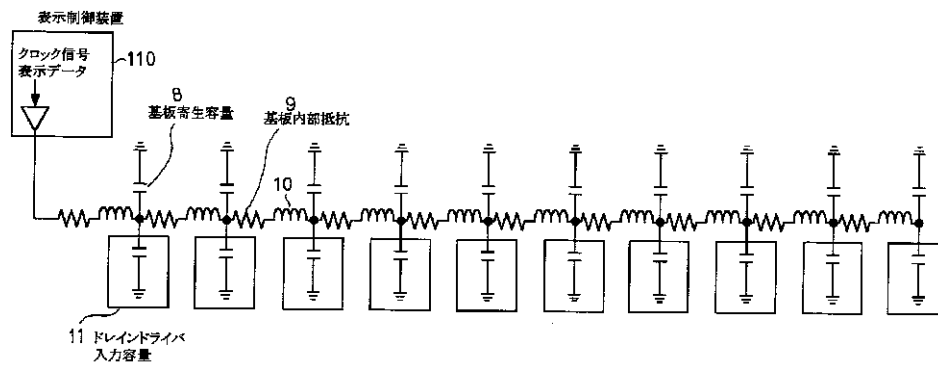
图 6



【図12】



【図13】

図13

フロントページの続き

(51)Int.Cl. ⁷		識別記号	F I	テーマコード [*] (参考)	
G 0 6 F	13/00	3 0 1	G 0 6 F 13/00	3 0 1 S	5 C 0 9 4
G 0 9 F	9/00	3 4 8	G 0 9 F 9/00	3 4 8 D	5 G 4 3 5
				3 4 8 C	
	9/30	3 3 0		9/30	3 3 0
G 0 9 G	3/20	6 1 1	G 0 9 G 3/20		6 1 1 C
		6 2 1			6 2 1 M

(72)発明者 大脇 義雄

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

Fターム(参考)

2H092 GA45 JA24 NA25 PA06
2H093 NA16 NC15 NC16 NC22 NC26
ND40 ND60 NE03
5B083 AA08 BB03 EE07 EF01
5C006 AF50 BB16 BC02 BC12 BC21
BC23 FA32 FA37
5C080 AA10 BB05 DD09 DD12 EE19
EE29 FF11 JJ02 JJ03 JJ04
5C094 AA05 AA07 AA48 AA53 AA60
BA03 BA43 CA19 CA25 DA09
DA13 DB01 DB02 DB04 EA10
FA01 GA10
5G435 AA16 BB12 CC09 CC12 EE34
EE41

专利名称(译)	液晶表示装置		
公开(公告)号	JP2001324962A	公开(公告)日	2001-11-22
申请号	JP2000140959	申请日	2000-05-12
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	三島康之 大脇義雄		
发明人	三島 康之 大脇 義雄		
IPC分类号	G02F1/1345 G02F1/133 G06F1/04 G06F3/00 G06F13/00 G09F9/00 G09F9/30 G09G3/20 G09G3/36 G09G5/00		
CPC分类号	G09G5/006 G09G3/3648		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1345 G06F1/04.A G06F3/00.X G06F13/00.301.S G09F9/00.348.D G09F9/00.348.C G09F9/30.330 G09G3/20.611.C G09G3/20.621.M G06F1/04.511 G06F11/00.602.P G09F9/00.348.Z		
F-TERM分类号	2H092/GA45 2H092/JA24 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NC15 2H093/NC16 2H093/NC22 2H093/NC26 2H093/ND40 2H093/ND60 2H093/NE03 5B083/AA08 5B083/BB03 5B083/EE07 5B083/EF01 5C006/AF50 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BC21 5C006/BC23 5C006/FA32 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD12 5C080/EE19 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA05 5C094/AA07 5C094/AA48 5C094/AA53 5C094/AA60 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA25 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB02 5C094/DB04 5C094/EA10 5C094/FA01 5C094/GA10 5G435/AA16 5G435/BB12 5G435/CC09 5G435/CC12 5G435/EE34 5G435/EE41 2H193/ZP03		
其他公开文献	JP2001324962A5		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够减少辐射的电磁噪声的产生量的液晶显示装置。液晶显示装置，多个驱动电路，用于向多个驱动电路发送显示数据和时钟信号的显示控制装置，以及设置在该显示控制装置与多个驱动电路之间的显示控制装置。一种电路板，用于经由显示板中的总线和时钟信号线将从显示控制装置发送的显示数据和时钟信号提供给每个驱动电路，该电路包括：板的总线和时钟信号线形成在电路板的连续区域中，并且被分成多个部分。显示控制设备根据传输定时将显示数据和时钟信号顺序地提供给每个划分的总线和每个时钟信号线。

