

(51)Int.Cl ⁷	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1343			G 0 2 F 1/1343	
	1/1345		1/1345	
	1/139		H 0 1 L 21/28	D
H 0 1 L 21/28				F
			G 0 2 F 1/137	505
審査請求 未請求 請求項の数 7 O L (全 7 数) 最終頁に続く				

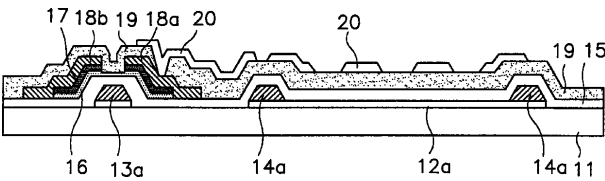
(21)出願番号	特願2000－387605(P2000－387605)	(71)出願人	591024111 株式会社ハイニックスセミコンダクター 大韓民国京畿道利川市夫鉢邑牙美里山136－1
(22)出願日	平成12年12月20日(2000.12.20)	(72)発明者	李 景 夏 大韓民国 京畿道 利川市 夫鉢邑 牙美里 現代3次アパート 301－1403
(31)優先権主張番号	1999/P60325	(72)発明者	ジョ 聖 鉉 大韓民国 京畿道 成南市 盆唐區 九美洞 ムジゲ マウル コンヨンアパート 307－1602
(32)優先日	平成11年12月22日(1999.12.22)	(74)代理人	100093399 弁理士 瀬谷 徹 (外1名)
(33)優先権主張国	韓国(KR)		

(54)【発明の名称】 フリンジフィールドスイッチングモード液晶表示装置の製造方法

(57)【要約】

【課題】 製造時間を短縮し、製造費用を節減することができるフリンジフィールドスイッチングモード液晶表示装置の製造方法を提供する。

【解決手段】 ガラス基板11上にカウンター電極12aとゲートバスライン13a、共通電極ライン14aを同時形成する段階Aで、第1フォトリソグラフィ工程は、MoW膜13上にレジスト膜コーティングする工程、ゲートバス、共通電極ライン領域を遮蔽し、コーティング厚さを保持する第1、第2パターン、カウンター電極領域を遮蔽し、コーティング厚さの一部のみ残留する第3パターンのレジストパターン32を形成する工程、ゲートバス、共通電極ラインを形成し、第1、第2パターンの一部厚さ除去、第3パターンの完全除去、カウンター電極領域上のMoW膜の一部厚さ除去する工程、カウンター電極形成工程、残留レジストパターンとMoW膜を除去する工程とを含む。



【特許請求の範囲】

【請求項1】 ガラス基板上にITO膜とMoW膜を順次蒸着した後、第1フォトリソグラフィ工程を利用して前記MoW膜とITO膜をパターンニングし、カウンター電極とゲートバスライン、及び共通電極ラインを同時に形成する段階Aと、
前記段階Aにて形成された基板結果物上にゲート絶縁膜を蒸着する段階Bと、
前記ゲート絶縁膜の所定部分上に第2フォトリソグラフィ工程を利用して積層されたチャネル層とオミックコンタクト層を形成する段階Cと、
前記オミックコンタクト層とゲート絶縁膜上に第3フォトリソグラフィ工程を利用し、ソース／ドレイン電極を含むデータバスラインを形成する段階Dと、
前記D段階までに形成された基板結果物上に第4フォトリソグラフィ工程を利用し、前記ソース電極を露出させる保護膜を形成する段階Eと、
前記保護膜上に第5フォトリソグラフィ工程を利用し、前記ソース電極とコンタクトされる櫛状の画素電極を形成する段階Fとを含み、
前記第1フォトリソグラフィ工程は、
前記MoW膜上にレジスト膜をコーティングする第1工程と、
前記レジスト膜を露光及び現像し、ゲートバスラインと共通電極ライン形成領域を遮蔽しながらコーティング厚さをそのまま保持する第1及び第2パターンと、カウンター電極形成領域を遮蔽しながらコーティング厚さの一部のみ残留する第3パターンで構成されるレジストパターンを形成する第2工程と、
前記レジストパターンをエッチングバリヤに利用し、前記MoW膜を乾式エッチングしてゲートバスラインと共通電極ラインを形成し、同時に前記レジストパターンの第1及び第2パターンは一部厚さのみ除去されるようにし、前記レジストパターンの第3パターンは完全に除去されるようにし、カウンター電極形成領域上のMoW膜の一部厚さが除去されるようにする第3工程と、
残留するレジストパターン及びMoW膜をエッチングバリヤに利用し、前記ITO膜を湿式エッチングしてカウンター電極を形成する第4工程と、
前記残留するレジストパターンとMoW膜を除去する第5工程とを含むことを特徴とするフリンジフィールドスイッチングモード液晶表示装置の製造方法。

【請求項2】 前記レジスト膜に対する露光は、光透過領域と遮蔽領域を限定するクロムパターンが石英基板上に形成され、光透過量を減少させる半透過パターンが所定の透過領域に形成された構造を有する半透過マスクを用いて行うことを特徴とする請求項1記載のフリンジフィールドスイッチングモード液晶表示装置の製造方法。

【請求項3】 前記半透過パターンは、数個のストライプ形クロムパターン、又はITO膜で成る低透過金属薄

*膜であることを特徴とする請求項2記載のフリンジフィールドスイッチングモード液晶表示装置の製造方法。

【請求項4】 前記カウンター電極用ITO膜は、500～1000Åの厚さに蒸着することを特徴とする請求項1記載のフリンジフィールドスイッチングモード液晶表示装置の製造方法。

【請求項5】 前記レジスト膜は、2～3μmの厚さにコーティングすることを特徴とする請求項1記載のフリンジフィールドスイッチングモード液晶表示装置の製造方法。

【請求項6】 前記MoW膜に対する乾式エッチングは、SF₆、CF₄、又はHe中から選択される一つの励起ガス(excited gas)と、O₂ガスの混合ガスで行うことを特徴とする請求項1記載のフリンジフィールドスイッチングモード液晶表示装置の製造方法。

【請求項7】 前記O₂ガスの流量と励起ガスの流量比は、(O₂ガス流量)÷(励起ガスの流量)<1の条件にすることを特徴とする請求項6記載のフリンジフィールドスイッチングモード液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置の製造方法に関し、より詳しくは製造時間及び費用を減少させることができるフリンジフィールドスイッチングモード液晶表示装置の製造方法に関するものである。

【0002】

【従来の技術】IPS(In-Plane Switching)モードLCDは、TNモードLCDの狭い視野角の欠点を改善するため提案されている。このようなIPSモードLCDは、周知の通り液晶を駆動させるためのカウンター電極と画素電極が同一の基板に互いに平行に配列された構造を有し、視野角は画面を眺める方向に係らず液晶分子の長軸だけを見ることになることにより改善される。

【0003】しかし、IPSモードLCDはTNモードLCDより向上した視野角を有するが、開口率及び透過率の改善はカウンター電極と画素電極が不透明金属で形成されることに基づき満足できるようなものではない。

【0004】したがって、IPSモードLCDの開口率及び透過率改善の限界を克服するため、液晶分子等の駆動がフリンジフィールド(Fringe Field)によりなされるフリンジフィールドスイッチングモードLCD(以下、FFSモードLCDと称する)が提案されている。

【0005】FFSモードLCDにおいて、カウンター電極と画素電極はITOのような透明物質で形成され、さらに上・下部基板等の間の間隔より狭い間隔を有するよう形成され、その上、電極上部に配置されている液晶分子等が全て駆動することができる程度の幅を有するよ

う形成される。これに伴い、FFSモードLCDは電極等が透明物質で形成されることによりIPSモードLCDより向上した開口率を得ることになり、そして、電極部分で光透過が発生することによりIPSモードLCDより向上した透過率を得ることになる。

【0006】図1は、従来技術により製造されたFFSモードLCDの下部基板を示す断面図であり、これを参照しながらその製造方法を説明することにする。ITO(Indium Tin Oxide)膜がガラス基板1上に蒸着される。ITO膜が第1フォトリソグラフィ工程を介してパターンニングされ、プレート(plate)状のカウンター電極2が形成される。MoW膜がカウンター電極2とガラス基板1上に蒸着され、その次にMoW膜が第2フォトリソグラフィ工程を介してパターンニングされ、ゲートバスライン3と共通電極ライン4が形成される。

【0007】ゲート絶縁膜5が基板結果物上に形成される。非ドーピングされた非晶質シリコン膜とドーピングされた非晶質シリコン膜がゲート絶縁膜5上に順次蒸着され、その次に、ドーピングされた非晶質シリコン膜と非ドーピングされた非晶質シリコン膜が第3フォトリソグラフィ工程を介してパターンニングされ、オミックコンタクト層7とチャンネル層6が形成される。ソース/ドレイン用金属膜が基板の結果物上に蒸着される。ソース及びドレイン電極8a、8bを含むデータバスライン(未図示)が金属膜を第4フォトリソグラフィ工程を介してパターンニングすることにより形成され、この結果、薄膜トランジスタ(以下、TFTと称する)が形成される。

【0008】保護膜9が上記段階までに形成された結果物上に蒸着され、その次に保護膜9は第5フォトリソグラフィ工程を介し、例えば、ソース電極8aの一部を露出させるようエッチングされる。ITO膜が前記保護膜9上に蒸着され、その次にITO膜が第6フォトリソグラフィ工程を介してパターンニングされ、数個のブランチ(branch)を含む櫛(comb)状をしながらTFTのソース電極8aとコンタクトする画素電極10が形成される。このとき、画素電極11はTFTのソース/ドレイン電極8とコンタクトするよう形成される。

【0009】しかし、従来技術に係るFFSモードLCDの製造方法は、前述のように下部基板を製造することだけでも6回のフォトリソグラフィ工程が行われるため、製造時間及び費用の側面で問題がある。

【0010】詳しく述べると、フォトリソグラフィ工程はレジストの塗布、露光、及び現像工程で成るレジストパターン形成工程と、レジストパターンを利用したエッチング工程、及びレジストパターンの除去工程を含む。これに伴い、フォトリソグラフィ工程は1回のみ行われても長時間が所要し、6回のフォトリソグラフィ

工程が行われる場合、全体的な時間は非常に長くなる。したがって、6回のフォトリソグラフィ工程を利用する従来のFFSモードLCDの製造方法は生産性の側面で好ましくないという問題がある。

【0011】さらに、露光工程は露光用マスクが必要である。ところが、露光用マスクは高価であるため6回のフォトリソグラフィ工程が行われる場合、6枚の露光用マスクが必要である。したがって、6枚の露光マスクを利用する従来のFFSモードLCDの製造方法は費用の側面でも好ましくないという問題がある。

【0012】

【発明が解決しようとする課題】したがって、本発明は、従来のフリンジフィールドスイッチングモード液晶表示装置の製造方法における問題点を鑑みてなされたものであって、製造時間を短縮し、そして製造費用を減少させることができるFFSモードLCDの製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するためになされた、本発明によるフリンジフィールドスイッチングモード液晶表示装置の製造方法は、ガラス基板上にITO膜とMoW膜を順次蒸着した後、第1フォトリソグラフィ工程を利用して前記MoW膜とITO膜をパターンニングし、カウンター電極とゲートバスライン、及び共通電極ラインを同時に形成する段階Aと、前記段階Aにて形成された基板結果物上にゲート絶縁膜を蒸着する段階Bと、前記ゲート絶縁膜の所定部分上に第2フォトリソグラフィ工程を利用して積層されたチャンネル層とオミックコンタクト層を形成する段階Cと、前記オミックコンタクト層とゲート絶縁膜上に第3フォトリソグラフィ工程を利用し、ソース/ドレイン電極を含むデータバスラインを形成する段階Dと、前記D段階までに形成された基板結果物上に第4フォトリソグラフィ工程を利用し、前記ソース電極を露出させる保護膜を形成する段階Eと、前記保護膜上に第5フォトリソグラフィ工程を利用し、前記ソース電極とコンタクトされる櫛状の画素電極を形成する段階Fとを含み、前記第1フォトリソグラフィ工程は、前記MoW膜上にレジスト膜をコーティングする第1工程と、前記レジスト膜を露光及び現像し、ゲートバスラインと共通電極ライン形成領域を遮蔽しながらコーティング厚さをそのまま保持する第1及び第2パターンと、カウンター電極形成領域を遮蔽しながらコーティング厚さの一部のみ残留する第3パターンで構成されるレジストパターンを形成する第2工程と、前記レジストパターンをエッチングバリヤに利用し、前記MoW膜を乾式エッチングしてゲートバスラインと共通電極ラインを形成し、同時に前記レジストパターンの第1及び第2パターンは一部厚さのみ除去されるようにし、前記レジストパターンの第3パターンは完全に除去されるようにし、カウンター電極形成領域上のM

MoW膜の一部厚さが除去されるようにする第3工程と、残留するレジストパターン及びMoW膜をエッチングバリアに利用し、前記ITO膜を湿式エッチングしてカウンター電極を形成する第4工程と、前記残留するレジストパターンとMoW膜を除去する第5工程とを含むことを特徴とする。

【0014】

【発明の実施の形態】次に、本発明にかかるフリッジフィールドスイッチングモード液晶表示装置の製造方法の実施の形態の具体例を図面を参照しながら説明する。図2乃至図4は、本発明に係るFFSモードLCDの製造方法を説明するための断面図である。

【0015】図2を参照すると、透明性絶縁基板としてガラス基板11が設けられ、ITO膜とMoW膜がガラス基板11上に順次蒸着される。ITO膜はカウンター電極用透明金属膜であり、MoW膜はゲートバスライン及び共通電極ライン用不透明金属膜である。MoW膜とITO膜が第1フォトリソグラフィ工程を介してパターンニングされ、これによりカウンター電極12aとゲートバスライン13a、及び共通電極ライン14aが同時に形成される。

【0016】ここで、カウンター電極12aとゲートバスライン13a、及び共通電極ライン14aを形成するための第1フォトリソグラフィ工程を、以下の図5乃至図8を参照して説明する。

【0017】図5において、エッチングバリアとしてレジストパターン32がMoW膜13上に形成される。レジストパターン32は領域別に相違する厚さを有する。即ち、レジストパターン32はゲートバスライン形成領域を覆う第1パターン32aと、共通電極ライン形成領域を遮蔽する第2パターン32b、及びカウンター電極形成領域を覆う第3パターン32cで構成され、第3パターン32cは第1及び第2パターン等32a、32bより相対的に薄い厚さを有する。

【0018】領域別に相違する厚さを有するレジストパターン32を形成するため、本発明の方法はレジスト膜に対する露光を半透過マスクを利用して行う。

$$\left(\left(\text{O}_2 \text{ガス流量} \right) \div \left(\text{励起ガスの流量} \right) \right) < 1 \text{ の条件} \cdots \text{ (式1)}$$

【0024】図7において、ITO膜がエッチングバリアとして残留したレジストパターン32a、32bとMoW膜13を利用して湿式エッチングされ、これによりカウンター電極12aが形成される。

【0025】図8において、エッチングバリアとして利用されたレジストパターンとMoW膜が乾式ストリップ工程を介して除去され、この結果、カウンター電極12aとゲートバスライン13a、及び共通電極ライン14aを形成するための第1フォトリソグラフィ工程が完了される。

【0026】上述のように、カウンター電極12aとゲートバスライン13a、及び共通電極ライン14aは1

*【0019】半透過マスク50は、図9及び図10に示すように、光透過領域及び遮蔽領域を限定するクロムパターン42が石英基板41上に形成され、そして、光透過量を減少させる半透過パターン43a、43bが所定の透過領域に形成された構造である。半透過パターン43a、43bとして、図9に示すようにストライプ形クロムパターン43aを利用するか、又は図10に示すようにITO膜のような低透過金属薄膜43bを利用することもできる。

【0020】半透過マスク50を利用した露光工程において、ITO膜12は1000Å以下、好ましくは500~1000Åの厚さに蒸着され、レジスト膜30は2μm以上、好ましくは2~3μmの厚さにコーティングされる。半透過マスク50を利用した露光の結果、半透過パターン43a、43bが形成されない光透過領域を介して露光されたレジスト膜部分は完全に露光されるが、半透過パターン43a、43bが形成された光透過領域を介して露光されたレジスト膜部分はハーフ(half)露光される。

【0021】したがって、部分的に完全及びハーフ露光されたレジスト膜30が現像されると、図11に示すようにレジストパターン32は領域別に相違する厚さを有することになる。

【0022】図6において、MoW膜13がエッチングバリアとしてレジストパターン32を利用して乾式エッチングされ、これにより、ゲートバスライン13aと共通電極ライン14aが形成される。このとき、ゲートバスライン13aと共通電極ライン14a上のレジストパターンの第1及び第2パターン32a、32bは一部残留するが、カウンター電極形成領域上の第3パターンは残留しない。さらに、MoW膜13がカウンター電極形成領域上に一部残留する。

【0023】乾式エッチングはSF₆、CF₄、又はHe中から選択される一つの励起ガス(excited gas)とO₂ガスの混合ガスで行い、O₂ガスの流量と励起ガスの流量比は下記式1を満足する条件にする。

回のフォトリソグラフィ工程を介して形成される。即ち、カウンター電極12aとゲートバスライン13a、及び共通電極ライン14aは2回のエッチング工程を利用するが、エッチングバリアを形成するためのレジスト塗布、露光、及び現像工程は1回のみ行われ、そして1枚の露光マスクのみ用いられるため、1回のフォトリソグラフィ工程を介して形成されるものに見なすことができる。

【0027】したがって、本発明の方法を利用すれば2回のフォトリソグラフィ工程が1回に減少するため製造時間が減少し、そして、1枚の露光マスクが用いられるため製造費用が節減され、結果的に生産性が向上す

る。

【0028】続いて図3を参照すると、ゲート絶縁膜15がカウンター電極12aとゲートバスライン13a、及び共通電極ライン14aが形成されたガラス基板11の全体上に蒸着される。非ドーピングされた非晶質シリコン膜とドーピングされた非晶質シリコン膜がゲート絶縁膜15上に順次蒸着され、その次に、ドーピングされた非晶質シリコン膜と非ドーピングされた非晶質シリコン膜が第2フォトリソグラフィ工程によりパターニングされ、これにより、オミックコンタクト層17とチャネル層16が形成される。

【0029】ソース/ドレイン用金属膜が基板結果物上に蒸着され、ソース及びドレイン電極18a、18bを含むデータバスライン（未図示）が第3フォトリソグラフィ工程を利用して金属膜をパターニングすることにより形成され、この結果、TFTが形成される。

【0030】図4を参照すると、TFTを保護するためシリコン窒化膜のような保護膜19が基板結果物の全体上に蒸着され、その次に、保護膜19は第4フォトリソグラフィ工程により所定部分、例えば、ソース電極18aが露出するようエッチングされる。保護膜19上に透明金属膜としてITO膜が蒸着され、その次にITO膜が第5フォトリソグラフィ工程を介してパターニングされ、数個のブランチを含む櫛状をしながらTFTのソース電極18aとコンタクトする画素電極20が形成される。このとき、画素電極20はソース/ドレイン電極18a、18bの一部分とコンタクトするよう形成される。

【0031】尚、本発明は、本実施例に限られるものではない。本発明の趣旨から逸脱しない範囲内で多様に変更実施することが可能である。

【0032】

【発明の効果】上述のように本発明によれば、FFSモードLCDの下部基板は5回のフォトリソグラフィ工程により製造される。これに伴い本発明の方法を利用すれば、従来に比べ1回のフォトリソグラフィ工程を減少させることができる。したがって、本発明に係るFFSモードLCDの製造方法は従来のそれと比べて生産性の側面で利点がある。

【図面の簡単な説明】

【図1】従来のFFSモードLCDの下部基板を示す断

面図である。

【図2】本発明に係るFFSモードLCDの製造方法を説明するための断面図である。

【図3】本発明に係るFFSモードLCDの製造方法を説明するための断面図である。

【図4】本発明に係るFFSモードLCDの製造方法を説明するための断面図である。

【図5】本発明に係る第1フォトリソグラフィ工程を説明するための断面図である。

【図6】本発明に係る第1フォトリソグラフィ工程を説明するための断面図である。

【図7】本発明に係る第1フォトリソグラフィ工程を説明するための断面図である。

【図8】本発明に係る第1フォトリソグラフィ工程を説明するための断面図である。

【図9】本発明に係るレジストパターン形成方法を説明するための断面図である。

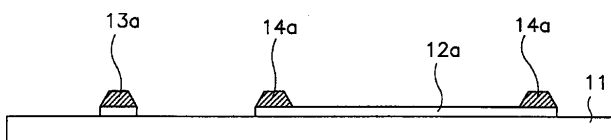
【図10】本発明に係るレジストパターン形成方法を説明するための断面図である。

【図11】本発明に係るレジストパターン形成方法を説明するための断面図である。

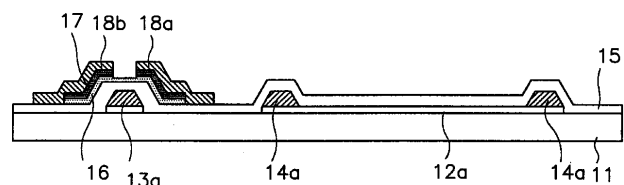
【符号の説明】

11	ガラス基板
12	ITO膜
12a	カウンター電極
13	MoW膜
13a	ゲートバスライン
14a	共通電極ライン
15	ゲート絶縁膜
16	チャネル層
17	オミックコンタクト層
18a、18b	ソース/ドレイン電極
19	保護膜
20	画素電極
30	レジスト膜
32	レジストパターン
41	石英基板
42	クロムパターン
43a、43b	半透過パターン
50	半透過マスク

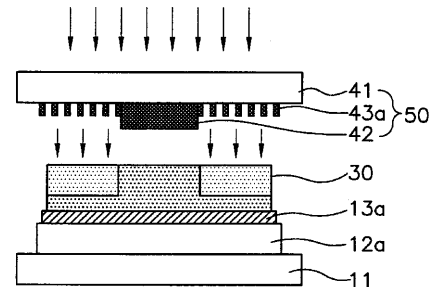
【図2】



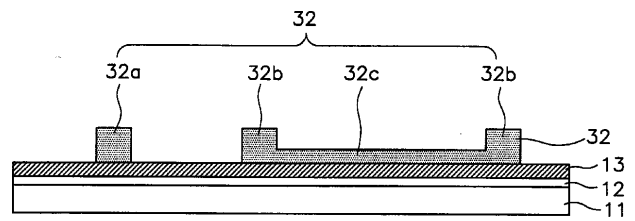
【図3】



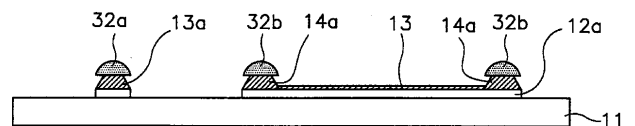
【図 9】



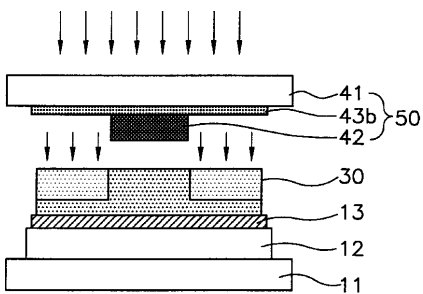
【図 5】



【図 7】



【図 10】



A cross-sectional view of a semiconductor device. It shows a stack of four layers. The bottom layer is labeled 11. Above it is layer 12. Above layer 12 is layer 13, which has a diagonal hatching pattern. The top layer is labeled 32 and has a stippled pattern. Layer 32 is wider than the layers below it, forming a pad or contact structure.

フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H O 1 L	21/3065	H O 1 L 21/302	J
	21/3205	21/88	B
	29/786	29/78	6 1 7 J
	21/336		6 2 7 C

专利名称(译)	制造边缘场切换模式液晶显示装置的方法		
公开(公告)号	JP2001235763A	公开(公告)日	2001-08-31
申请号	JP2000387605	申请日	2000-12-20
[标]申请(专利权)人(译)	海力士半导体有限公司		
申请(专利权)人(译)	有限公司海力士半导体		
[标]发明人	李景夏 ジョ 聖 鉉		
发明人	李 景 夏 ジョ 聖 鉉		
IPC分类号	G02F1/137 G02F1/1341 G02F1/1343 G02F1/1345 G02F1/1368 G02F1/139 H01L21/28 H01L21/302 H01L21/3065 H01L21/3205 H01L21/336 H01L21/77 H01L21/84 H01L29/786		
CPC分类号	H01L27/124 G02F1/134363 H01L27/1288		
FI分类号	G02F1/1343 G02F1/1345 H01L21/28.D H01L21/28.F G02F1/137.505 H01L21/302.J H01L21/88.B H01L29/78.617.J H01L29/78.627.C G02F1/1368 G02F1/139 H01L21/28.E H01L21/302.105.A		
F-TERM分类号	2H088/FA18 2H088/HA02 2H088/HA04 2H088/HA08 2H088/JA09 2H088/MA07 2H088/MA20 2H092/GA14 2H092/HA04 2H092/HA06 2H092/HA14 2H092/JA26 2H092/JA34 2H092/JA47 2H092/JB24 2H092/KA05 2H092/KA18 2H092/KB04 2H092/KB24 2H092/MA04 2H092/MA13 2H092/MA18 2H092/MA19 2H092/MA27 2H092/NA27 2H092/NA29 2H092/QA09 2H192/AA24 2H192/BB13 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CC32 2H192/HA44 2H192/JA32 4M104/AA10 4M104/BB01 4M104/BB13 4M104/BB36 4M104/CC01 4M104/CC05 4M104/DD06 4M104/DD17 4M104/DD34 4M104/DD65 4M104/DD71 4M104/FF03 4M104/FF08 4M104/FF09 4M104/FF13 4M104/GG20 4M104/HH20 5F004/AA04 5F004/DA01 5F004/DA18 5F004/DA22 5F004/DA26 5F004/DB12 5F004/EA05 5F004/EA10 5F004/EA28 5F004/EB02 5F033/GG04 5F033/HH07 5F033/HH22 5F033/HH38 5F033/JJ01 5F033/JJ05 5F033/JJ38 5F033/KK05 5F033/KK07 5F033/LL04 5F033/MM05 5F033/MM19 5F033/PP19 5F033/QQ01 5F033/QQ08 5F033/QQ09 5F033/QQ10 5F033/QQ11 5F033/QQ16 5F033/QQ18 5F033/QQ37 5F033/RR06 5F033/SS10 5F033/VV06 5F033/VV15 5F033/WW02 5F033/XX33 5F110/AA16 5F110/CC07 5F110/EE06 5F110/EE07 5F110/EE14 5F110/GG02 5F110/GG15 5F110/HK02 5F110/HK09 5F110/HK16 5F110/HK21 5F110/NN24 5F110/QQ02 5F110/QQ04 5F110/QQ05		
优先权	1999/P60325 1999-12-22 KR		
其他公开文献	JP3723913B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够减少制造时间和制造成本的边缘场开关模式液晶显示装置的制造方法。 解决方案：在步骤A中，在玻璃基板11上同时形成对电极12a，栅极总线13a和公共电极线14a，第一光刻工艺包括在MoW膜13和栅极总线上涂覆抗蚀剂膜的步骤。 用于屏蔽公共电极线区域并保持涂层厚度的第一和第二图案，用于屏蔽的对电极区域以及形成仅保留一部分涂层厚度的第三图案抗蚀剂图案32的步骤， 形成栅极总线13和公共电极线14的步骤， 第一和第二图案的部分厚度去除， 第三图案的完全厚度去除， 对电极区域上的MoW膜的部分厚度去除， 对电极形成步骤， 去除残留抗蚀剂图案和MoW膜的步骤。

