

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2007/108177

発行日 平成21年8月6日 (2009.8.6)

(43) 国際公開日 平成19年9月27日 (2007.9.27)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/36 (2006.01)	GO9G 3/36	2 H 0 9 3
G09G 3/20 (2006.01)	GO9G 3/20	2 H 1 9 3
G02F 1/133 (2006.01)	GO9G 3/20	5 C 0 0 6
	GO9G 3/20	5 C 0 8 0
	GO9G 3/20	6 2 3 D

審査請求 有 予備審査請求 未請求 (全 27 頁) 最終頁に続く

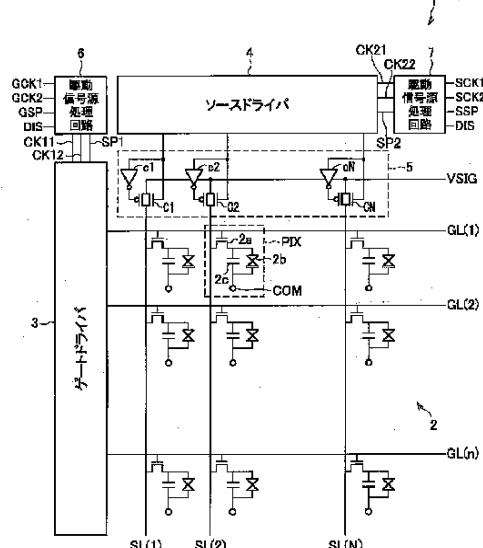
出願番号	特願2008-506163 (P2008-506163)	(71) 出願人 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(21) 国際出願番号	PCT/JP2006/323906	(74) 代理人 110000338 特許業務法人原謙三国際特許事務所
(22) 国際出願日	平成18年11月30日 (2006.11.30)	(72) 発明者 大河 寛幸 日本国大阪府大阪市阿倍野区長池町22番 22号 シャープ株式会社内
(31) 優先権主張番号	特願2006-81641 (P2006-81641)	(72) 発明者 村上 祐一郎 日本国大阪府大阪市阿倍野区長池町22番 22号 シャープ株式会社内
(32) 優先日	平成18年3月23日 (2006.3.23)	(72) 発明者 辻野 幸生 日本国大阪府大阪市阿倍野区長池町22番 22号 シャープ株式会社内
(33) 優先権主張国	日本国 (JP)	

最終頁に続く

(54) 【発明の名称】表示装置およびその駆動方法

(57) 【要約】

液晶表示装置(1)において、ソースドライバ(4)のシフトレジスタを、セット入力端子へのアクティブな入力がリセット端子へのアクティブな入力に優先する非同期型のRSフリップフロップを用いて構成する。第2の動作モードにおいて、第1および第2クロック信号とスタートパルスとをHighに固定することにより、液晶パネル(2)の全画素(PIX)からの放電を行う。



6.. PROCESSING CIRCUIT OF DRIVE SIGNAL SOURCE
4.. SOURCE DRIVER
7.. PROCESSING CIRCUIT OF DRIVE SIGNAL SOURCE
3.. GATE DRIVER

【特許請求の範囲】**【請求項 1】**

シフトレジスタを備えた駆動回路が上記シフトレジスタの出力信号を用いてアクティブマトリクス型の表示パネルを駆動する表示装置であって、

上記シフトレジスタは、上記シフトレジスタが有する縦続接続された各段が、データ保持に用いる回路として、セット入力端子へのアクティブな入力がリセット端子へのアクティブな入力に優先する R S フリップフロップを備え、

上記各段に対応したタイミング信号に従って、所定段の上記 R S フリップフロップの上記セット入力端子に入力された所定のパルスを順次後段へ伝達しながら、上記各段が上記出力信号を、上記所定段から順次、パルスとして出力する第 1 の動作モードと、

初段の上記 R S フリップフロップの上記セット入力端子にアクティブな入力をやって、全ての上記出力信号を一斉にアクティブにする第 2 の動作モードとを実行することを特徴とする表示装置。

【請求項 2】

上記駆動回路を用いて構成された走査信号線駆動回路を備え、

上記走査信号線駆動回路は、上記第 1 の動作モードでは、上記出力信号を用いて、各走査信号線に順次出力されるパルスを有する走査信号を生成し、上記第 2 の動作モードでは、上記出力信号を用いて、全走査信号線に一斉に出力されるパルスを有する信号を生成することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

上記駆動回路を用いて構成された、走査信号線駆動回路およびデータ信号線駆動回路を備え、

上記走査信号線駆動回路は、上記第 1 の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、各走査信号線に順次出力されるパルスを有する走査信号を生成し、上記第 2 の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、全走査信号線に一斉に出力されるパルスを有する信号を生成し、

上記データ信号線駆動回路は、上記第 1 の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、ビデオ信号線から各データ信号線へ順次データ信号を供給する動作に用い、上記第 2 の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、上記ビデオ信号線から全データ信号線に一斉に共通の電位を与える動作に用いることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

上記駆動回路を用いて構成された、走査信号線駆動回路およびデータ信号線駆動回路を備え、

上記走査信号線駆動回路は、上記第 1 の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、各走査信号線に順次出力されるパルスを有する走査信号を生成し、上記第 2 の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、全走査信号線に一斉に出力されるパルスを有する信号を生成し、

上記データ信号線駆動回路は、上記第 1 の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、ビデオ信号線から各データ信号線へ順次データ信号を供給する動作に用い、上記第 2 の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、上記ビデオ信号線から全データ信号線を遮断とともに全データ信号線同士を導通させる動作に用いることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

縦続接続された各段が、データ保持に用いる回路として、セット入力端子へのアクティブな入力がリセット端子へのアクティブな入力に優先する R S フリップフロップを備えたシフトレジスタ、を備えた駆動回路が上記シフトレジスタの出力信号を用いてアクティブ

10

20

30

40

50

マトリクス型の表示パネルを駆動する表示装置の駆動方法であって、

上記各段に対応したタイミング信号に従って、所定段の上記R S フリップフロップの上記セット入力端子に入力された所定のパルスを順次後段へ伝達しながら、上記各段が上記出力信号を、上記所定段から順次、パルスとして出力する第1の動作モードと、

初段の上記R S フリップフロップの上記セット入力端子にアクティブな入力を行って、全ての上記出力信号を一斉にアクティブにする第2の動作モードとを実行することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型液晶表示装置などの、画素に充電を行うことにより表示を行う表示装置に関するものである。

【背景技術】

【0002】

画素にTFTを介して充電を行うことにより表示を行うアクティブマトリクス型液晶表示装置では、交流駆動を行う場合に、表示パネル上で正極性の電荷を蓄積する画素と負極性の電荷を蓄積する画素とが混在することになる。従って、この液晶表示装置の電源を遮断するときには、対向電極に対する各画素電極の電位が、電源遮断直前に正極性の電荷を蓄積していた画素と負極性の電荷を蓄積していた画素とで異なるため、液晶表示装置の駆動終了時に、データ信号線の電位と差の大きい方の電位となる極性の画素の電荷がデータ信号線に漏出しやすくなる。この結果、画素に印加される電圧にばらつきが生じて、画面に乱れが生じることがある。また、電源投入時に電源が立ち上がる過程において、液晶表示装置の駆動回路のロジックが確定していない状態では、ビデオ信号線や対向電極に生じた電位によって画素に電荷が蓄積され、画面に乱れが生じことがある。

【0003】

このような問題に対して、従来、図12のような構成が提案されている（例えば特許文献1参照）。

【0004】

図12に示す液晶表示装置101は、液晶パネル102、ゲートドライバ103、ソースドライバ104、走査信号供給制御回路105、データ信号供給制御回路106、および、画素放電回路107を備えている。

【0005】

液晶パネル102はアクティブマトリクス型の表示パネルであって、走査信号線GL(1)・GL(2)・…・GL(n)・…とデータ信号線SL(1)・SL(2)・…・SL(N)・…とを互いに直交するように備えている。そして、それらの各交点に画素PIXが配置されている。画素PIXは、TFT102a、液晶容量102b、および、補助容量102cを備えている。TFT102aのゲート端子は当該画素PIXに対応する走査信号線GLに接続されている。TFT102aの一方のソース／ドレイン端子は当該画素PIXに対応するデータ信号線SLに接続されており、他方のソース／ドレイン端子は当該画素PIXの画素電極に接続されている。液晶容量102bと補助容量102cとは、画素PIXの画素電極と対向電極COMとの間に互いに並列に接続されている。

【0006】

ゲートドライバ103は、外部から入力されるクロック信号GCK1・GCK2およびゲートスタートパルスGSPに従って、内部のシフトレジスタおよび論理回路により、各走査信号線GLに出力する走査信号を生成するための信号を各段において生成する。ソースドライバ104は、外部から入力されるクロック信号SCK1・SCK2およびソーススタートパルス信号SSPに従って、内部のシフトレジスタにより、後述するデータ信号供給制御回路106が備えるアナログスイッチBの制御信号を生成するための信号を各段において生成する。

【0007】

10

20

30

40

50

走査信号供給制御回路 105 は、ゲートドライバ 103 が生成した走査信号と、外部から入力される放電制御信号 D I S との N A N D 演算を行う N A N D 回路 105 a - 1 · 105 a - 2 · ... · 105 a - n · ... を、順に、走査信号線 G L (1) · G L (2) · ... · G L (n) · ... に対応するように備えた回路である。

【 0 0 0 8 】

データ信号供給制御回路 106 は、ソースドライバ 104 が生成した信号と、外部から入力される上記放電制御信号 D I S との N A N D 演算を行う N A N D 回路 106 a - 1 · 106 a - 2 · ... · 106 a - N · ... を、順に、データ信号線 S L (1) · S L (2) · ... · S L (N) · ... に対応するように備えた回路である。データ信号供給制御回路 106 は、N A N D 回路 106 a - 1 · 106 a - 2 · ... · 106 a - N · ... が生成した信号を、順に制御信号とする C M O S 構成のアナログスイッチ B 1 · B 2 · ... · B N · ... を備えている。当該アナログスイッチ B の p チャネル型 M O S トランジスタのゲート端子には、対応する N A N D 回路 106 a が生成した信号が直接入力され、n チャネル型 M O S トランジスタのゲート端子には、N A N D 回路 106 a が生成した信号がインバータ b (N A N D 演算回路 106 a - 1 · 106 a - 2 · ... · 106 a - N · ... に順に対応するインバータ b 1 · b 2 · ... · b N · ...) でレベル反転されてから入力される。また、アナログスイッチ B 1 · B 2 · ... · B N · ... は、順に、データ信号線 S L (1) · S L (2) · ... · S L (N) · ... に対応しており、データ信号線 S L とビデオ信号線 V S I G との間の導通および遮断を行う。

【 0 0 0 9 】

画素放電回路 107 は、C M O S のアナログスイッチ A 1 · A 2 · ... · A N · ... を、順に、データ信号線 S L (1) · S L (2) · ... · S L (N) · ... に対応するように備えている。当該アナログスイッチ A の制御信号として上記放電制御信号 D I S が用いられる。アナログスイッチ A の n チャネル型 M O S トランジスタのゲートには、放電制御信号 D I S がインバータ a (データ信号線 S L (1) · S L (2) · ... · S L (N) · ... に順に対応するインバータ a 1 · a 2 · ... · a N · ...) によりレベル反転されて入力され、p チャネル型 M O S トランジスタのゲートには、放電制御信号 D I S が直接入力される。

【 0 0 1 0 】

上記の構成の液晶表示装置 101において、通常動作時には放電制御信号 D I S が H i g h となる。このとき、画素放電回路 107 のアナログスイッチ A 1 · A 2 · ... · A N · ... は一斉に O F F 状態となり、データ信号供給制御回路 106 のアナログスイッチ B 1 · B 2 · ... · B N · ... は、ソースドライバ 104 の対応する段の出力信号が H i g h となつたときに順に対応する N A N D 回路 106 a の出力信号が L o w となるために、順次 O N 状態となる。そして、ゲートドライバ 103 は L o w の信号を各段から順次出力するが、N A N D 回路 105 a はゲートドライバ 103 の対応する段の出力信号が L o w となつたときに、対応する走査信号線 G L に H i g h の走査信号を出力する。これにより、T F T 102 a が O N 状態となつた画素 P I X に、ビデオ信号線 V S I G から O N 状態のアナログスイッチ B を介してビデオ信号による充電が行われ、画像表示が行われる。

【 0 0 1 1 】

一方、液晶表示装置 101 の電源を遮断するとき、または電源を投入するときには、その直前に放電制御信号 D I S が L o w となる。これにより、データ信号供給制御回路 106 の N A N D 回路 106 a - 1 · 106 a - 2 · ... · 106 a - N · ... の出力信号が一斉に H i g h となるので、アナログスイッチ B 1 · B 2 · ... · B N · ... は一斉に O F F 状態になる。また、画素放電回路 107 のアナログスイッチ A 1 · A 2 · ... · A N · ... は一斉に O N 状態となる。さらに、走査信号供給制御回路 105 の N A N D 回路 105 a - 1 · 105 a - 2 · ... · 105 a - n · ... の出力信号が一斉に H i g h となるので、各画素 P I X の T F T 102 a が一斉に O N 状態になる。

【 0 0 1 2 】

これにより、各画素 P I X の画素電極側が対向電極 C O M に接続されるため、各画素 P I X は一斉に放電（対向電極 C O M からの充電と呼ぶこともできる。）を行う。従って、

10

20

30

40

50

各画素PIXの液晶容量102bおよび補助容量102cの印加電圧はゼロとなり、液晶表示装置101の電源遮断時や電源投入時における画面の乱れを防止することができる。

【特許文献1】特開2000-347627号公報(2000年12月15日公開)

【特許文献2】特開2004-45785号公報(2004年2月12日公開)

【発明の開示】

【0013】

しかしながら、上記従来の液晶表示装置101の構成では、電源遮断時や電源投入時における画面の乱れを防止するために、NAND回路105a-1・105a-2・…・105a-n・…およびNAND回路106a-1・106a-2・…・106a-N・…を備えているので、これらの回路のスペースが必要になる。従って、液晶表示装置の小型化や領域の有効活用に制約が生じるという問題がある。10

【0014】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、電源遮断時や電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されない表示装置、およびその駆動方法を実現することにある。

【0015】

本発明の表示装置は、上記課題を解決するために、シフトレジスタを備えた駆動回路が上記シフトレジスタの出力信号を用いてアクティブマトリクス型の表示パネルを駆動する表示装置であって、上記シフトレジスタは、上記シフトレジスタが有する継続接続された各段が、データ保持に用いる回路として、セット入力端子へのアクティブな入力がリセット端子へのアクティブな入力に優先するRSフリップフロップを備え、上記各段に対応したタイミング信号に従って、所定段の上記RSフリップフロップの上記セット入力端子に入力された所定のパルスを順次後段へ伝達しながら、上記各段が上記出力信号を、上記所定段から順次、パルスとして出力する第1の動作モードと、初段の上記RSフリップフロップの上記セット入力端子にアクティブな入力を行って、全ての上記出力信号を一斉にアクティブにする第2の動作モードとを実行することを特徴としている。20

【0016】

上記の発明によれば、セット入力端子へのアクティブな入力がリセット端子へのアクティブな入力に優先するRSフリップフロップを用いて、第1の動作モードではパルスの順次出力による表示装置の通常表示動作を行うことができるとともに、第2の動作モードでは、セット入力端子へのアクティブな入力がリセット端子へのアクティブな入力に優先することを用いて、アクティブな出力信号の一斉出力を行うことができる。第2の動作モードを例えば電源遮断時に用いれば、交流駆動を行う表示装置に対して、画素からの放電や、画素間での正極性の電荷と負極性の電荷との打ち消し合いを行うことができる。また、第2の動作モードを電源投入時に用いれば、任意の表示装置に対して、画素間で電荷量を揃えることができる。従って、第2の動作モードにより、駆動回路の各出力に対応してNAND回路などの余分な回路を設けることなく、電源遮断時や電源投入時における画面の乱れを防止することができる。30

【0017】

以上により、電源遮断時や電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されない表示装置を実現することができるという効果を奏する。40

【0018】

本発明の表示装置の駆動方法は、上記課題を解決するために、継続接続された各段が、データ保持に用いる回路として、セット入力端子へのアクティブな入力がリセット端子へのアクティブな入力に優先するRSフリップフロップを備えたシフトレジスタ、を備えた駆動回路が上記シフトレジスタの出力信号を用いてアクティブマトリクス型の表示パネルを駆動する表示装置の駆動方法であって、上記各段に対応したタイミング信号に従って、所定段の上記RSフリップフロップの上記セット入力端子に入力された所定のパルスを順次後段へ伝達しながら、上記各段が上記出力信号を、上記所定段から順次、パルスとして50

出力する第1の動作モードと、初段の上記RSフリップフロップの上記セット入力端子にアクティブな入力を行って、全ての上記出力信号を一斉にアクティブにする第2の動作モードとを実行することを特徴としている。

【0019】

上記の発明によれば、セット入力端子へのアクティブな入力がリセット端子へのアクティブな入力に優先するRSフリップフロップを用いて、第1の動作モードではパルスの順次出力による表示装置の通常表示動作を行うことができるとともに、第2の動作モードでは、セット入力端子へのアクティブな入力がリセット端子へのアクティブな入力に優先することを用いて、アクティブな出力信号の一斉出力を行うことができる。第2の動作モードを例えれば電源遮断時に用いれば、交流駆動を行う表示装置に対して、画素からの放電や、画素間での正極性の電荷と負極性の電荷との打ち消し合いを行うことができる。また、第2の動作モードを電源投入時に用いれば、任意の表示装置に対して、画素間で電荷量を揃えることができる。従って、第2の動作モードにより、駆動回路の各出力に対応してNAND回路などの余分な回路を設けることなく、電源遮断時や電源投入時における画面の乱れを防止することができる。

10

【0020】

以上により、電源遮断時や電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されない表示装置の駆動方法を実現することができるという効果を奏する。

20

【0021】

本発明のさらに他の目的、特徴、および優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利益は、添付図面を参照した次の説明で明白になるであろう。

【図面の簡単な説明】

【0022】

【図1】本発明の実施形態を示すものであり、液晶表示装置の要部構成を示す回路ブロック図である。

30

【図2】(a)は図1の液晶表示装置が備える駆動信号源処理回路の構成を示す回路図、(b)は(a)の真理値表である。

【図3】図1の液晶表示装置が備えるゲートドライバの構成を示す回路ブロック図である。

30

【図4】(a)は図3(a)のゲートドライバが備えるシフトレジスタの各段の構成を示す回路ブロック図、(b)は(a)の真理値表である。

【図5】(a)は図4(a)のシフトレジスタの各段が備えるRSフリップフロップの構成を示す回路図、(b)は(a)の真理値表である。

【図6】図3のゲートドライバの第1の動作モードにおける動作を示すタイミングチャートである。

【図7】図3のゲートドライバの第2の動作モードにおける動作を示すタイミングチャートである。

40

【図8】図1の液晶表示装置が備えるソースドライバの構成を示す回路ブロック図である。

【図9】図8のソースドライバの第1の動作モードにおける動作を示すタイミングチャートである。

【図10】図8のソースドライバの第2の動作モードにおける動作を示すタイミングチャートである。

【図11】(a)は駆動回路の変形例の構成を示す回路ブロック図、(b)は(a)の回路ブロックに用いるクロック信号の波形図である。

【図12】従来技術を示すものであり、液晶表示装置の要部構成を示す回路ブロック図である。

【符号の説明】

50

【0023】

- 1 液晶表示装置（表示装置）
- 2 液晶パネル（表示パネル）
- 3 ゲートドライバ（走査信号線駆動回路、駆動回路）
- 4 ソースドライバ（データ信号線駆動回路、駆動回路）

【発明を実施するための最良の形態】

【0024】

以下、実施例および比較例により、本発明をさらに詳細に説明するが、本発明はこれらにより何ら限定されるものではない。

【0025】

10

本発明の一実施形態について図1ないし図7に基づいて説明すると以下の通りである。

【0026】

図1に、本実施の形態に係る液晶表示装置（表示装置）1の構成を示す。液晶表示装置1は、液晶パネル2、ゲートドライバ3、ソースドライバ4、アナログスイッチ回路5、および、駆動信号源処理回路6・7を備えている。なお、駆動信号源駆動回路6・7は液晶パネル2の一部として設けられていてもよい。

【0027】

20

この液晶表示装置1は、液晶パネル2を、上下左右に隣接する画素PIX同士で電荷の極性を異ならせるドット反転駆動、あるいは、隣接する走査信号線に接続された画素PIX同士で電荷の極性を異ならせる走査信号線反転駆動により交流駆動する。

【0028】

液晶パネル2はアクティブマトリクス型の表示パネルであって、走査信号線GL(1)・GL(2)・…・GL(n)・…とデータ信号線SL(1)・SL(2)・…・SL(N)・…とを互いに直交するように備えている。そして、それらの各交点に画素PIXが配置されている。画素PIXは、TFT2a、液晶容量2b、および、補助容量2cを備えている。TFT2aのゲート端子は当該画素PIXに対応する走査信号線GLに接続されている。TFT2aの一方のソース／ドレイン端子は当該画素PIXに対応するデータ信号線SLに接続されており、他方のソース／ドレイン端子は当該画素PIXの画素電極に接続されている。液晶容量2bと補助容量2cとは、画素PIXの画素電極と対向電極COMとの間に互いに並列に接続されている。

30

【0029】

ゲートドライバ（走査信号線駆動回路）3は、後述する駆動信号源処理回路6から入力されるクロック信号CK11・CK12およびスタートパルスSP1に従って、内部のシフトレジスタにより、あるいは、シフトレジスタにさらに論理回路を追加した構成により、各走査信号線GLに出力する走査信号を各段において生成する。クロック信号（タイミング信号）CK11およびクロック信号（タイミング信号）CK12は、液晶表示装置1の通常動作時には、図6に示すように、互いに位相が異なっており、レベル変化を周期的に繰り返す2値周期信号である。ここではクロック信号CK11とクロック信号CK12とは互いにHigh期間が重ならない例が示されている。また、クロック信号CK11・CK12は、液晶表示装置1の電源遮断時直前には、図7に示すように、共にアクティブレベル（ここではHigh）に固定される信号である。スタートパルスSP1は、液晶表示装置1の通常動作時には、図6に示すように、所定期間ごとに1つのパルスを有する信号であり、スタートパルスSP1に対しては当該所定期間は1垂直期間である。また、スタートパルスSP1は、液晶表示装置1の電源遮断時直前には、図7に示すように、アクティブレベル（ここではHigh）に固定される信号である。

40

【0030】

ソースドライバ（データ信号線駆動回路）4は、後述する駆動信号源処理回路7から入力されるクロック信号CK21・CK22およびスタートパルス信号SP2に従って、内部のシフトレジスタにより、後述するアナログスイッチ回路5が備えるアナログスイッチCの制御信号を各段において生成する。

50

【0031】

アナログスイッチ回路5は、ソースドライバ4の各段の出力に一つずつ対応するように、CMOSのアナログスイッチC1・C2・…・CN・…を備えている。各アナログスイッチCのpチャネル型MOSトランジスタのゲートには、ソースドライバ4の対応する段の出力信号がインバータc(アナログスイッチC1・C2・…・CN・…に順にインバータc1・c2・…・cN・…が対応する)によってレベル反転されて入力され、nチャネル型MOSトランジスタのゲートにはソースドライバ4の対応する段の出力信号が直接入力される。また、アナログスイッチC1・C2・…・CN・…は、順に、データ信号線SL(1)・SL(2)・…・SL(N)・…に対応しており、対応するデータ信号線SLと、ビデオ信号線VSIGとの間の導通および遮断を行う。ビデオ信号線VSIGにはデータ信号が供給され、導通したアナログスイッチに接続されているデータ信号線SLを介して、走査信号により選択されている画素PIXに書き込まれる。

10

【0032】

駆動信号源処理回路6は、外部から入力されるクロック信号GCK1および放電制御信号DISからクロック信号CK11を生成し、また、外部から入力されるクロック信号GCK2および上記放電制御信号DISからクロック信号CK12を生成し、また、外部から入力されるゲートスタートパルスGSPおよび放電制御信号DISからスタートパルスSP1を生成し、生成した各信号をゲートドライバ3に入力する。放電制御信号DISは、液晶表示装置1の通常動作時にはHighに固定され、液晶表示装置1の電源遮断時直前には、図7に示すようにLowに固定される信号である。

20

【0033】

駆動信号源処理回路7は、外部から入力されるクロック信号SCK1からクロック信号CK21を生成し、また、外部から入力されるクロック信号SCK2からクロック信号CK22を生成し、また、外部から入力されるソーススタートパルスSSPからスタートパルスSP2を生成し、生成した各信号をソースドライバ4に入力する。放電制御信号DISは、別の構成で使用する信号であり、ここでは説明しない。

【0034】

また、上記駆動信号源処理回路6と上記駆動信号源処理回路7とを1箇所にまとめて配置することも可能である。

30

【0035】

図2(a)に、駆動信号源処理回路6の構成を示す。

【0036】

駆動信号源処理回路6は、CMOSのアナログスイッチ61・62・63、インバータ64・65・66、および、pチャネル型のMOSトランジスタ67・68・69を備えている。

40

【0037】

アナログスイッチ61はクロック信号GCK1の入力端子とクロック信号CK11の出力端子との間の導通および遮断を行う。アナログスイッチ62はクロック信号GCK2の入力端子とクロック信号CK12の出力端子との間の導通および遮断を行う。アナログスイッチ63はゲートスタートパルスGSPの入力端子とスタートパルスSP1の出力端子との間の導通および遮断を行う。アナログスイッチ61～63のそれぞれの制御信号には放電制御信号DISを用いる。アナログスイッチ61～63の各nチャネル型MOSトランジスタのゲートには放電制御信号DISが直接入力される。アナログスイッチ61のpチャネル型MOSトランジスタのゲートには放電制御信号DISをインバータ64でレベル反転した信号が、また、アナログスイッチ62のpチャネル型MOSトランジスタのゲートには放電制御信号DISをインバータ65でレベル反転した信号が、アナログスイッチ63のpチャネル型MOSトランジスタのゲートには放電制御信号DISをインバータ66でレベル反転した信号が、それぞれ入力される。

【0038】

MOSトランジスタ67のソースは電源VDDに接続されており、ドレインはクロック

50

信号CK11の出力端子に接続されている。MOSトランジスタ68のソースは電源VDDに接続されており、ドレインはクロック信号CK12の出力端子に接続されている。MOSトランジスタ69のソースは電源VDDに接続されており、ドレインはスタートパルスSP1の出力端子に接続されている。

【0039】

図2(b)に、放電制御信号DISがHighのときとLowのときとで、クロック信号CK11、クロック信号CK12、および、スタートパルスSP1として、どのような信号が出力されるのかを記載した真理値表を示す。液晶表示装置1の通常動作時には、放電制御信号DISはHighであり、クロック信号CK11としてクロック信号GCK1が、クロック信号CK12としてクロック信号GCK2が、スタートパルスSP1としてゲートスタートパルスGSPが、それぞれ出力される。液晶表示装置1の電源遮断時直前には、放電制御信号DISはLowであり、クロック信号CK1、クロック信号CK2、および、スタートパルスSP1は全てHighになる。尚、アナログスイッチ61~63はレベルシフト機能を有するものであっても良い。

10

【0040】

次に、図3に、ゲートドライバ3の構成を示す。

【0041】

ゲートドライバ3はシフトレジスタで構成されており、インバータ41およびシフトレジスタ段SR1・SR2・…を備えている。シフトレジスタ段SR1・SR2・…は、シフトレジスタの各段を構成しており、初段から順にSR1・SR2・…と継続接続されている。各シフトレジスタ段SRは、シフト信号入力端子SB、出力端子OB、クロック信号入力端子CK、リセット入力端子R、および、イニシャルリセット入力端子INIを備えている。シフト信号入力端子SBは後述するRSフリップフロップのロー・アクティブのセット入力端子であり、リセット入力端子Rは当該RSフリップフロップのリセット入力端子である。クロック信号入力端子CKは、奇数段のシフトレジスタ段SR(SR1・SR3・…においては駆動信号源処理回路6から出力されたクロック信号CK11が入力される端子であり、偶数段のシフトレジスタ段SR(SR2・SR4・…においては駆動信号源処理回路6から出力されたクロック信号CK12が入力される端子である。

20

【0042】

各シフトレジスタ段SRは、シフト信号入力端子SBにLowの信号が入力されると、クロック入力端子CKに入力されている信号を出力端子OBから出力信号OUT(初段から順にOUT1・OUT2・….)として出し、クロック入力端子CKに入力されている信号のレベル反転信号を出力端子OBから出力する。各出力信号OUTは、ゲートドライバ3の出力信号である走査信号としてゲート信号線GLに出力される。出力端子OBから出力された信号は、次段のシフトレジスタ段SRのシフト信号入力端子SBに入力される。また、リセット入力端子Rには、次段のシフトレジスタ段SRの出力端子OBから出力された信号が入力される。

30

【0043】

インバータ41は初段のシフトレジスタ段SR1の前に設けられており、駆動信号源処理回路6から出力されたスタートパルスSP1のレベル反転信号を生成してシフトレジスタ段SR1のSB端子に入力する。

40

【0044】

なお、ゲートドライバ3を、上記出力信号OUT1・OUT2・…をさらに論理回路に入力して走査信号を生成する構成とすることもできる。

【0045】

次に、図4(a)に、各シフトレジスタ段SRの構成を示す。

【0046】

シフトレジスタ段SRは、非同期型のRSフリップフロップ42、CMOSのアナログスイッチ43、nチャネル型のMOSトランジスタ44、および、インバータ45を備えている。

50

【0047】

R S フリップフロップ 4 2 はシフトレジスタ段 S R のデータ保持に用いる回路であり、セット入力端子 S B 、出力端子 Q · Q B 、リセット入力端子 R 、および、イニシャルリセット入力端子 I N I を備えている。セット入力端子 S B は前述のシフトレジスタ段 S R のシフト信号入力端子 S B に等しい。また、リセット入力端子 R 、イニシャルリセット入力端子 I N I は、順に、シフトレジスタ段 S R のリセット入力端子 R 、イニシャルリセット入力端子 I N I に等しい。なお、セットとは、出力端子 Q の信号をアクティブにすることを指す。

【0048】

アナログスイッチ 4 3 は、クロック信号入力端子 C K と、シフトレジスタ段 S R の出力端子 O およびインバータ 4 5 の入力端子との間の導通および遮断を行う。アナログスイッチ 4 3 の n チャネル型 M O S トランジスタのゲートには、R S フリップフロップ 4 2 の出力端子 Q からの出力信号が入力され、p チャネル型 M O S トランジスタのゲート端子には、R S フリップフロップ 4 2 の出力端子 Q B からの出力信号が入力される。インバータ 4 5 の出力端子は、シフトレジスタ段 S R の出力端子 O B となっている。M O S トランジスタ 4 4 のドレイン端子は、出力端子 O およびインバータ 4 5 の入力端子に接続されており、ソースは G N D に接続されている。M O S トランジスタ 4 4 のゲート端子には、R S フリップフロップ 4 2 の出力端子 Q B からの出力信号が入力される。

【0049】

図 4 (b) に、シフト信号入力端子（セット入力端子） S B への入力信号およびリセット入力端子 R への入力信号に対する、出力端子 O · O B からの出力信号の真理値表を示す。

【0050】

R S フリップフロップ 4 2 では、セット入力端子 S B へのアクティブ信号の入力がリセット端子 R へのアクティブ信号の入力に優先する構成となっており、同表に示すように、セット入力端子 S B に L o w が入力されていれば、リセット入力端子 R に H i g h が入力されているときのみならず、H i g h が入力されているときにも、出力端子 Q からは H i g h 、出力端子 Q B からは L o w がそれぞれ出力される（後述の図 5 (b) 参照）。これにより、出力端子 O (表中 O_n) からはクロック信号入力端子 C K への入力信号が、また、出力端子 O B (表中 O B_n) からはクロック信号入力端子 C K への入力信号の反転信号（表では C K B と表記）がそれぞれ出力される。

【0051】

また、セット入力端子 S B に H i g h が入力され、リセット端子 R に H i g h が入力されているときには、出力端子 Q からは L o w が、出力端子 Q B からは H i g h がそれぞれ出力される（後述の図 5 (b) 参照）。これにより、出力端子 O からは L o w が、出力端子 O B からは H i g h がそれぞれ出力される。セット入力端子 S B に H i g h が入力され、リセット端子 R に L o w が入力されているときには、出力端子 Q にはそれ以前の出力端子 Q の状態 Q_{n-1} がそのまま出力される（後述の図 5 (b) 参照）。これにより、第 1 の状態として Q_{n-1} が L o w であれば、出力端子 O の以前の状態 O_{n-1} が L o w となり、出力端子 O (O_n) からは L o w が、出力端子 O B (O B_n) からは H i g h がそれぞれ出力される。また、第 2 の状態として Q_{n-1} が H i g h であれば、出力端子 O の以前の状態 O_{n-1} がクロック信号入力端子 C K への入力信号を出力する状態（表中 C K ）となり、出力端子 O (O_n) からはクロック信号入力端子 C K への入力信号（表中 C K ）が、出力端子 O B (O B_n) からはクロック信号入力端子 C K への入力信号の反転信号（表では C K B と表記）がそれぞれ出力される。

【0052】

なお、アナログスイッチ 4 3 の箇所を、レベルシフタや論理回路を用いた回路として、同様の論理を導出することも可能である。

【0053】

次に、図 5 (a) に R S フリップフロップ 4 2 の構成を示す。

10

20

30

40

50

【0054】

R S フリップフロップ 4 2 は、M O S トランジスタ 4 2 1 ~ 4 3 0 を備えている。M O S トランジスタ 4 2 1 · 4 2 4 · 4 2 5 · 4 2 8 は p チャネル型であり、M O S トランジスタ 4 2 2 · 4 2 3 · 4 2 6 · 4 2 7 · 4 2 9 · 4 3 0 は n チャネル型である。

【0055】

M O S トランジスタ 4 2 1 のソース端子は電源 V D D に接続されており、ドレイン端子は M O S トランジスタ 4 2 2 のドレイン端子に接続されている。M O S トランジスタ 4 2 2 のソース端子は M O S トランジスタ 4 2 3 のドレイン端子に接続されている。M O S トランジスタ 4 2 1 · 4 2 2 のゲート端子はセット入力端子 S B に接続されている。M O S トランジスタ 4 2 3 のソース端子は G N D に接続されている。M O S トランジスタ 4 2 3 のゲート端子はリセット端子 R に接続されている。10

【0056】

M O S トランジスタ 4 2 4 のソース端子は電源 V D D に接続されており、ドレイン端子は M O S トランジスタ 4 2 5 のソース端子に接続されている。M O S トランジスタ 4 2 4 のゲート端子はリセット端子 R に接続されている。M O S トランジスタ 4 2 5 のドレイン端子は、M O S トランジスタ 4 2 6 のドレイン端子に接続されている。M O S トランジスタ 4 2 5 のゲート端子は M O S トランジスタ 4 2 6 のゲート端子に接続されている。また、M O S トランジスタ 4 2 1 のドレイン端子と、M O S トランジスタ 4 2 5 のドレイン端子とは互いに接続されている。M O S トランジスタ 4 2 6 のソース端子は M O S トランジスタ 4 2 7 のドレイン端子に接続されている。M O S トランジスタ 4 2 7 のソース端子は G N D に接続されている。M O S トランジスタ 4 2 7 のゲート端子はセット入力端子 S B に接続されている。20

【0057】

M O S トランジスタ 4 2 8 のソース端子は電源 V D D に接続されており、ドレイン端子は M O S トランジスタ 4 2 9 のドレイン端子に接続されている。M O S トランジスタ 4 2 9 のソース端子は G N D に接続されている。M O S トランジスタ 4 2 5 のドレイン端子と、M O S トランジスタ 4 2 8 のゲート端子と、M O S トランジスタ 4 2 9 のゲート端子とは、互いに接続されており、その接続点は出力端子 Q に接続されている。M O S トランジスタ 4 2 5 · 4 2 6 のゲート端子と、M O S トランジスタ 4 2 8 と M O S トランジスタ 4 2 9 との接続点とは、出力端子 Q B に接続されている。M O S トランジスタ 4 3 0 のドレイン端子は出力端子 Q に接続されており、ソース端子は G N D に接続されている。M O S トランジスタ 4 3 0 のゲート端子は、イニシャルリセット端子 I N I に接続されている。30

【0058】

図 5 (b) はセット入力端子 S B への入力信号およびリセット端子への入力信号に対する、出力端子 Q からの出力信号の真理値表である。この内容は、図 4 (b) の説明の中で述べた通りであるので、省略するが、図 5 (a) から分かるように、セット入力端子 S B へのアクティブな入力がリセット端子 R へのアクティブな入力に優先することは、M O S トランジスタ 4 2 3 のゲート端子に H i g h が入力されても、M O S トランジスタ 4 2 1 · 4 2 2 のゲート端子に L o w が入力される限り、M O S トランジスタ 4 2 2 が O F F 状態となって、出力端子 Q に L o w が導出されることによる。40

【0059】

次に、図 6 および図 7 を用いて、以上の構成の液晶表示装置 1 におけるゲートドライバ 3 の動作を説明する。図 6 は、液晶表示装置 1 が画像を表示する動作である通常動作についてのタイミングチャートである。このときの液晶表示装置 1 の動作モードを第 1 の動作モードとする。図 7 は、液晶表示装置 1 の電源を遮断する直前の状態についてのタイミングチャートである。このときの液晶表示装置 1 の動作モードを第 2 の動作モードとする。図 3 と対応させて説明を行う。

【0060】

図 6 において、タイミング A においては、イニシャルリセット端子 I N I に入力される信号（以下、信号 I N I とする）が H i g h に設定され、スタートパルス S P 1 が L o w 50

に設定されるため、シフトレジスタ段 S R 1 のシフト信号入力端子 S B には H i g h が入力され、出力端子 O からは L o w が出力されるとともに、出力端子 O B からは H i g h が出力される。同様に、シフトレジスタ段 S R 2 のシフト信号入力端子 S B には H i g h が入力され、信号 I N I が H i g h であるため、シフトレジスタ段 S R 2 の出力端子 O からは L o w が出力されるとともに、出力端子 O B からは H i g h が出力される。従って、全ての出力信号 O U T 1 · O U T 2 · ... が L o w となり、ゲートドライバ 3 のイニシャルリセットが行われる。

【 0 0 6 1 】

次に、タイミング Bにおいて、信号 I N I が L o w に設定され、スタートパルス S P 1 が L o w に設定される。このとき、シフトレジスタ段 S R 1 のシフト信号入力端子 S B には H i g h が入力され、リセット端子 R には L o w が入力されるため、出力端子 O からは L o w が出力され、出力端子 O B からは H i g h が出力される。これにより、シフトレジスタ段 S R 2 のシフト信号入力端子 S B には H i g h が入力されるため、シフトレジスタ段 S R 2 の出力端子 O からは L o w が出力される。従って、全ての出力信号 O U T 1 · O U T 2 · ... は L o w のままである。

10

【 0 0 6 2 】

次に、タイミング Cにおいて、スタートパルス S P 1 が H i g h に設定され、シフトレジスタ段 S R 1 のシフト信号入力端子 S B には L o w が入力される。これにより、シフトレジスタ段 S R 1 の出力端子 O からはクロック信号 C K 1 1 が出力され、出力端子 O B からはクロック信号 C K 1 1 のレベル反転信号が出力される。タイミング Cにおいてはクロック信号 C K 1 1 が L o w であるため、出力信号 O U T 1 は L o w であり、出力端子 O B からは H i g h が出力される。従って、全ての出力信号 O U T 1 · O U T 2 · ... は L o w のままである。

20

【 0 0 6 3 】

次に、タイミング Dにおいて、スタートパルス S P 1 は H i g h のままで、クロック信号 C K 1 1 が H i g h となる。これにより、シフトレジスタ段 S R 1 の出力端子 O からは H i g h が出力され、出力端子 O B からは L o w が出力される。従って、シフトレジスタ段 S R 2 のシフト信号入力端子 S B には L o w が入力され、シフトレジスタ段 S R 2 の出力端子 O からはクロック信号 C K 1 2 が出力され、出力端子 O B からはクロック信号 C K 1 2 のレベル反転信号が出力される。タイミング Dではクロック信号 C K 1 2 は L o w であるので、シフトレジスタ段 S R 2 の出力端子 O からは L o w が出力され、出力端子 O B からは H i g h が出力される。従って、出力信号 O U T 1 は H i g h 、その他の出力信号 O U T 2 · O U T 3 · ... は L o w となる。

30

【 0 0 6 4 】

次に、タイミング Eにおいて、スタートパルス S P 1 は H i g h のままで、クロック信号 C K 1 1 が L o w 、クロック信号 C K 1 2 が H i g h となる。これにより、シフトレジスタ段 S R 1 の出力端子 O からは L o w が出力され、出力端子 O B からは H i g h が出力される。また、シフトレジスタ段 S R 2 のシフト信号入力端子 S B には H i g h が入力され、リセット端子 R には L o w が入力されるが、出力端子 O の状態 O_{n-1} (タイミング Eの直前の状態) がクロック信号 C K 1 2 を出力する状態であったので、出力端子 O の状態 O_n (タイミング Eにおける状態) はクロック信号 C K 1 2 を出力する状態となり、出力端子 O B の状態 O B_n (タイミング Eにおける状態) はクロック信号 C K 1 2 のレベル反転信号を出力する状態となる。従って、全ての出力信号 O U T 1 · O U T 2 · ... は L o w となる。

40

【 0 0 6 5 】

次に、タイミング Dから、クロック信号 C K 1 2 が H i g h となるタイミング Fまでの間ににおいてスタートパルス S P 1 が H i g h から L o w へと設定される。これにより、シフトレジスタ段 S R 1 のシフト信号入力端子 S B には H i g h が入力され、リセット端子 R には L o w が入力されるが、シフトレジスタ段 S R 1 の出力端子 O の状態 O_{n-1} (スタートパルス S P 1 が L o w になる直前の状態) がクロック信号 C K 1 1 を出力する状態

50

であったので、出力端子O_n（スタートパルスS P 1がL o wになったときの状態）はクロック信号C K 1 1を出力する状態となり、出力端子O Bの状態O B_n（スタートパルスS P 1がL o wになったときの状態）はクロック信号C K 1 1のレベル反転信号を出力する状態となる。スタートパルスS P 1がL o wになったときには、クロック信号C K 1 1はL o wであるので、シフトレジスタ段S R 1の出力端子OからはL o wが出力され、出力端子O BからはH i g hが出力される。従って、シフトレジスタ段S R 2は引き続き、出力端子Oからクロック信号C K 1 2を出力し、出力端子O Bからクロック信号C K 1 2のレベル反転信号を出力する状態を維持することとなるので、タイミングDからタイミングFまでの間ににおいても、シフトレジスタ段S R 2の出力端子OからはL o wが出力され、出力端子O BからはH i g hが出力される。このようにして、全ての出力信号O U T 1・O U T 2・…はL o wのままである。なお、スタートパルスS P 1は、タイミングFと同時にL o wに設定されてもよい。

10

【0 0 6 6】

次に、タイミングFにおいてクロック信号C K 1 2がH i g hとなる。シフトレジスタ段S R 2の出力端子Oからはクロック信号C K 1 2が出力され、出力端子O Bからはクロック信号C K 1 2のレベル反転信号が出力される状態が続いているので、シフトレジスタ段S R 2の出力端子OからはH i g hが出力され、出力端子O BからはL o wが出力される。これにより、シフトレジスタ段S R 1のリセット端子RにH i g hが入力されるが、シフト信号入力端子S BにはH i g hが入力され続けているので、シフトレジスタ段S R 1はリセット状態となり、出力端子OからはL o wが出力され、出力端子O BからはH i g hが出力される。また、シフトレジスタ段S R 3のシフト信号入力端子S BにはL o wが入力されるため、シフトレジスタ段S R 3の出力端子Oからはクロック信号C K 1 1が出力され、出力端子O Bからはクロック信号C K 1 1のレベル反転信号が出力される。タイミングFにおいては、クロック信号C K 1 1はL o wであるので、シフトレジスタ段S R 3の出力端子OからはL o wが出力され、出力端子O BからはH i g hが出力される。従って、出力信号O U T 2はH i g hとなり、その他の出力信号O U T 1・O U T 3・O U T 4・…はL o wとなる。

20

【0 0 6 7】

次に、タイミングGにおいてクロック信号C K 1 2がL o wとなる。シフトレジスタ段S R 2の出力端子Oからはクロック信号C K 1 2が出力されるとともに、出力端子O Bからはクロック信号C K 1 2のレベル反転信号が出力される状態が続いているので、シフトレジスタ段S R 2の出力端子OからはL o wが出力され、出力端子O BからはH i g hが出力される。また、シフトレジスタ段S R 3のシフト信号入力端子S BにH i g hが入力され、リセット端子RにL o wが入力されるが、シフトレジスタ段S R 3の出力端子Oの状態O_{n-1}（タイミングGの直前の状態）がクロック信号C K 1 1を出力する状態であったので、出力端子Oの状態O_n（タイミングGにおける状態）はクロック信号C K 1 1を出力する状態となり、出力端子O Bの状態O B_n（タイミングGにおける状態）はクロック信号C K 1 1のレベル反転信号を出力する状態となる。タイミングGにおいてはクロック信号C K 1 1はL o wであるので、シフトレジスタ段S R 3の出力端子OからはL o wが出力され、出力端子O BからはH i g hが出力される。従って、全ての出力信号O U T 1・O U T 2・…はL o wとなる。

30

【0 0 6 8】

次に、タイミングHにおいてクロック信号C K 1 1がH i g hとなる。シフトレジスタ段S R 3の出力端子Oからはクロック信号C K 1 1が出力されるとともに、出力端子O Bからはクロック信号C K 1 1のレベル反転信号が出力される状態が続いているので、シフトレジスタ段S R 3の出力端子OからはH i g hが出力され、出力端子O BからはL o wが出力される。これにより、シフトレジスタ段S R 2のリセット端子RにH i g hが入力されるが、シフトレジスタ段S R 2のシフト信号入力端子S BにはH i g hが入力され続けているので、シフトレジスタ段S R 2はリセット状態となり、出力端子OからはL o wが出力され、出力端子O BからはH i g hが出力される。従って、出力信号O U T 3はH

40

50

i g h となり、その他の出力信号 OUT₁・OUT₂・OUT₄・…は *L o w* となる。

【0069】

以下、同様にして、出力信号 OUT₁ から順次 *H i g h* となる出力信号 OUT_n が出力される。これらの出力信号 OUT_n は互いに重なることがなく、走査信号線 GL に、 GL(1)・GL(2)・…の順で *H i g h* となる走査信号として供給される。*H i g h* の走査信号が供給された走査信号線 GL に接続されている画素 PIX の TFT_{2a} は一齊に導通し、その間に供給されるビデオ信号が画素電極に書き込まれることとなる。画素 PIX は、液晶容量 2b および補助容量 2c に、画素電極の電位と対向電極の電位との差に応じた電圧による充電がなされることにより、画像表示を行う。画素 PIX に蓄積された電荷は、走査信号が *L o w* となって TFT_{2a} が遮断されることにより、次の充電時まで保持される。

10

【0070】

なお、本実施の形態では、第 1 の動作モードにおいて、スタートパルス SP₁・SP₂ は、インバータ I₁ を介して必ずしも初段のシフトレジスタ段 SR₁ に入力される必要はなく、2 段目以降のシフトレジスタ段 SR のいずれかに入力されるようにすることも可能である。すなわち、スタートパルス SP₁・SP₂ は所定段のシフトレジスタ段 SR に入力されればよい。そのとき、出力信号 OUT_n は所定段から後段へ向って順次パルスを出力することになる。

20

【0071】

次に、図 7 を用いて、液晶表示装置 1 の電源遮断時の動作について説明する。

【0072】

液晶表示装置 1 の電源を遮断する指示が、液晶表示装置 1 に与えられる、あるいは液晶表示装置 1 内で発生すると、図 7 の所定のタイミングとして設定されたタイミング A において、放電制御信号 DIS が *L o w* に設定される。これにより、図 2(a) で示した構成を有する駆動信号源処理回路 6 により、クロック信号 CK₁₁・CK₁₂ およびスタートパルス SP₁ が全て *H i g h* に固定されるように設定される。

30

【0073】

これにより、図 3 において、全てのシフトレジスタ段 SR₁・SR₂・…のシフト信号入力端子 SB に *L o w* が入力される。従って、図 7 において、ゲートドライバ 3 の全ての出力信号 OUT₁・OUT₂・…は *H i g h* となり、これにより、全ての画素 PIX の TFT_{2a} を一齊に導通させることができる。また、ゲートドライバ 3 が上記シフトレジスタにさらに論理回路を備えている構成となっている場合には、シフトレジスタの出力信号が一齊に *H i g h* となることにより、全ての論理回路に同じ論理の入力が行われるので、論理回路の全ての出力信号を *H i g h* とすることができる。従って、この場合にも、*H i g h* の走査信号が全ての走査信号線 GL に出力されるので、全ての画素 PIX の TFT_{2a} を一齊に導通させることができる。

30

【0074】

ここで、電源遮断時にアナログスイッチ C₁・C₂・…を全て遮断しておくようにすると、液晶表示装置 1 はドット反転駆動あるいは走査信号線反転駆動を行っていたので、同一のデータ信号線 SL に接続された画素 PIX 間で正負の電荷の打ち消しあいを行うことができる。これにより、対向電極 COM が無電圧状態に移行するときに全画素 PIX 間でほぼ揃った表示となりながら終状態へと移行することが可能となる。従って、液晶表示装置 1 の電源遮断時に画面が乱れることを防止することができる。

40

【0075】

以上により、電源遮断時に画素からの放電を行っても、すなわち電源遮断時における画面の乱れを防止しても、放電を行うための回路、すなわち画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されない表示装置を実現することができる。

【0076】

次に、液晶表示装置 1 が、隣接するデータ信号線に接続された画素 PIX 同士で電荷の極性が異なるデータ信号線反転駆動を行う場合についての構成を説明する。なお、この構

50

成は、先のドット反転駆動および走査信号線反転駆動にも適用可能である。

【0077】

データ信号線反転駆動を行うための構成は、図1において、ソースドライバ4をゲートドライバ3と同様の構成とし、駆動信号源処理回路7を駆動信号源処理回路6と同様の構成とする。

【0078】

図8に示すように、ソースドライバ4の構成は、図3に示したゲートドライバ3の構成において、クロック信号CK11の入力端子をクロック信号CK21の入力端子に、クロック信号CK12の入力端子をクロック信号CK22の入力端子に、スタートパルスSP1の入力端子をスタートパルスSP2の入力端子にしたものである。この場合には、図8の出力端子OUT1・OUT2・…・OUTn・…は、順にアナログスイッチC1・C2・…・Cn・…の制御信号となる。

10

【0079】

駆動信号源処理回路7は、外部から入力されるクロック信号SCK1および放電制御信号DISからクロック信号CK21を生成し、また、外部から入力されるクロック信号SCK2および放電制御信号DISからクロック信号CK22を生成し、また、外部から入力されるソーススタートパルスSSPおよび放電制御信号DISからスタートパルスSP2を生成し、生成した各信号をソースドライバ4に入力する。放電制御信号DISは、駆動信号源処理回路6に使用するものと同じである。

20

【0080】

また、図2(a)において、クロック信号GCK1をクロック信号SCK1に、クロック信号GCK2をクロック信号SCK2に、ゲートスタートパルスGSPをソーススタートパルスSSPに、クロック信号CK11をクロック信号CK21に、クロック信号CK12をクロック信号CK22に、スタートパルスSP1をスタートパルスSP2に、それ置き換えれば、駆動信号源処理回路7の構成になる。

30

【0081】

図9、図10はソースドライバ4の動作を説明するタイミングチャートであり、順に図6、図7において、クロック信号CK11をクロック信号CK21に、クロック信号CK12をクロック信号CK22に、スタートパルスSP1をスタートパルスSP2に置き換えたものである。

30

【0082】

クロック信号(タイミング信号)CK21およびクロック信号(タイミング信号)CK22は、液晶表示装置1の通常動作時には、図9に示すように、互いに位相が異なっており、レベル変化を周期的に繰り返す2値周期信号である。ここではクロック信号CK21とクロック信号CK22とは互いにHigh期間が重ならない例が示されている。また、クロック信号CK21・CK22は、液晶表示装置1の電源遮断時直前には、図10に示すように、共にアクティブルレベル(ここではHigh)に固定される信号である。スタートパルスSP2は、液晶表示装置1の通常動作時には、図9に示すように、所定期間ごとに1つのパルスを有する信号であり、スタートパルスSP2に対しては当該所定期間は1垂直期間である。また、スタートパルスSP2は、液晶表示装置1の電源遮断時直前には、図10に示すように、アクティブルレベル(ここではHigh)に固定される信号である。

40

【0083】

図9および図10で表されるソースドライバ4の動作は、図6および図7で表されるゲートドライバ3の動作と同様である。

【0084】

液晶表示装置1の電源遮断時には、タイミングAにおいてソースドライバ4の全ての出力信号OUT1・OUT2・…はHighとなり、これにより、アナログスイッチ回路5の全てのアナログスイッチC1・C2・…が一斉に導通する。

50

【0085】

従って、ビデオ信号線 V S I G を対向電極 C O M に接続する動作を行うなどして、ビデオ信号線 V S I G に対向電極 C O M と同じ電位を与えることによって、全ての画素 P I X から全電荷を放電させることができる。ビデオ信号線 V S I G を対向電極 C O M に接続するようすれば、電源遮断時に、対向電極 C O M が G N D などの無電圧状態に移行するにつれて、画素電極の電位も対向電極 C O M の電位に追随して変化する。このように、全ての画素 P I X において、液晶に印加される電圧をゼロとするので、液晶パネル 2 が交流駆動されていても画素 P I X 間で液晶に印加される電圧のばらつきがなくなり、液晶表示装置 1 の電源遮断時に画面が乱れることを防止することができる。

【 0 0 8 6 】

以上により、電源遮断時に画素からの放電を行っても、放電を行うための回路により小型化や領域の有効活用を阻害されない表示装置を実現することができる。 10

【 0 0 8 7 】

また、上記例では画素 P I X からの放電を行うときに、ビデオ信号線 V S I G に対向電極 C O M の電位を与えたが、これに限らず、液晶に閾値電圧以下の電圧(表示に影響を与えない電圧)が印加されるような電位をビデオ信号線 V S I G に与えてもよい。これによつても、画像表示が行われなくなるため、液晶表示装置 1 の電源遮断時に画面が乱れることを防止することができる。

【 0 0 8 8 】

また、図 10 では、ソースドライバ 4 の出力信号を一斉に H i g h とするとともに、ゲートドライバ 3 の出力信号を一斉に H i g h とした。この場合には、液晶パネル 2 が、ドット反転駆動、走査信号線反転駆動、データ信号線反転駆動などの、いかなる交流駆動であつても、全画素 P I X の電荷状態を揃えるような放電が可能である。 20

【 0 0 8 9 】

また、上記正負の電荷の打ち消し合いを利用する構成の他の例として、ビデオ信号線 V S I G をデータ信号の供給先から開放するとともに、全てのアナログスイッチ C 1・C 2・...を導通させる構成も可能である。これによつても、全ての画素 P I X 間での正負の電荷の打ち消し合いが行われるため、ドット反転駆動、走査信号線反転駆動、データ信号線反転駆動などの、いかなる交流駆動であつても、対向電極 C O M が無電圧状態に移行するときに全画素 P I X 間でほぼ揃った表示となりながら終状態へと移行することが可能となる。従つて、液晶表示装置 1 の電源遮断時に画面が乱れることを防止することができる。 30

【 0 0 9 0 】

また、以上のような電源遮断時における画面の亂れを防止する構成を、電源投入時における画面の亂れを防止する構成としても使用することができる。電源投入直後は、ビデオ信号電位や対向電極電位、C s (補助容量)電極電位も不安定なため、画素部に意図しない電荷が蓄積されてしまう。これは、電源が確実に立ち上がっていないう状況では、回路のロジック制御が正常に行われないことによつて、ビデオ信号ラインから、不要な電荷が画素に流入したり、対向電極電位や C s 電極電位が不安定なため、対向電極と画素電極との間に電位差が生じてしまったりする(電荷を蓄積する)ことに起因している。そして、この現象は、表示上のノイズを発生する原因となる。これへの対処として、電源投入時に画素のスイッチング素子を導通させて電荷を瞬時に抜くことが有効であり、瞬間的に電荷が抜けるのであれば、人間の目には表示として見えなくなる。 40

【 0 0 9 1 】

その方法として、例えば、電源投入時に電源電圧が確定してからすぐに放電制御信号 D I S をアクティブにして第 2 の動作モードとすることにより画素の電荷を抜き、その後、放電制御信号 D I S を非アクティブにした後に通常の表示へと移行することが有効である。また、電源投入と同時に放電制御信号 D I S をアクティブにして第 2 の動作モードとし、電源が立ち上がり、パネル内回路のロジックが確定するまでこの放電制御信号 D I S のアクティブを継続し、電源電圧が確定した後に、放電制御信号 D I S を非アクティブにして、通常動作に移行することも有効である。

【 0 0 9 2 】

50

これら の方法であれば、ゲートドライバ 3 が、アクティブの放電制御信号 D I S に従つて、全走査信号線にアクティブの出力信号を出力すると、全アナログスイッチ C 1 · C 2 · ... が OFF している場合には同一のデータ信号線に接続されている画素間で電荷量が平均化されて全画素間で比較的良好に電荷量が揃い、全アナログスイッチ C 1 · C 2 · ... が一斉に ON する場合には全画素間で電荷量が平均化されて良好に電荷量が揃う。すなわち、任意の表示装置に対して、画素間で電荷量を揃えることができる。従って、電源投入してパネル内のロジックが確定した後の期間が長くなつても表示上意図しない表示が生じないため、表示上不安定な立ち上げを回避することが可能である。これにより、駆動回路の各出力に対応して NAND 回路などの余分な回路を設けることなく、電源遮断時や電源投入時における画面の乱れを防止することができる。

10

【 0 0 9 3 】

以上により、電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されない表示装置を実現することができる。

【 0 0 9 4 】

以上に述べた全ての構成において、信号の極性などは一例であつて、もちろん反転した論理でも本発明を実現することができる。例えば、クロック信号 G C K 1 · G C K 2 · S C K 1 · S C K 2 が入力される論理回路において、必要な極性の出力を導出するように構成を変更することは容易である。従って、同様に考えて、液晶表示装置 1 の電源遮断時に、クロック信号 G C K 1 · G C K 2 · S C K 1 · S C K 2 およびスタートパルス信号 S P 1 · S P 2 を全て L o w に固定するようにして画素 P I X の放電を行うようにしてもよい。この場合には、電源遮断に合わせて信号レベルを L o w とすればよいので、電源遮断直前に消費する電力を削減することができるとともに、電源遮断動作で信号を生成することができる。

20

【 0 0 9 5 】

また、液晶表示装置 1 の電源遮断時に、クロック信号 G C K 1 · G C K 2 · S C K 1 · S C K 2 およびスタートパルス信号 S P 1 · S P 2 を全て同じ極性に揃える必要はなく、画素 P I X 間で電荷量を揃えるための動作を行うのにアクティブな信号となればよい。

【 0 0 9 6 】

また、液晶表示装置 1 に、データ信号線を予備充電する予備充電回路あるいは図 12 に示すような放電回路 107 を備え、アナログスイッチ回路 5 を介して電源遮断時の画素 P I X の放電を行う代わりに、この予備充電回路あるいは図 12 に示すような放電回路 107 を介して画素 P I X の放電を行うようにしてもよい。

30

【 0 0 9 7 】

また、シフトレジスタに備えられる R S フリップフロップのリセット信号としては、任意のものが適用可能である。

【 0 0 9 8 】

また、以上の構成ではクロック信号（タイミング信号）を 2 相としたが、クロック信号（タイミング信号）は 3 相以上でも本発明を実施することができる。一般に、タイミング信号は、シフトレジスタの各段に対応した信号であればよい。これらのクロック信号のアクティブな期間は互いに重なついていてもよいし、重なつていなくてもよい。また、表示装置の第 1 の動作モードにおいて、シフトレジスタによるデータの転送を可能にする信号であればどのようなタイミング信号でも構わない。

40

【 0 0 9 9 】

図 11 (a) に、3 相のクロック信号（タイミング信号）C K 1 · C K 2 · C K 3 を用いる駆動回路の構成を示した。これは、図 3 の構成において、シフトレジスタ段 S R 1 · S R 2 · S R 3 · S R 4 · S R 5 · ... のクロック入力端子 C K に順に、クロック信号 C K 3 · C K 2 · C K 1 · C K 3 · C K 2 · ... のように一定の相順でクロック信号が入力されるようにしたものである。

【 0 1 0 0 】

図 11 (b) にクロック信号 C K 1 · C K 2 · C K 3 の波形を示す。クロック信号 C K

50

1・C K 2・C K 3は、液晶表示装置1の通常動作時には、互いに位相が異なっており、レベル変化を周期的に繰り返す2値周期信号である。ここではクロック信号C K 1とクロック信号C K 2とクロック信号C K 3とが互いにHigh期間が重ならない例が示されている。また、クロック信号C K 1・C K 2・C K 3は、液晶表示装置1の電源遮断時直前には、図7や図10と同様に、全てアクティブレベル（例えばHigh）に固定される。また、スタートパルスS PはスタートパルスS P 1やS P 2と同様の信号である。

【0101】

なお、本発明の表示装置は、上記駆動回路を用いて構成された走査信号線駆動回路を備え、上記走査信号線駆動回路は、上記第1の動作モードでは、上記出力信号を用いて、各走査信号線に順次出力されるパルスを有する走査信号を生成し、上記第2の動作モードでは、上記出力信号を用いて、全走査信号線に一斉に出力されるパルスを有する信号を生成するものであってもよい。

10

【0102】

上記の発明によれば、第2の動作モードを交流駆動の表示装置の電源遮断時に用いれば、同一のデータ信号線に接続されている画素の正極性の電荷と負極性の電荷との間で打ち消し合いを行うことができる。従って、ドット反転駆動や走査信号線反転駆動を行う表示装置において、電源遮断時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されないようにすることができるという効果を奏する。

20

【0103】

また、第2の動作モードを任意の表示装置の電源投入時に用いれば、同一のデータ信号線に接続されている画素間で電荷量の平均化を行うことができ、全画素の電荷量が比較的良好に揃う。従って、任意の表示装置において、電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されないようにすることができるという効果を奏する。

20

【0104】

また、本発明の表示装置は、上記駆動回路を用いて構成された、走査信号線駆動回路およびデータ信号線駆動回路を備え、上記走査信号線駆動回路は、上記第1の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、各走査信号線に順次出力されるパルスを有する走査信号を生成し、上記第2の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、全走査信号線に一斉に出力されるパルスを有する信号を生成し、上記データ信号線駆動回路は、上記第1の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、ビデオ信号線から各データ信号線へ順次データ信号を供給する動作に用い、上記第2の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、上記ビデオ信号線から全データ信号線に一斉に共通の電位を与える動作に用いるものであってよい。

30

【0105】

上記の発明によれば、第2の動作モードにおいて、全画素にビデオ信号線から共通の電位が与えられるので、全画素の印加電圧をほぼ揃えることができる。従って、任意の表示装置において、電源遮断時や電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されないようにすることができるという効果を奏する。

40

【0106】

また、本発明の表示装置は、上記駆動回路を用いて構成された、走査信号線駆動回路およびデータ信号線駆動回路を備え、上記走査信号線駆動回路は、上記第1の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、各走査信号線に順次出力されるパルスを有する走査信号を生成し、上記第2の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、全走査信号線に一斉に出力されるパルスを有する信号を生成し、上記データ信号線駆動回路は、上記第1の動

50

作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、ビデオ信号線から各データ信号線へ順次データ信号を供給する動作に用い、上記第2の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、上記ビデオ信号線から全データ信号線を遮断するとともに全データ信号線同士を導通させる動作に用いるものであってもよい。

【0107】

上記の発明によれば、第2の動作モードを交流駆動の表示装置の電源遮断時に用いれば、全画素間で正極性の電荷と負極性の電荷との打ち消し合いを行うことができる。従って、交流駆動を行うあらゆる表示装置において、電源遮断時や電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されないようにすることができるという効果を奏す。

10

【0108】

また、第2の動作モードを任意の表示装置の電源投入時に用いれば、全画素間で電荷量の平均化を行うことができる。従って、任意の表示装置に対して、電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されないようにすることができるという効果を奏す。

20

【0109】

本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。例えば、本実施の形態では表示装置として液晶表示装置を例に挙げたが、これに限らず、画素への充電により表示を行う表示装置に本発明は広く適用可能である。

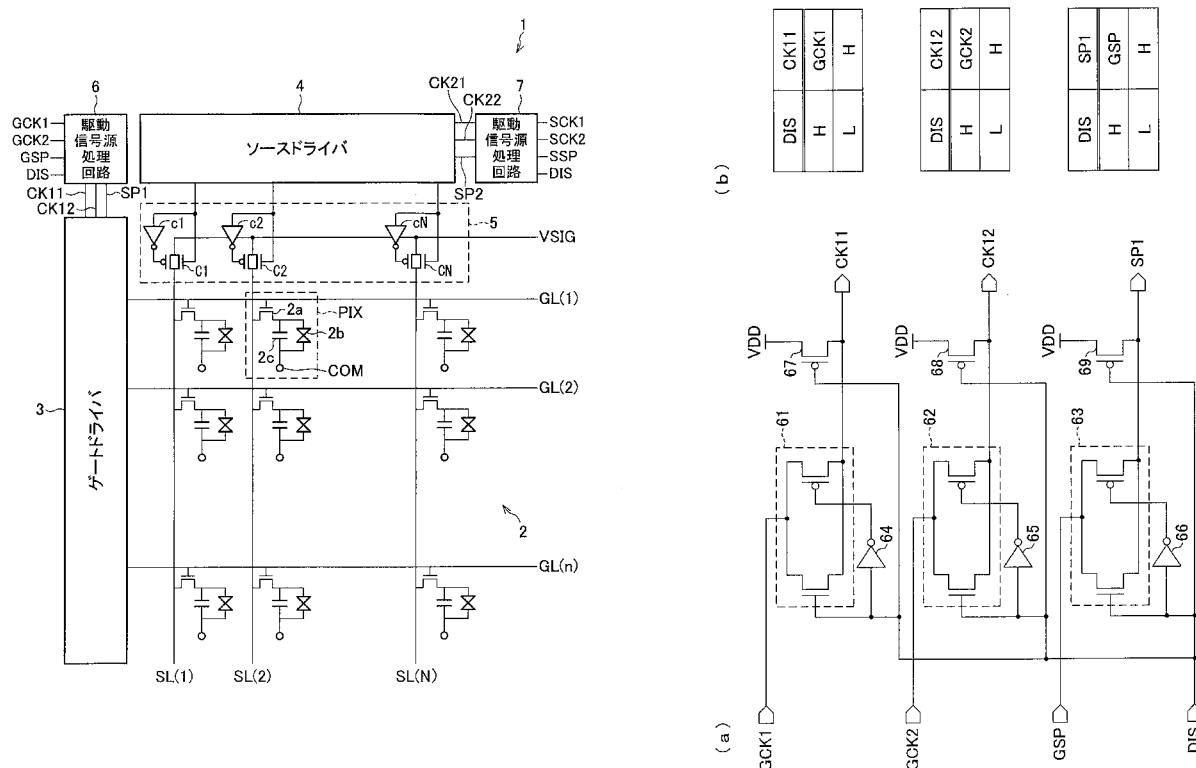
【産業上の利用の可能性】

【0110】

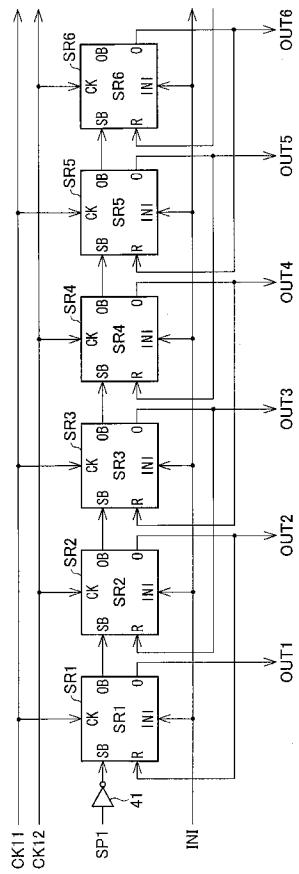
本発明は、液晶表示装置に好適に使用することができる。

【図1】

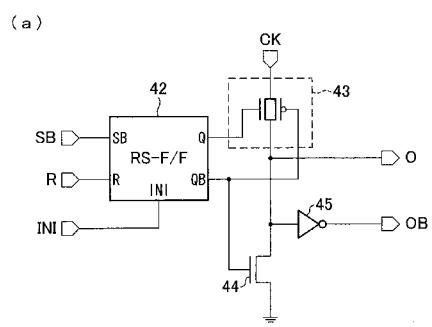
【図2】



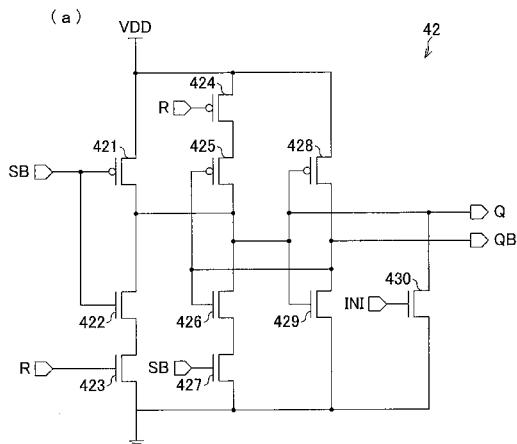
【図3】



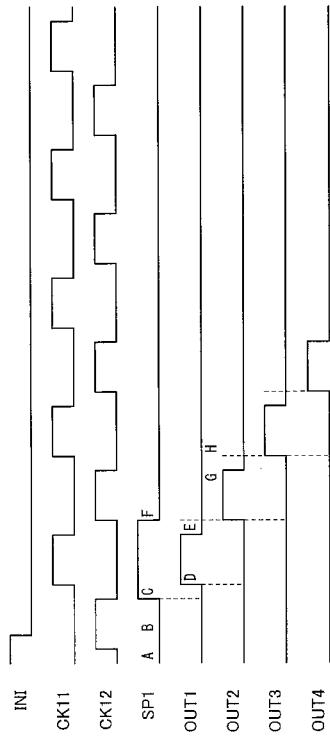
【図4】



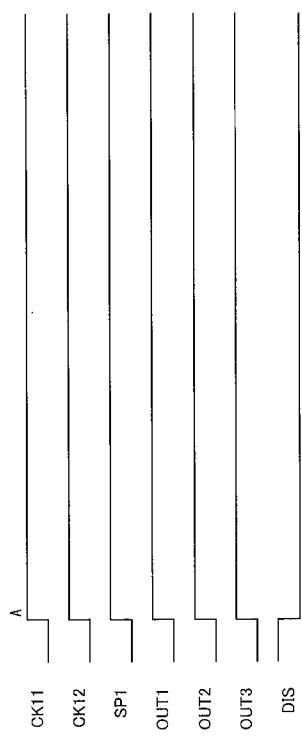
【図5】



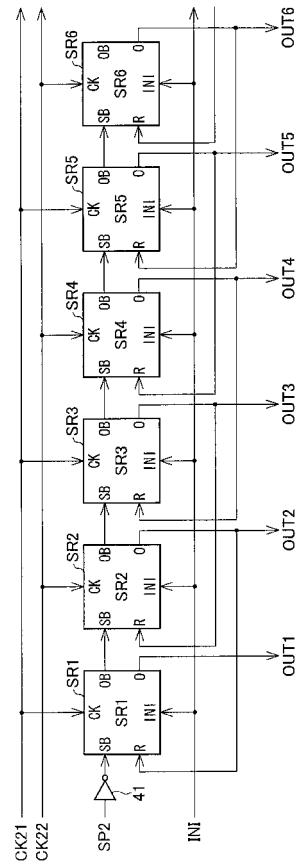
【図6】



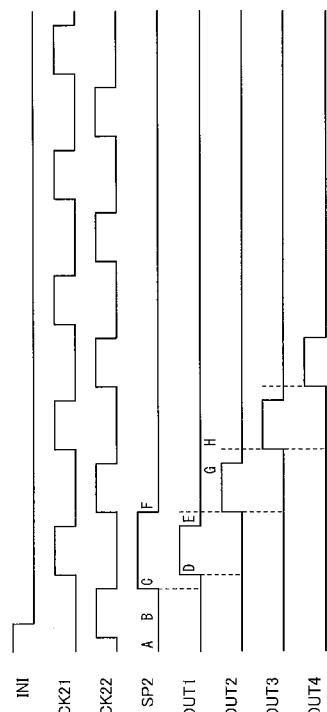
【図7】



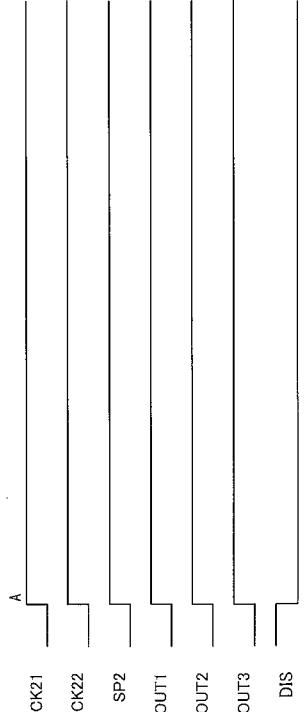
【図8】



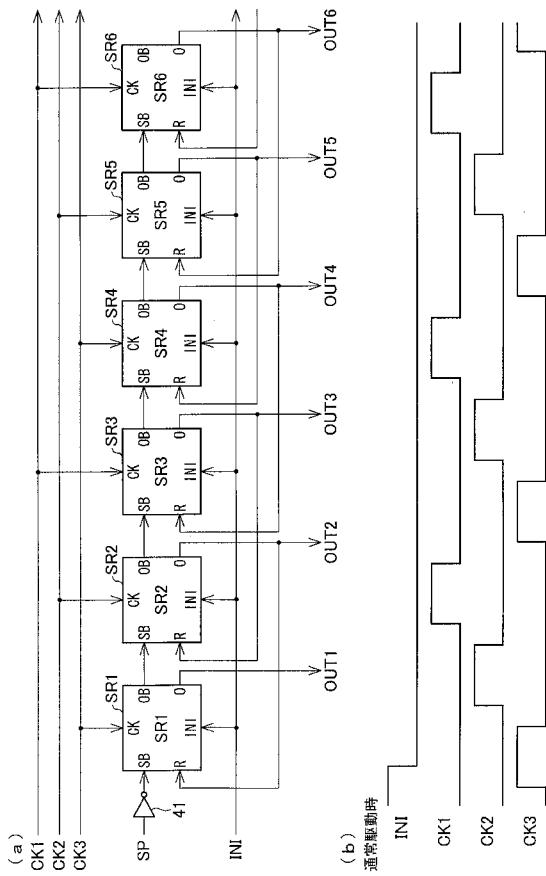
【図9】



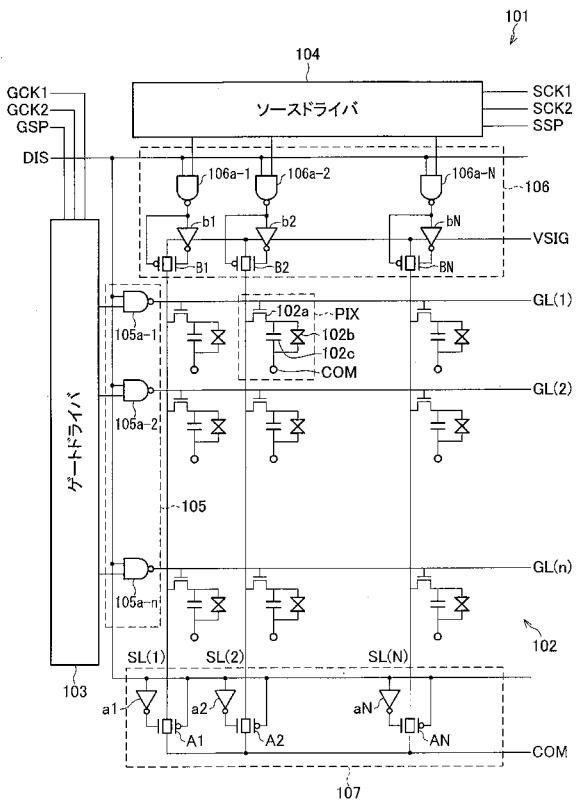
【図10】



【図 1 1】



【図 1 2】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2006/323906
A. CLASSIFICATION OF SUBJECT MATTER <i>G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <i>G09G3/36, G02F1/133, G09G3/20</i>		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007</i>		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-272490 A (Hitachi, Ltd.), 07 November, 1990 (07.11.90), Page 5, upper right column, line 18 to lower right column, line 5; Figs. 5 to 6 (Family: none)	1-5
Y	JP 2004-227751 A (Sharp Corp.), 12 August, 2004 (12.08.04), Par. No. [0098]; Fig. 21 & US 2004/0150610 A1 & EP 1445775 A1	1-5
Y	JP 8-62577 A (Hitachi, Ltd.), 08 March, 1996 (08.03.96), Par. Nos. [0018] to [0020]; Fig. 1 (Family: none)	3
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search 02 February, 2007 (02.02.07)	Date of mailing of the international search report 13 February, 2007 (13.02.07)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2006/323906
C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-295829 A (Seiko Epson Corp.), 15 October, 2003 (15.10.03), Par. Nos. [0092] to [0096]; Figs. 3, 6 & US 7098880 B2 & EP 1349141 A1	4

国際調査報告	国際出願番号 PCT/JP2006/323906											
<p>A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i</p>												
<p>B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/36, G02F1/133, G09G3/20</p>												
<p>最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年</p>												
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>												
<p>C. 関連すると認められる文献</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">引用文献の カテゴリー*</th> <th style="width: 60%;">引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th style="width: 30%;">関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>J P 2-272490 A (株式会社日立製作所) 1990. 1 1. 07, (5) 頁右上欄第18行-右下欄第5行, 第5-6図 (ファミリーなし)</td> <td>1-5</td> </tr> <tr> <td>Y</td> <td>J P 2004-227751 A (シャープ株式会社) 2004. 08. 12, 段落【0098】図21 & US 2004/01 50610 A1 & EP 1445775 A1</td> <td>1-5</td> </tr> </tbody> </table>				引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	Y	J P 2-272490 A (株式会社日立製作所) 1990. 1 1. 07, (5) 頁右上欄第18行-右下欄第5行, 第5-6図 (ファミリーなし)	1-5	Y	J P 2004-227751 A (シャープ株式会社) 2004. 08. 12, 段落【0098】図21 & US 2004/01 50610 A1 & EP 1445775 A1	1-5
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号										
Y	J P 2-272490 A (株式会社日立製作所) 1990. 1 1. 07, (5) 頁右上欄第18行-右下欄第5行, 第5-6図 (ファミリーなし)	1-5										
Y	J P 2004-227751 A (シャープ株式会社) 2004. 08. 12, 段落【0098】図21 & US 2004/01 50610 A1 & EP 1445775 A1	1-5										
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。										
<p>* 引用文献のカテゴリー</p> <p>「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p> <p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>												
国際調査を完了した日 02. 02. 2007		国際調査報告の発送日 13. 02. 2007										
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員）	2G 9509									
		濱本 稔広 電話番号 03-3581-1101 内線 3226										

国際調査報告		国際出願番号 PCT/JP2006/323906
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 8-62577 A (株式会社日立製作所) 1996. 03. 08, 段落【0018】-【0020】，図1 (ファミリーなし)	3
Y	J P 2003-295829 A (セイコーホームズ株式会社) 2003. 10. 15, 段落【0092】-【0096】，図3, 6 & U S 7098880 B2 & E P 1349141 A 1	4

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G	3/20 6 2 2 D
	G 0 9 G	3/20 6 2 3 C
	G 0 9 G	3/20 6 2 2 Q
	G 0 9 G	3/20 6 2 3 Y
	G 0 9 G	3/20 6 1 2 G
	G 0 9 G	3/20 6 7 0 D
	G 0 9 G	3/20 6 2 3 M
	G 0 9 G	3/20 6 1 2 L
	G 0 2 F	1/133 5 5 0

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,L,A,LC,LK,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

F ターム(参考)	2H093	NA16	NA34	NA80	NC10	NC12	NC18	NC22	NC34	NC35	ND49
	ND54										
2H193	ZA04	ZC20	ZE31	ZF22	ZF36	ZF59					
5C006	AA16	AC09	AC11	AC21	AC23	AC24	AC27	AC28	AF42	AF43	
	AF51	AF67	AF69	AF72	BB16	BC03	BC13	BF03	BF06	BF11	
	BF24	BF25	BF26	BF27	BF33	BF34	BF42	FA04	FA16	FA22	
	FA23	FA26	FA31	FA34	FA37	FA38	FA43	FA47			
5C080	AA10	BB05	DD05	DD06	DD12	DD22	DD26	DD28	EE26	EE29	
	FF03	FF11	JJ02	JJ03	JJ04						

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JPWO2007108177A1	公开(公告)日	2009-08-06
申请号	JP2008506163	申请日	2006-11-30
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	大河 寛幸 村上 祐一郎 辻野 幸生		
发明人	大河 寛幸 村上 祐一郎 辻野 幸生		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3677 G09G2310/0245 G09G2310/0286 G09G2330/027 G11C19/28		
FI分类号	G09G3/36 G09G3/20.623.H G09G3/20.622.E G09G3/20.624.A G09G3/20.623.D G09G3/20.622.D G09G3/20.623.C G09G3/20.622.Q G09G3/20.623.Y G09G3/20.612.G G09G3/20.670.D G09G3/20.623.M G09G3/20.612.L G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA34 2H093/NA80 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC22 2H093/NC34 2H093/NC35 2H093/ND49 2H093/ND54 2H193/ZA04 2H193/ZC20 2H193/ZE31 2H193/ZF22 2H193/ZF36 2H193/ZF59 5C006/AA16 5C006/AC09 5C006/AC11 5C006/AC21 5C006/AC23 5C006/AC24 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF51 5C006/AF67 5C006/AF69 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC13 5C006/BF03 5C006/BF06 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF33 5C006/BF34 5C006/BF42 5C006/FA04 5C006/FA16 5C006/FA22 5C006/FA23 5C006/FA26 5C006/FA31 5C006/FA34 5C006/FA37 5C006/FA38 5C006/FA43 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD12 5C080/DD22 5C080/DD26 5C080/DD28 5C080/EE26 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	2006081641 2006-03-23 JP		
其他公开文献	JP4782191B2		
外部链接	Espacenet		

摘要(译)

在液晶显示装置(1)中，通过使用异步RS触发器来配置源极驱动器(4)的移位寄存器，其中，到设定输入端子的有效输入优先于到复位端子的有效输入。在第二操作模式中，通过将第一和第二时钟信号以及起始脉冲固定为高，液晶面板(2)的所有像素(PIX)被放电。

