

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02007/108177

発行日 平成21年8月6日(2009.8.6)

(43) 国際公開日 平成19年9月27日(2007.9.27)

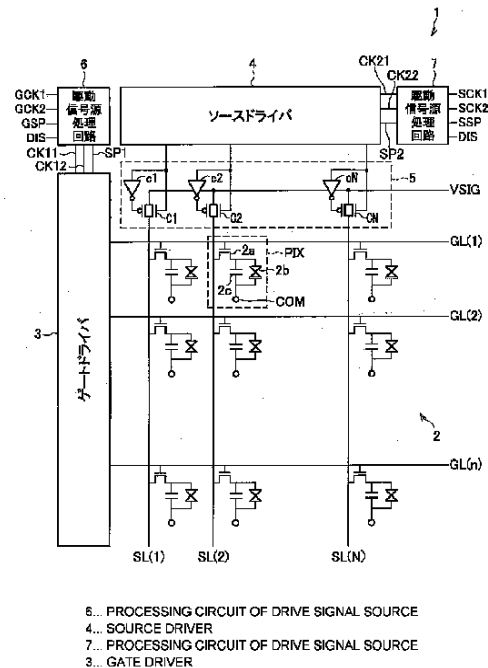
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623H	2H193
G02F 1/133 (2006.01)	G09G 3/20 622E	5C006
	G09G 3/20 624A	5C080
	G09G 3/20 623D	
審査請求 有 予備審査請求 未請求 (全 27 頁) 最終頁に続く		

出願番号	特願2008-506163 (P2008-506163)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2006/323906		シャープ株式会社
(22) 国際出願日	平成18年11月30日(2006.11.30)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2006-81641 (P2006-81641)	(74) 代理人	110000338
(32) 優先日	平成18年3月23日(2006.3.23)		特許業務法人原謙三国際特許事務所
(33) 優先権主張国	日本国(JP)	(72) 発明者	大河 寛幸
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	村上 祐一郎
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	辻野 幸生
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		最終頁に続く	

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

液晶表示装置(1)において、ソースドライバ(4)のシフトレジスタを、セット入力端子へのアクティブな入力がありセット端子へのアクティブな入力に優先する非同期型のRSフリップフロップを用いて構成する。第2の動作モードにおいて、第1および第2クロック信号とスタートパルスとをHighに固定することにより、液晶パネル(2)の全画素(PIX)からの放電を行う。



【特許請求の範囲】**【請求項 1】**

シフトレジスタを備えた駆動回路が上記シフトレジスタの出力信号を用いてアクティブマトリクス型の表示パネルを駆動する表示装置であって、

上記シフトレジスタは、上記シフトレジスタが有する縦続接続された各段が、データ保持に用いる回路として、セット入力端子へのアクティブな入力のリセット端子へのアクティブな入力に優先する RS フリップフロップを備え、

上記各段に対応したタイミング信号に従って、所定段の上記 RS フリップフロップの上記セット入力端子に入力された所定のパルスを順次後段へ伝達しながら、上記各段が上記出力信号を、上記所定段から順次、パルスとして出力する第 1 の動作モードと、

初段の上記 RS フリップフロップの上記セット入力端子にアクティブな入力を行って、全ての上記出力信号を一斉にアクティブにする第 2 の動作モードとを実行することを特徴とする表示装置。

【請求項 2】

上記駆動回路を用いて構成された走査信号線駆動回路を備え、

上記走査信号線駆動回路は、上記第 1 の動作モードでは、上記出力信号を用いて、各走査信号線に順次出力されるパルスを有する走査信号を生成し、上記第 2 の動作モードでは、上記出力信号を用いて、全走査信号線に一斉に出力されるパルスを有する信号を生成することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

上記駆動回路を用いて構成された、走査信号線駆動回路およびデータ信号線駆動回路を備え、

上記走査信号線駆動回路は、上記第 1 の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、各走査信号線に順次出力されるパルスを有する走査信号を生成し、上記第 2 の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、全走査信号線に一斉に出力されるパルスを有する信号を生成し、

上記データ信号線駆動回路は、上記第 1 の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、ビデオ信号線から各データ信号線へ順次データ信号を供給する動作に用い、上記第 2 の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、上記ビデオ信号線から全データ信号線に一斉に共通の電位を与える動作に用いることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

上記駆動回路を用いて構成された、走査信号線駆動回路およびデータ信号線駆動回路を備え、

上記走査信号線駆動回路は、上記第 1 の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、各走査信号線に順次出力されるパルスを有する走査信号を生成し、上記第 2 の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、全走査信号線に一斉に出力されるパルスを有する信号を生成し、

上記データ信号線駆動回路は、上記第 1 の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、ビデオ信号線から各データ信号線へ順次データ信号を供給する動作に用い、上記第 2 の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、上記ビデオ信号線から全データ信号線を遮断するとともに全データ信号線同士を導通させる動作に用いることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

縦続接続された各段が、データ保持に用いる回路として、セット入力端子へのアクティブな入力のリセット端子へのアクティブな入力に優先する RS フリップフロップを備えたシフトレジスタ、を備えた駆動回路が上記シフトレジスタの出力信号を用いてアクティブ

10

20

30

40

50

マトリクス型の表示パネルを駆動する表示装置の駆動方法であって、

上記各段に対応したタイミング信号に従って、所定段の上記ＲＳフリップフロップの上記セット入力端子に入力された所定のパルスを順次後段へ伝達しながら、上記各段が上記出力信号を、上記所定段から順次、パルスとして出力する第１の動作モードと、

初段の上記ＲＳフリップフロップの上記セット入力端子にアクティブな入力を行って、全ての上記出力信号を一斉にアクティブにする第２の動作モードとを実行することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、アクティブマトリクス型液晶表示装置などの、画素に充電を行うことにより表示を行う表示装置に関するものである。

【背景技術】

【０００２】

画素にＴＦＴを介して充電を行うことにより表示を行うアクティブマトリクス型液晶表示装置では、交流駆動を行う場合に、表示パネル上で正極性の電荷を蓄積する画素と負極性の電荷を蓄積する画素とが混在することになる。従って、この液晶表示装置の電源を遮断するときには、対向電極に対する各画素電極の電位が、電源遮断直前に正極性の電荷を蓄積していた画素と負極性の電荷を蓄積していた画素とで異なるため、液晶表示装置の駆動終了時に、データ信号線の電位と差の大きい方の電位となる極性の画素の電荷がデータ信号線に漏出しやすくなる。この結果、画素に印加される電圧にばらつきが生じて、画面に乱れが生じることがある。また、電源投入時にも電源が立ち上がる過程において、液晶表示装置の駆動回路のロジックが確定していない状態では、ビデオ信号線や対向電極に生じた電位によって画素に電荷が蓄積され、画面に乱れが生じることがある。

【０００３】

このような問題に対して、従来、図１２のような構成が提案されている（例えば特許文献１参照）。

【０００４】

図１２に示す液晶表示装置１０１は、液晶パネル１０２、ゲートドライバ１０３、ソースドライバ１０４、走査信号供給制御回路１０５、データ信号供給制御回路１０６、および、画素放電回路１０７を備えている。

【０００５】

液晶パネル１０２はアクティブマトリクス型の表示パネルであって、走査信号線ＧＬ（１）・ＧＬ（２）・…・ＧＬ（ｎ）・…とデータ信号線ＳＬ（１）・ＳＬ（２）・…・ＳＬ（Ｎ）・…とを互いに直交するように備えている。そして、それらの各交点に画素ＰＩＸが配置されている。画素ＰＩＸは、ＴＦＴ１０２ａ、液晶容量１０２ｂ、および、補助容量１０２ｃを備えている。ＴＦＴ１０２ａのゲート端子は当該画素ＰＩＸに対応する走査信号線ＧＬに接続されている。ＴＦＴ１０２ａの一方のソース／ドレイン端子は当該画素ＰＩＸに対応するデータ信号線ＳＬに接続されており、他方のソース／ドレイン端子は当該画素ＰＩＸの画素電極に接続されている。液晶容量１０２ｂと補助容量１０２ｃとは、画素ＰＩＸの画素電極と対向電極ＣＯＭとの間に互いに並列に接続されている。

【０００６】

ゲートドライバ１０３は、外部から入力されるクロック信号ＧＣＫ１・ＧＣＫ２およびゲートスタートパルスＧＳＰに従って、内部のシフトレジスタおよび論理回路により、各走査信号線ＧＬに出力する走査信号を生成するための信号を各段において生成する。ソースドライバ１０４は、外部から入力されるクロック信号ＳＣＫ１・ＳＣＫ２およびソーススタートパルス信号ＳＳＰに従って、内部のシフトレジスタにより、後述するデータ信号供給制御回路１０６が備えるアナログスイッチＢの制御信号を生成するための信号を各段において生成する。

【０００７】

10

20

30

40

50

走査信号供給制御回路 105 は、ゲートドライバ 103 が生成した走査信号と、外部から入力される放電制御信号 D I S との N A N D 演算を行う N A N D 回路 105 a - 1・105 a - 2・...・105 a - n・... を、順に、走査信号線 G L (1)・G L (2)・...・G L (n)・... に対応するように備えた回路である。

【 0 0 0 8 】

データ信号供給制御回路 106 は、ソースドライバ 104 が生成した信号と、外部から入力される上記放電制御信号 D I S との N A N D 演算を行う N A N D 回路 106 a - 1・106 a - 2・...・106 a - N・... を、順に、データ信号線 S L (1)・S L (2)・...・S L (N)・... に対応するように備えた回路である。データ信号供給制御回路 106 は、N A N D 回路 106 a - 1・106 a - 2・...・106 a - N・... が生成した信号を、順に制御信号とする C M O S 構成のアナログスイッチ B 1・B 2・...・B N・... を備えている。当該アナログスイッチ B の p チャネル型 M O S トランジスタのゲート端子には、対応する N A N D 回路 106 a が生成した信号が直接入力され、n チャネル型 M O S トランジスタのゲート端子には、N A N D 回路 106 a が生成した信号がインバータ b (N A N D 演算回路 106 a - 1・106 a - 2・...・106 a - N・... に順に対応するインバータ b 1・b 2・...・b N・...) でレベル反転されてから入力される。また、アナログスイッチ B 1・B 2・...・B N・... は、順に、データ信号線 S L (1)・S L (2)・...・S L (N)・... に対応しており、データ信号線 S L とビデオ信号線 V S I G との間の導通および遮断を行う。

10

【 0 0 0 9 】

画素放電回路 107 は、C M O S のアナログスイッチ A 1・A 2・...・A N・... を、順に、データ信号線 S L (1)・S L (2)・...・S L (N)・... に対応するように備えている。当該アナログスイッチ A の制御信号として上記放電制御信号 D I S が用いられる。アナログスイッチ A の n チャネル型 M O S トランジスタのゲートには、放電制御信号 D I S がインバータ a (データ信号線 S L (1)・S L (2)・...・S L (N)・... に順に対応するインバータ a 1・a 2・...・a N・...) によりレベル反転されて入力され、p チャネル型 M O S トランジスタのゲートには、放電制御信号 D I S が直接入力される。

20

【 0 0 1 0 】

上記の構成の液晶表示装置 101 において、通常動作時には放電制御信号 D I S が H i g h となる。このとき、画素放電回路 107 のアナログスイッチ A 1・A 2・...・A N・... は一斉に O F F 状態となり、データ信号供給制御回路 106 のアナログスイッチ B 1・B 2・...・B N・... は、ソースドライバ 104 の対応する段の出力信号が H i g h となったときに対応する N A N D 回路 106 a の出力信号が L o w となるために、順次 O N 状態となる。そして、ゲートドライバ 103 は L o w の信号を各段から順次出力するが、N A N D 回路 105 a はゲートドライバ 103 の対応する段の出力信号が L o w となったときに、対応する走査信号線 G L に H i g h の走査信号を出力する。これにより、T F T 102 a が O N 状態となった画素 P I X に、ビデオ信号線 V S I G から O N 状態のアナログスイッチ B を介してビデオ信号による充電が行われ、画像表示が行われる。

30

【 0 0 1 1 】

一方、液晶表示装置 101 の電源を遮断するとき、または電源を投入するときには、その直前に放電制御信号 D I S が L o w となる。これにより、データ信号供給制御回路 106 の N A N D 回路 106 a - 1・106 a - 2・...・106 a - N・... の出力信号が一斉に H i g h となるので、アナログスイッチ B 1・B 2・...・B N・... は一斉に O F F 状態になる。また、画素放電回路 107 のアナログスイッチ A 1・A 2・...・A N・... は一斉に O N 状態となる。さらに、走査信号供給制御回路 105 の N A N D 回路 105 a - 1・105 a - 2・...・105 a - n・... の出力信号が一斉に H i g h となるので、各画素 P I X の T F T 102 a が一斉に O N 状態になる。

40

【 0 0 1 2 】

これにより、各画素 P I X の画素電極側が対向電極 C O M に接続されるため、各画素 P I X は一斉に放電 (対向電極 C O M からの充電と呼ぶこともできる。) を行う。従って、

50

各画素 P I X の液晶容量 1 0 2 b および補助容量 1 0 2 c の印加電圧はゼロとなり、液晶表示装置 1 0 1 の電源遮断時や電源投入時における画面の乱れを防止することができる。

【特許文献 1】特開 2 0 0 0 - 3 4 7 6 2 7 号公報 (2 0 0 0 年 1 2 月 1 5 日公開)

【特許文献 2】特開 2 0 0 4 - 4 5 7 8 5 号公報 (2 0 0 4 年 2 月 1 2 日公開)

【発明の開示】

【 0 0 1 3 】

しかしながら、上記従来の液晶表示装置 1 0 1 の構成では、電源遮断時や電源投入時における画面の乱れを防止するために、N A N D 回路 1 0 5 a - 1 ・ 1 0 5 a - 2 ・ ... ・ 1 0 5 a - n ・ ... および N A N D 回路 1 0 6 a - 1 ・ 1 0 6 a - 2 ・ ... ・ 1 0 6 a - N ・ ... を備えているので、これらの回路のスペースが必要になる。従って、液晶表示装置の小型化や領域の有効活用に制約が生じるという問題がある。

10

【 0 0 1 4 】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、電源遮断時や電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されない表示装置、およびその駆動方法を実現することにある。

【 0 0 1 5 】

本発明の表示装置は、上記課題を解決するために、シフトレジスタを備えた駆動回路が上記シフトレジスタの出力信号を用いてアクティブマトリクス型の表示パネルを駆動する表示装置であって、上記シフトレジスタは、上記シフトレジスタが有する縦続接続された各段が、データ保持に用いる回路として、セット入力端子へのアクティブな入力が入リセット端子へのアクティブな入力に優先する R S フリップフロップを備え、上記各段に対応したタイミング信号に従って、所定段の上記 R S フリップフロップの上記セット入力端子に入力された所定のパルスを順次後段へ伝達しながら、上記各段が上記出力信号を、上記所定段から順次、パルスとして出力する第 1 の動作モードと、初段の上記 R S フリップフロップの上記セット入力端子にアクティブな入力を行って、全ての上記出力信号を一斉にアクティブにする第 2 の動作モードとを実行することを特徴としている。

20

【 0 0 1 6 】

上記の発明によれば、セット入力端子へのアクティブな入力が入リセット端子へのアクティブな入力に優先する R S フリップフロップを用いて、第 1 の動作モードではパルスの順次出力による表示装置の通常表示動作を行うことができるとともに、第 2 の動作モードでは、セット入力端子へのアクティブな入力が入リセット端子へのアクティブな入力に優先することを用いて、アクティブな出力信号の一斉出力を行うことができる。第 2 の動作モードを例えば電源遮断時に用いれば、交流駆動を行う表示装置に対して、画素からの放電や、画素間での正極性の電荷と負極性の電荷との打ち消し合いを行うことができる。また、第 2 の動作モードを電源投入時に用いれば、任意の表示装置に対して、画素間で電荷量を揃えることができる。従って、第 2 の動作モードにより、駆動回路の各出力に対応して N A N D 回路などの余分な回路を設けることなく、電源遮断時や電源投入時における画面の乱れを防止することができる。

30

【 0 0 1 7 】

以上により、電源遮断時や電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されない表示装置を実現することができるという効果を奏する。

40

【 0 0 1 8 】

本発明の表示装置の駆動方法は、上記課題を解決するために、縦続接続された各段が、データ保持に用いる回路として、セット入力端子へのアクティブな入力が入リセット端子へのアクティブな入力に優先する R S フリップフロップを備えたシフトレジスタ、を備えた駆動回路が上記シフトレジスタの出力信号を用いてアクティブマトリクス型の表示パネルを駆動する表示装置の駆動方法であって、上記各段に対応したタイミング信号に従って、所定段の上記 R S フリップフロップの上記セット入力端子に入力された所定のパルスを順次後段へ伝達しながら、上記各段が上記出力信号を、上記所定段から順次、パルスとして

50

出力する第 1 の動作モードと、初段の上記 RS フリップフロップの上記セット入力端子にアクティブな入力を行って、全ての上記出力信号を一斉にアクティブにする第 2 の動作モードとを実行することを特徴としている。

【0019】

上記の発明によれば、セット入力端子へのアクティブな入力のリセット端子へのアクティブな入力に優先する RS フリップフロップを用いて、第 1 の動作モードではパルスの順次出力による表示装置の通常表示動作を行うことができるとともに、第 2 の動作モードでは、セット入力端子へのアクティブな入力のリセット端子へのアクティブな入力に優先することを用いて、アクティブな出力信号の一斉出力を行うことができる。第 2 の動作モードを例えば電源遮断時に用いれば、交流駆動を行う表示装置に対して、画素からの放電や、画素間での正極性の電荷と負極性の電荷との打ち消し合いを行うことができる。また、第 2 の動作モードを電源投入時に用いれば、任意の表示装置に対して、画素間で電荷量を揃えることができる。従って、第 2 の動作モードにより、駆動回路の各出力に対応して NAND 回路などの余分な回路を設けることなく、電源遮断時や電源投入時における画面の乱れを防止することができる。

10

【0020】

以上により、電源遮断時や電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されない表示装置の駆動方法を実現することができるという効果を奏する。

【0021】

本発明のさらに他の目的、特徴、および優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利益は、添付図面を参照した次の説明で明白になるであろう。

20

【図面の簡単な説明】

【0022】

【図 1】本発明の実施形態を示すものであり、液晶表示装置の要部構成を示す回路ブロック図である。

【図 2】(a) は図 1 の液晶表示装置が備える駆動信号源処理回路の構成を示す回路図、(b) は (a) の真理値表である。

【図 3】図 1 の液晶表示装置が備えるゲートドライバの構成を示す回路ブロック図である。

30

【図 4】(a) は図 3 (a) のゲートドライバが備えるシフトレジスタの各段の構成を示す回路ブロック図、(b) は (a) の真理値表である。

【図 5】(a) は図 4 (a) のシフトレジスタの各段が備える RS フリップフロップの構成を示す回路図、(b) は (a) の真理値表である。

【図 6】図 3 のゲートドライバの第 1 の動作モードにおける動作を示すタイミングチャートである。

【図 7】図 3 のゲートドライバの第 2 の動作モードにおける動作を示すタイミングチャートである。

【図 8】図 1 の液晶表示装置が備えるソースドライバの構成を示す回路ブロック図である。

40

【図 9】図 8 のソースドライバの第 1 の動作モードにおける動作を示すタイミングチャートである。

【図 10】図 8 のソースドライバの第 2 の動作モードにおける動作を示すタイミングチャートである。

【図 11】(a) は駆動回路の変形例の構成を示す回路ブロック図、(b) は (a) の回路ブロックに用いるクロック信号の波形図である。

【図 12】従来技術を示すものであり、液晶表示装置の要部構成を示す回路ブロック図である。

【符号の説明】

50

【 0 0 2 3 】

- 1 液晶表示装置（表示装置）
- 2 液晶パネル（表示パネル）
- 3 ゲートドライバ（走査信号線駆動回路、駆動回路）
- 4 ソースドライバ（データ信号線駆動回路、駆動回路）

【発明を実施するための最良の形態】

【 0 0 2 4 】

以下、実施例および比較例により、本発明をさらに詳細に説明するが、本発明はこれらにより何ら限定されるものではない。

【 0 0 2 5 】

本発明の一実施形態について図 1 ないし図 7 に基づいて説明すると以下の通りである。

【 0 0 2 6 】

図 1 に、本実施の形態に係る液晶表示装置（表示装置）1 の構成を示す。液晶表示装置 1 は、液晶パネル 2、ゲートドライバ 3、ソースドライバ 4、アナログスイッチ回路 5、および、駆動信号源処理回路 6・7 を備えている。なお、駆動信号源駆動回路 6・7 は液晶パネル 2 の一部として設けられていてもよい。

【 0 0 2 7 】

この液晶表示装置 1 は、液晶パネル 2 を、上下左右に隣接する画素 P I X 同士で電荷の極性を異ならせるドット反転駆動、あるいは、隣接する走査信号線に接続された画素 P I X 同士で電荷の極性を異ならせる走査信号線反転駆動により交流駆動する。

【 0 0 2 8 】

液晶パネル 2 はアクティブマトリクス型の表示パネルであって、走査信号線 G L (1) ・ G L (2) ・ ... ・ G L (n) ・ ... とデータ信号線 S L (1) ・ S L (2) ・ ... ・ S L (N) ・ ... とを互いに直交するように備えている。そして、それらの各交点に画素 P I X が配置されている。画素 P I X は、T F T 2 a、液晶容量 2 b、および、補助容量 2 c を備えている。T F T 2 a のゲート端子は当該画素 P I X に対応する走査信号線 G L に接続されている。T F T 2 a の一方のソース/ドレイン端子は当該画素 P I X に対応するデータ信号線 S L に接続されており、他方のソース/ドレイン端子は当該画素 P I X の画素電極に接続されている。液晶容量 2 b と補助容量 2 c とは、画素 P I X の画素電極と対向電極 C O M との間に互いに並列に接続されている。

【 0 0 2 9 】

ゲートドライバ（走査信号線駆動回路）3 は、後述する駆動信号源処理回路 6 から入力されるクロック信号 C K 1 1 ・ C K 1 2 およびスタートパルス S P 1 に従って、内部のシフトレジスタにより、あるいは、シフトレジスタにさらに論理回路を追加した構成により、各走査信号線 G L に出力する走査信号を各段において生成する。クロック信号（タイミング信号）C K 1 1 およびクロック信号（タイミング信号）C K 1 2 は、液晶表示装置 1 の通常動作時には、図 6 に示すように、互いに位相が異なっており、レベル変化を周期的に繰り返す 2 値周期信号である。ここではクロック信号 C K 1 1 とクロック信号 C K 1 2 とは互いに H i g h 期間が重ならない例が示されている。また、クロック信号 C K 1 1 ・ C K 1 2 は、液晶表示装置 1 の電源遮断時直前には、図 7 に示すように、共にアクティブレベル（ここでは H i g h ）に固定される信号である。スタートパルス S P 1 は、液晶表示装置 1 の通常動作時には、図 6 に示すように、所定期間ごとに 1 つのパルスを有する信号であり、スタートパルス S P 1 に対しては当該所定期間は 1 垂直期間である。また、スタートパルス S P 1 は、液晶表示装置 1 の電源遮断時直前には、図 7 に示すように、アクティブレベル（ここでは H i g h ）に固定される信号である。

【 0 0 3 0 】

ソースドライバ（データ信号線駆動回路）4 は、後述する駆動信号源処理回路 7 から入力されるクロック信号 C K 2 1 ・ S C K 2 2 およびスタートパルス信号 S P 2 に従って、内部のシフトレジスタにより、後述するアナログスイッチ回路 5 が備えるアナログスイッチ C の制御信号を各段において生成する。

【 0 0 3 1 】

アナログスイッチ回路 5 は、ソースドライバ 4 の各段の出力に一つずつ対応するように、CMOS のアナログスイッチ $C1 \cdot C2 \cdot \dots \cdot CN \cdot \dots$ を備えている。各アナログスイッチ C の p チャネル型 MOS トランジスタのゲートには、ソースドライバ 4 の対応する段の出力信号がインバータ c (アナログスイッチ $C1 \cdot C2 \cdot \dots \cdot CN \cdot \dots$ に順にインバータ $c1 \cdot c2 \cdot \dots \cdot cN \cdot \dots$ が対応する) によってレベル反転されて入力され、n チャネル型 MOS トランジスタのゲートにはソースドライバ 4 の対応する段の出力信号が直接入力される。また、アナログスイッチ $C1 \cdot C2 \cdot \dots \cdot CN \cdot \dots$ は、順に、データ信号線 $SL(1) \cdot SL(2) \cdot \dots \cdot SL(N) \cdot \dots$ に対応しており、対応するデータ信号線 SL と、ビデオ信号線 $VSIG$ との間の導通および遮断を行う。ビデオ信号線 $VSIG$ にはデータ信号が供給され、導通したアナログスイッチに接続されているデータ信号線 SL を介して、走査信号により選択されている画素 PIX に書き込まれる。

10

【 0 0 3 2 】

駆動信号源処理回路 6 は、外部から入力されるクロック信号 $GCK1$ および放電制御信号 DIS からクロック信号 $CK11$ を生成し、また、外部から入力されるクロック信号 $GCK2$ および上記放電制御信号 DIS からクロック信号 $CK12$ を生成し、また、外部から入力されるゲートスタートパルス GSP および放電制御信号 DIS からスタートパルス $SP1$ を生成し、生成した各信号をゲートドライバ 3 に入力する。放電制御信号 DIS は、液晶表示装置 1 の通常動作時には $High$ に固定され、液晶表示装置 1 の電源遮断時直前には、図 7 に示すように Low に固定される信号である。

20

【 0 0 3 3 】

駆動信号源処理回路 7 は、外部から入力されるクロック信号 $SCK1$ からクロック信号 $CK21$ を生成し、また、外部から入力されるクロック信号 $SCK2$ からクロック信号 $CK22$ を生成し、また、外部から入力されるソーススタートパルス SSP からスタートパルス $SP2$ を生成し、生成した各信号をソースドライバ 4 に入力する。放電制御信号 DIS は、別の構成で使用する信号であり、ここでは説明しない。

【 0 0 3 4 】

また、上記駆動信号源処理回路 6 と上記駆動信号源処理回路 7 とを 1 箇所にとめて配置することも可能である。

【 0 0 3 5 】

図 2 (a) に、駆動信号源処理回路 6 の構成を示す。

30

【 0 0 3 6 】

駆動信号源処理回路 6 は、CMOS のアナログスイッチ $61 \cdot 62 \cdot 63$ 、インバータ $64 \cdot 65 \cdot 66$ 、および、p チャネル型の MOS トランジスタ $67 \cdot 68 \cdot 69$ を備えている。

【 0 0 3 7 】

アナログスイッチ 61 はクロック信号 $GCK1$ の入力端子とクロック信号 $CK11$ の出力端子との間の導通および遮断を行う。アナログスイッチ 62 はクロック信号 $GCK2$ の入力端子とクロック信号 $CK12$ の出力端子との間の導通および遮断を行う。アナログスイッチ 63 はゲートスタートパルス GSP の入力端子とスタートパルス $SP1$ の出力端子との間の導通および遮断を行う。アナログスイッチ $61 \sim 63$ のそれぞれの制御信号には放電制御信号 DIS を用いる。アナログスイッチ $61 \sim 63$ の各 n チャネル型 MOS トランジスタのゲートには放電制御信号 DIS が直接入力される。アナログスイッチ 61 の p チャネル型 MOS トランジスタのゲートには放電制御信号 DIS をインバータ 64 でレベル反転した信号が、また、アナログスイッチ 62 の p チャネル型 MOS トランジスタのゲートには放電制御信号 DIS をインバータ 65 でレベル反転した信号が、アナログスイッチ 63 の p チャネル型 MOS トランジスタのゲートには放電制御信号 DIS をインバータ 66 でレベル反転した信号が、それぞれ入力される。

40

【 0 0 3 8 】

MOS トランジスタ 67 のソースは電源 VDD に接続されており、ドレインはクロック

50

信号 C K 1 1 の出力端子に接続されている。M O S トランジスタ 6 8 のソースは電源 V D D に接続されており、ドレインはクロック信号 C K 1 2 の出力端子に接続されている。M O S トランジスタ 6 9 のソースは電源 V D D に接続されており、ドレインはスタートパルス S P 1 の出力端子に接続されている。

【 0 0 3 9 】

図 2 (b) に、放電制御信号 D I S が H i g h のときと L o w のときとで、クロック信号 C K 1 1、クロック信号 C K 1 2、および、スタートパルス S P 1 として、どのような信号が出力されるのかを記載した真理値表を示す。液晶表示装置 1 の通常動作時には、放電制御信号 D I S は H i g h であり、クロック信号 C K 1 1 としてクロック信号 G C K 1 が、クロック信号 C K 1 2 としてクロック信号 G C K 2 が、スタートパルス S P 1 としてゲートスタートパルス G S P が、それぞれ出力される。液晶表示装置 1 の電源遮断時直前には、放電制御信号 D I S は L o w であり、クロック信号 C K 1、クロック信号 C K 2、および、スタートパルス S P 1 は全て H i g h になる。尚、アナログスイッチ 6 1 ~ 6 3 はレベルシフト機能を有するものであっても良い。

10

【 0 0 4 0 】

次に、図 3 に、ゲートドライバ 3 の構成を示す。

【 0 0 4 1 】

ゲートドライバ 3 はシフトレジスタで構成されており、インバータ 4 1 およびシフトレジスタ段 S R 1・S R 2・... を備えている。シフトレジスタ段 S R 1・S R 2・... は、シフトレジスタの各段を構成しており、初段から順に S R 1・S R 2・... と縦続接続されている。各シフトレジスタ段 S R は、シフト信号入力端子 S B、出力端子 O・O B、クロック信号入力端子 C K、リセット入力端子 R、および、イニシャルリセット入力端子 I N I を備えている。シフト信号入力端子 S B は後述する R S フリップフロップのローアクティブのセット入力端子であり、リセット入力端子 R は当該 R S フリップフロップのリセット入力端子である。クロック信号入力端子 C K は、奇数段のシフトレジスタ段 S R (S R 1・S R 3・...) においては駆動信号源処理回路 6 から出力されたクロック信号 C K 1 1 が入力される端子であり、偶数段のシフトレジスタ段 S R (S R 2・S R 4・...) においては駆動信号源処理回路 6 から出力されたクロック信号 C K 1 2 が入力される端子である。

20

【 0 0 4 2 】

各シフトレジスタ段 S R は、シフト信号入力端子 S B に L o w の信号が入力されると、クロック入力端子 C K に入力されている信号を出力端子 O から出力信号 O U T (初段から順に O U T 1・O U T 2・...) として出力し、クロック入力端子 C K に入力されている信号のレベル反転信号を出力端子 O B から出力する。各出力信号 O U T は、ゲートドライバ 3 の出力信号である走査信号としてゲート信号線 G L に出力される。出力端子 O B から出力された信号は、次段のシフトレジスタ段 S R のシフト信号入力端子 S B に入力される。また、リセット入力端子 R には、次段のシフトレジスタ段 S R の出力端子 O から出力された信号が入力される。

30

【 0 0 4 3 】

インバータ 4 1 は初段のシフトレジスタ段 S R 1 の前に設けられており、駆動信号源処理回路 6 から出力されたスタートパルス S P 1 のレベル反転信号を生成してシフトレジスタ段 S R 1 の S B 端子に入力する。

40

【 0 0 4 4 】

なお、ゲートドライバ 3 を、上記出力信号 O U T 1・O U T 2・... をさらに論理回路に入力して走査信号を生成する構成とすることもできる。

【 0 0 4 5 】

次に、図 4 (a) に、各シフトレジスタ段 S R の構成を示す。

【 0 0 4 6 】

シフトレジスタ段 S R は、非同期型の R S フリップフロップ 4 2、C M O S のアナログスイッチ 4 3、n チャネル型の M O S トランジスタ 4 4、および、インバータ 4 5 を備えている。

50

【 0 0 4 7 】

R S フリップフロップ 4 2 はシフトレジスタ段 S R のデータ保持に用いる回路であり、セット入力端子 S B、出力端子 Q・Q B、リセット入力端子 R、および、イニシャルリセット入力端子 I N I を備えている。セット入力端子 S B は前述のシフトレジスタ段 S R のシフト信号入力端子 S B に等しい。また、リセット入力端子 R、イニシャルリセット入力端子 I N I は、順に、シフトレジスタ段 S R のリセット入力端子 R、イニシャルリセット入力端子 I N I に等しい。なお、セットとは、出力端子 Q の信号をアクティブにすることを指す。

【 0 0 4 8 】

アナログスイッチ 4 3 は、クロック信号入力端子 C K と、シフトレジスタ段 S R の出力端子 O およびインバータ 4 5 の入力端子との間の導通および遮断を行う。アナログスイッチ 4 3 の n チャネル型 M O S トランジスタのゲートには、R S フリップフロップ 4 2 の出力端子 Q からの出力信号が入力され、p チャネル型 M O S トランジスタのゲート端子には、R S フリップフロップ 4 2 の出力端子 Q B からの出力信号が入力される。インバータ 4 5 の出力端子は、シフトレジスタ段 S R の出力端子 O B となっている。M O S トランジスタ 4 4 のドレイン端子は、出力端子 O およびインバータ 4 5 の入力端子に接続されており、ソースは G N D に接続されている。M O S トランジスタ 4 4 のゲート端子には、R S フリップフロップ 4 2 の出力端子 Q B からの出力信号が入力される。

【 0 0 4 9 】

図 4 (b) に、シフト信号入力端子 (セット入力端子) S B への入力信号およびリセット入力端子 R への入力信号に対する、出力端子 O・O B からの出力信号の真理値表を示す。

【 0 0 5 0 】

R S フリップフロップ 4 2 では、セット入力端子 S B へのアクティブ信号の入力がリセット端子 R へのアクティブ信号の入力に優先する構成となっており、同表に示すように、セット入力端子 S B に L o w が入力されていれば、リセット入力端子 R に L o w が入力されているときのみならず、H i g h が入力されているときにも、出力端子 Q からは H i g h、出力端子 Q B からは L o w がそれぞれ出力される (後述の図 5 (b) 参照)。これにより、出力端子 O (表中 O_n) からはクロック信号入力端子 C K への入力信号が、また、出力端子 O B (表中 O B_n) からはクロック信号入力端子 C K への入力信号の反転信号 (表では C K B と表記) がそれぞれ出力される。

【 0 0 5 1 】

また、セット入力端子 S B に H i g h が入力され、リセット端子 R に H i g h が入力されているときには、出力端子 Q からは L o w が、出力端子 Q B からは H i g h がそれぞれ出力される (後述の図 5 (b) 参照)。これにより、出力端子 O からは L o w が、出力端子 O B からは H i g h がそれぞれ出力される。セット入力端子 S B に H i g h が入力され、リセット端子 R に L o w が入力されているときには、出力端子 Q にはそれ以前の出力端子 Q の状態 Q_{n-1} がそのまま出力される (後述の図 5 (b) 参照)。これにより、第 1 の状態として Q_{n-1} が L o w であれば、出力端子 O の以前の状態 O_{n-1} が L o w となり、出力端子 O (O_n) からは L o w が、出力端子 O B (O B_n) からは H i g h がそれぞれ出力される。また、第 2 の状態として Q_{n-1} が H i g h であれば、出力端子 O の以前の状態 O_{n-1} がクロック信号入力端子 C K への入力信号を出力する状態 (表中 C K) となり、出力端子 O (O_n) からはクロック信号入力端子 C K への入力信号 (表中 C K) が、出力端子 O B (O B_n) からはクロック信号入力端子 C K への入力信号の反転信号 (表では C K B と表記) がそれぞれ出力される。

【 0 0 5 2 】

なお、アナログスイッチ 4 3 の箇所を、レベルシフタや論理回路を用いた回路として、同様の論理を導出することも可能である。

【 0 0 5 3 】

次に、図 5 (a) に R S フリップフロップ 4 2 の構成を示す。

【 0 0 5 4 】

R S フリップフロップ 4 2 は、M O S トランジスタ 4 2 1 ~ 4 3 0 を備えている。M O S トランジスタ 4 2 1 ・ 4 2 4 ・ 4 2 5 ・ 4 2 8 は p チャネル型であり、M O S トランジスタ 4 2 2 ・ 4 2 3 ・ 4 2 6 ・ 4 2 7 ・ 4 2 9 ・ 4 3 0 は n チャネル型である。

【 0 0 5 5 】

M O S トランジスタ 4 2 1 のソース端子は電源 V D D に接続されており、ドレイン端子は M O S トランジスタ 4 2 2 のドレイン端子に接続されている。M O S トランジスタ 4 2 2 のソース端子は M O S トランジスタ 4 2 3 のドレイン端子に接続されている。M O S トランジスタ 4 2 1 ・ 4 2 2 のゲート端子はセット入力端子 S B に接続されている。M O S トランジスタ 4 2 3 のソース端子は G N D に接続されている。M O S トランジスタ 4 2 3 のゲート端子はリセット端子 R に接続されている。

10

【 0 0 5 6 】

M O S トランジスタ 4 2 4 のソース端子は電源 V D D に接続されており、ドレイン端子は M O S トランジスタ 4 2 5 のソース端子に接続されている。M O S トランジスタ 4 2 4 のゲート端子はリセット端子 R に接続されている。M O S トランジスタ 4 2 5 のドレイン端子は、M O S トランジスタ 4 2 6 のドレイン端子に接続されている。M O S トランジスタ 4 2 5 のゲート端子は M O S トランジスタ 4 2 6 のゲート端子に接続されている。また、M O S トランジスタ 4 2 1 のドレイン端子と、M O S トランジスタ 4 2 5 のドレイン端子とは互いに接続されている。M O S トランジスタ 4 2 6 のソース端子は M O S トランジスタ 4 2 7 のドレイン端子に接続されている。M O S トランジスタ 4 2 7 のソース端子は G N D に接続されている。M O S トランジスタ 4 2 7 のゲート端子はセット入力端子 S B に接続されている。

20

【 0 0 5 7 】

M O S トランジスタ 4 2 8 のソース端子は電源 V D D に接続されており、ドレイン端子は M O S トランジスタ 4 2 9 のドレイン端子に接続されている。M O S トランジスタ 4 2 9 のソース端子は G N D に接続されている。M O S トランジスタ 4 2 5 のドレイン端子と、M O S トランジスタ 4 2 8 のゲート端子と、M O S トランジスタ 4 2 9 のゲート端子とは、互いに接続されており、その接続点は出力端子 Q に接続されている。M O S トランジスタ 4 2 5 ・ 4 2 6 のゲート端子と、M O S トランジスタ 4 2 8 と M O S トランジスタ 4 2 9 との接続点とは、出力端子 Q B に接続されている。M O S トランジスタ 4 3 0 のドレイン端子は出力端子 Q に接続されており、ソース端子は G N D に接続されている。M O S トランジスタ 4 3 0 のゲート端子は、イニシャルリセット端子 I N I に接続されている。

30

【 0 0 5 8 】

図 5 (b) はセット入力端子 S B への入力信号およびリセット端子への入力信号とに対する、出力端子 Q からの出力信号の真理値表である。この内容は、図 4 (b) の説明の中で述べた通りであるので、省略するが、図 5 (a) から分かるように、セット入力端子 S B へのアクティブな入力が入リセット端子 R へのアクティブな入力に優先することは、M O S トランジスタ 4 2 3 のゲート端子に H i g h が入力されても、M O S トランジスタ 4 2 1 ・ 4 2 2 のゲート端子に L o w が入力される限り、M O S トランジスタ 4 2 2 が O F F 状態となって、出力端子 Q に L o w が導出されないことによる。

40

【 0 0 5 9 】

次に、図 6 および図 7 を用いて、以上の構成の液晶表示装置 1 におけるゲートドライバ 3 の動作を説明する。図 6 は、液晶表示装置 1 が画像を表示する動作である通常動作時についてのタイミングチャートである。このときの液晶表示装置 1 の動作モードを第 1 の動作モードとする。図 7 は、液晶表示装置 1 の電源を遮断する直前の状態についてのタイミングチャートである。このときの液晶表示装置 1 の動作モードを第 2 の動作モードとする。図 3 と対応させて説明を行う。

【 0 0 6 0 】

図 6 において、タイミング A においては、イニシャルリセット端子 I N I に入力される信号 (以下、信号 I N I とする) が H i g h に設定され、スタートパルス S P 1 が L o w

50

に設定されるため、シフトレジスタ段 S R 1 のシフト信号入力端子 S B には H i g h が入力され、出力端子 O からは L o w が出力されるとともに、出力端子 O B からは H i g h が出力される。同様に、シフトレジスタ段 S R 2 のシフト信号入力端子 S B に H i g h が入力され、信号 I N I が H i g h であるため、シフトレジスタ段 S R 2 の出力端子 O からは L o w が出力されるとともに、出力端子 O B からは H i g h が出力される。従って、全ての出力信号 O U T 1 ・ O U T 2 ・ ... が L o w となり、ゲートドライバ 3 のイニシャルリセットが行われる。

【 0 0 6 1 】

次に、タイミング B において、信号 I N I が L o w に設定され、スタートパルス S P 1 が L o w に設定される。このとき、シフトレジスタ段 S R 1 のシフト信号入力端子 S B には H i g h が入力され、リセット端子 R には L o w が入力されるため、出力端子 O からは L o w が出力され、出力端子 O B からは H i g h が出力される。これにより、シフトレジスタ段 S R 2 のシフト信号入力端子 S B に H i g h が入力されるため、シフトレジスタ段 S R 2 の出力端子 O からは L o w が出力される。従って、全ての出力信号 O U T 1 ・ O U T 2 ・ ... は L o w のままである。

10

【 0 0 6 2 】

次に、タイミング C において、スタートパルス S P 1 が H i g h に設定され、シフトレジスタ段 S R 1 のシフト信号入力端子 S B に L o w が入力される。これにより、シフトレジスタ段 S R 1 の出力端子 O からはクロック信号 C K 1 1 が出力され、出力端子 O B からはクロック信号 C K 1 1 のレベル反転信号が出力される。タイミング C においてはクロック信号 C K 1 1 が L o w であるため、出力信号 O U T 1 は L o w であり、出力端子 O B からは H i g h が出力される。従って、全ての出力信号 O U T 1 ・ O U T 2 ・ ... は L o w のままである。

20

【 0 0 6 3 】

次に、タイミング D において、スタートパルス S P 1 は H i g h のままで、クロック信号 C K 1 1 が H i g h となる。これにより、シフトレジスタ段 S R 1 の出力端子 O からは H i g h が出力され、出力端子 O B からは L o w が出力される。従って、シフトレジスタ段 S R 2 のシフト信号入力端子 S B に L o w が入力され、シフトレジスタ段 S R 2 の出力端子 O からはクロック信号 C K 1 2 が出力され、出力端子 O B からはクロック信号 C K 1 2 のレベル反転信号が出力される。タイミング D ではクロック信号 C K 1 2 は L o w であるので、シフトレジスタ段 S R 2 の出力端子 O からは L o w が出力され、出力端子 O B からは H i g h が出力される。従って、出力信号 O U T 1 は H i g h 、その他の出力信号 O U T 2 ・ O U T 3 ・ ... は L o w となる。

30

【 0 0 6 4 】

次に、タイミング E において、スタートパルス S P 1 は H i g h のままで、クロック信号 C K 1 1 が L o w 、クロック信号 C K 1 2 が H i g h となる。これにより、シフトレジスタ段 S R 1 の出力端子 O からは L o w が出力され、出力端子 O B からは H i g h が出力される。また、シフトレジスタ段 S R 2 のシフト信号入力端子 S B には H i g h が入力され、リセット端子 R には L o w が入力されるが、出力端子 O の状態 O_{n-1} (タイミング E の直前の状態) がクロック信号 C K 1 2 を出力する状態であったので、出力端子 O の状態 O_n (タイミング E における状態) はクロック信号 C K 1 2 を出力する状態となり、出力端子 O B の状態 O_{Bn} (タイミング E における状態) はクロック信号 C K 1 2 のレベル反転信号を出力する状態となる。従って、全ての出力信号 O U T 1 ・ O U T 2 ・ ... は L o w となる。

40

【 0 0 6 5 】

次に、タイミング D から、クロック信号 C K 1 2 が H i g h となるタイミング F までの間においてスタートパルス S P 1 が H i g h から L o w へと設定される。これにより、シフトレジスタ段 S R 1 のシフト信号入力端子 S B には H i g h が入力され、リセット端子 R には L o w が入力されるが、シフトレジスタ段 S R 1 の出力端子 O の状態 O_{n-1} (スタートパルス S P 1 が L o w になる直前の状態) がクロック信号 C K 1 1 を出力する状態

50

であったので、出力端子Oの状態 O_n （スタートパルスSP1がLowになったときの状態）はクロック信号CK11を出力する状態となり、出力端子OBの状態 OB_n （スタートパルスSP1がLowになったときの状態）はクロック信号CK11のレベル反転信号を出力する状態となる。スタートパルスSP1がLowになったときには、クロック信号CK11はLowであるので、シフトレジスタ段SR1の出力端子OからはLowが出力され、出力端子OBからはHighが出力される。従って、シフトレジスタ段SR2は引き続き、出力端子Oからクロック信号CK12を出力し、出力端子OBからクロック信号CK12のレベル反転信号を出力する状態を維持することとなるので、タイミングDからタイミングFまでの間においても、シフトレジスタ段SR2の出力端子OからはLowが出力され、出力端子OBからはHighが出力される。このようにして、全ての出力信号OUT1・OUT2・...はLowのままである。なお、スタートパルスSP1は、タイミングFと同時にLowに設定されてもよい。

10

【0066】

次に、タイミングFにおいてクロック信号CK12がHighとなる。シフトレジスタ段SR2の出力端子Oからはクロック信号CK12が出力され、出力端子OBからはクロック信号CK12のレベル反転信号が出力される状態が続いているので、シフトレジスタ段SR2の出力端子OからはHighが出力され、出力端子OBからはLowが出力される。これにより、シフトレジスタ段SR1のリセット端子RにHighが入力されるが、シフト信号入力端子SBにはHighが入力され続けているので、シフトレジスタ段SR1はリセット状態となり、出力端子OからはLowが出力され、出力端子OBからはHighが出力される。また、シフトレジスタ段SR3のシフト信号入力端子SBにはLowが入力されるため、シフトレジスタ段SR3の出力端子Oからはクロック信号CK11が出力され、出力端子OBからはクロック信号CK11のレベル反転信号が出力される。タイミングFにおいては、クロック信号CK11はLowであるので、シフトレジスタ段SR3の出力端子OからはLowが出力され、出力端子OBからはHighが出力される。従って、出力信号OUT2はHighとなり、その他の出力信号OUT1・OUT3・OUT4・...はLowとなる。

20

【0067】

次に、タイミングGにおいてクロック信号CK12がLowとなる。シフトレジスタ段SR2の出力端子Oからはクロック信号CK12が出力されるとともに、出力端子OBからはクロック信号CK12のレベル反転信号が出力される状態が続いているので、シフトレジスタ段SR2の出力端子OからはLowが出力され、出力端子OBからはHighが出力される。また、シフトレジスタ段SR3のシフト信号入力端子SBにHighが入力され、リセット端子RにLowが入力されるが、シフトレジスタ段SR3の出力端子Oの状態 O_{n-1} （タイミングGの直前の状態）がクロック信号CK11を出力する状態であったので、出力端子Oの状態 O_n （タイミングGにおける状態）はクロック信号CK11を出力する状態となり、出力端子OBの状態 OB_n （タイミングGにおける状態）はクロック信号CK11のレベル反転信号を出力する状態となる。タイミングGにおいてはクロック信号CK11はLowであるので、シフトレジスタ段SR3の出力端子OからはLowが出力され、出力端子OBからはHighが出力される。従って、全ての出力信号OUT1・OUT2・...はLowとなる。

30

40

【0068】

次に、タイミングHにおいてクロック信号CK11がHighとなる。シフトレジスタ段SR3の出力端子Oからはクロック信号CK11が出力されるとともに、出力端子OBからはクロック信号CK11のレベル反転信号が出力される状態が続いているので、シフトレジスタ段SR3の出力端子OからはHighが出力され、出力端子OBからはLowが出力される。これにより、シフトレジスタ段SR2のリセット端子RにHighが入力されるが、シフトレジスタ段SR2のシフト信号入力端子SBにはHighが入力され続けているので、シフトレジスタ段SR2はリセット状態となり、出力端子OからはLowが出力され、出力端子OBからはHighが出力される。従って、出力信号OUT3はH

50

i g hとなり、その他の出力信号O U T 1・O U T 2・O U T 4・...はL o wとなる。

【0069】

以下、同様にして、出力信号O U T 1から順次H i g hとなる出力信号O U Tが出力される。これらの出力信号O U Tは互いに重なることがなく、走査信号線G Lに、G L (1)・G L (2)・...の順でH i g hとなる走査信号として供給される。H i g hの走査信号が供給された走査信号線G Lに接続されている画素P I XのT F T 2 aは一斉に導通し、その間に供給されるビデオ信号が画素電極に書き込まれることとなる。画素P I Xは、液晶容量2 bおよび補助容量2 cに、画素電極の電位と対向電極の電位との差に応じた電圧による充電がなされることにより、画像表示を行う。画素P I Xに蓄積された電荷は、走査信号がL o wとなってT F T 2 aが遮断されることにより、次の充電時まで保持される。

10

【0070】

なお、本実施の形態では、第1の動作モードにおいて、スタートパルスS P 1・S P 2は、インバータ4 1を介して必ずしも初段のシフトレジスタ段S R 1に入力される必要はなく、2段目以降のシフトレジスタ段S Rのいずれかに入力されるようにすることも可能である。すなわち、スタートパルスS P 1・S P 2は所定段のシフトレジスタ段S Rに入力されればよい。そのとき、出力信号O U Tは所定段から後段へ向って順次パルスを出力することになる。

【0071】

次に、図7を用いて、液晶表示装置1の電源遮断時の動作について説明する。

20

【0072】

液晶表示装置1の電源を遮断する指示が、液晶表示装置1に与えられる、あるいは液晶表示装置1内で発生すると、図7の所定のタイミングとして設定されたタイミングAにおいて、放電制御信号D I SがL o wに設定される。これにより、図2 (a)で示した構成を有する駆動信号源処理回路6により、クロック信号C K 1 1・C K 1 2およびスタートパルスS P 1が全てH i g hに固定されるように設定される。

【0073】

これにより、図3において、全てのシフトレジスタ段S R 1・S R 2・...のシフト信号入力端子S BにL o wが入力される。従って、図7において、ゲートドライバ3の全ての出力信号O U T 1・O U T 2・...はH i g hとなり、これにより、全ての画素P I XのT F T 2 aを一斉に導通させることができる。また、ゲートドライバ3が上記シフトレジスタにさらに論理回路を備えている構成となっている場合には、シフトレジスタの出力信号が一斉にH i g hとなることにより、全ての論理回路に同じ論理の入力が行われるので、論理回路の全ての出力信号をH i g hとすることができる。従って、この場合にも、H i g hの走査信号が全ての走査信号線G Lに出力されるので、全ての画素P I XのT F T 2 aを一斉に導通させることができる。

30

【0074】

ここで、電源遮断時にアナログスイッチC 1・C 2・...を全て遮断しておくようにすると、液晶表示装置1はドット反転駆動あるいは走査信号線反転駆動を行っていたので、同一のデータ信号線S Lに接続された画素P I X間で正負の電荷の打ち消しあいを行うことができる。これにより、対向電極C O Mが無電圧状態に移行するときに全画素P I X間でほぼ揃った表示となりながら終状態へと移行することが可能となる。従って、液晶表示装置1の電源遮断時に画面が乱れることを防止することができる。

40

【0075】

以上により、電源遮断時に画素からの放電を行っても、すなわち電源遮断時における画面の乱れを防止しても、放電を行うための回路、すなわち画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されない表示装置を実現することができる。

【0076】

次に、液晶表示装置1が、隣接するデータ信号線に接続された画素P I X同士で電荷の極性が異なるデータ信号線反転駆動を行う場合についての構成を説明する。なお、この構

50

成は、先のドット反転駆動および走査信号線反転駆動にも適用可能である。

【 0 0 7 7 】

データ信号線反転駆動を行うための構成は、図 1 において、ソースドライバ 4 をゲートドライバ 3 と同様の構成とし、駆動信号源処理回路 7 を駆動信号源処理回路 6 と同様の構成とする。

【 0 0 7 8 】

図 8 に示すように、ソースドライバ 4 の構成は、図 3 に示したゲートドライバ 3 の構成において、クロック信号 C K 1 1 の入力端子をクロック信号 C K 2 1 の入力端子に、クロック信号 C K 1 2 の入力端子をクロック信号 C K 2 2 の入力端子に、スタートパルス S P 1 の入力端子をスタートパルス S P 2 の入力端子にしたものである。この場合には、図 8 の出力端子 O U T 1 ・ O U T 2 ・ ... ・ O U T n ・ ... は、順にアナログスイッチ C 1 ・ C 2 ・ ... ・ C n ・ ... の制御信号となる。

10

【 0 0 7 9 】

駆動信号源処理回路 7 は、外部から入力されるクロック信号 S C K 1 および放電制御信号 D I S からクロック信号 C K 2 1 を生成し、また、外部から入力されるクロック信号 S C K 2 および放電制御信号 D I S からクロック信号 C K 2 2 を生成し、また、外部から入力されるソーススタートパルス S S P および放電制御信号 D I S からスタートパルス S P 2 を生成し、生成した各信号をソースドライバ 4 に入力する。放電制御信号 D I S は、駆動信号源処理回路 6 に使用するものと同じである。

20

【 0 0 8 0 】

また、図 2 (a) において、クロック信号 G C K 1 をクロック信号 S C K 1 に、クロック信号 G C K 2 をクロック信号 S C K 2 に、ゲートスタートパルス G S P をソーススタートパルス S S P に、クロック信号 C K 1 1 をクロック信号 C K 2 1 に、クロック信号 C K 1 2 をクロック信号 C K 2 2 に、スタートパルス S P 1 をスタートパルス S P 2 に、それぞれ置き換えれば、駆動信号源処理回路 7 の構成になる。

【 0 0 8 1 】

図 9、図 1 0 はソースドライバ 4 の動作を説明するタイミングチャートであり、順に図 6、図 7 において、クロック信号 C K 1 1 をクロック信号 C K 2 1 に、クロック信号 C K 1 2 をクロック信号 C K 2 2 に、スタートパルス S P 1 をスタートパルス S P 2 に置き換えたものである。

30

【 0 0 8 2 】

クロック信号 (タイミング信号) C K 2 1 およびクロック信号 (タイミング信号) C K 2 2 は、液晶表示装置 1 の通常動作時には、図 9 に示すように、互いに位相が異なっており、レベル変化を周期的に繰り返す 2 値周期信号である。ここではクロック信号 C K 2 1 とクロック信号 C K 2 2 とは互いに H i g h 期間が重ならない例が示されている。また、クロック信号 C K 2 1 ・ C K 2 2 は、液晶表示装置 1 の電源遮断時直前には、図 1 0 に示すように、共にアクティブレベル (ここでは H i g h) に固定される信号である。スタートパルス S P 2 は、液晶表示装置 1 の通常動作時には、図 9 に示すように、所定期間ごとに 1 つのパルスをもつ信号であり、スタートパルス S P 2 に対しては当該所定期間は 1 垂直期間である。また、スタートパルス S P 2 は、液晶表示装置 1 の電源遮断時直前には、図 1 0 に示すように、アクティブレベル (ここでは H i g h) に固定される信号である。

40

【 0 0 8 3 】

図 9 および図 1 0 で表されるソースドライバ 4 の動作は、図 6 および図 7 で表されるゲートドライバ 3 の動作と同様である。

【 0 0 8 4 】

液晶表示装置 1 の電源遮断時には、タイミング A においてソースドライバ 4 の全ての出力信号 O U T 1 ・ O U T 2 ・ ... は H i g h となり、これにより、アナログスイッチ回路 5 の全てのアナログスイッチ C 1 ・ C 2 ・ ... が一斉に導通する。

【 0 0 8 5 】

50

従って、ビデオ信号線 V S I G を対向電極 C O M に接続する動作を行うなどして、ビデオ信号線 V S I G に対向電極 C O M と同じ電位を与えることによって、全ての画素 P I X から全電荷を放電させることができる。ビデオ信号線 V S I G を対向電極 C O M に接続するようにすれば、電源遮断時に、対向電極 C O M が G N D などの無電圧状態に移行するにつれて、画素電極の電位も対向電極 C O M の電位に追従して変化する。このように、全ての画素 P I X において、液晶に印加される電圧をゼロとするので、液晶パネル 2 が交流駆動されていても画素 P I X 間で液晶に印加される電圧のばらつきがなくなり、液晶表示装置 1 の電源遮断時に画面が乱れることを防止することができる。

【 0 0 8 6 】

以上により、電源遮断時に画素からの放電を行っても、放電を行うための回路により小型化や領域の有効活用を阻害されない表示装置を実現することができる。

10

【 0 0 8 7 】

また、上記例では画素 P I X からの放電を行うときに、ビデオ信号線 V S I G に対向電極 C O M の電位を与えたが、これに限らず、液晶に閾値電圧以下の電圧(表示に影響を与えない電圧)が印加されるような電位をビデオ信号線 V S I G に与えてもよい。これによっても、画像表示が行われなくなるため、液晶表示装置 1 の電源遮断時に画面が乱れることを防止することができる。

【 0 0 8 8 】

また、図 1 0 では、ソースドライバ 4 の出力信号を一齐に H i g h とするとともに、ゲートドライバ 3 の出力信号を一齐に H i g h とした。この場合には、液晶パネル 2 が、ドット反転駆動、走査信号線反転駆動、データ信号線反転駆動などの、いかなる交流駆動であっても、全画素 P I X の電荷状態を揃えるような放電が可能である。

20

【 0 0 8 9 】

また、上記正負の電荷の打ち消し合いを利用する構成の他の例として、ビデオ信号線 V S I G をデータ信号の供給先から開放するとともに、全てのアナログスイッチ C 1 ・ C 2 ・ ... を導通させる構成も可能である。これによっても、全ての画素 P I X 間での正負の電荷の打ち消し合いが行われるため、ドット反転駆動、走査信号線反転駆動、データ信号線反転駆動などの、いかなる交流駆動であっても、対向電極 C O M が無電圧状態に移行するときに全画素 P I X 間でほぼ揃った表示となりながら終状態へと移行することが可能となる。従って、液晶表示装置 1 の電源遮断時に画面が乱れることを防止することができる。

30

【 0 0 9 0 】

また、以上のような電源遮断時における画面の乱れを防止する構成を、電源投入時における画面の乱れを防止する構成としても使用することができる。電源投入直後は、ビデオ信号電位や対向電極電位、C s (補助容量)電極電位も不安定なため、画素部に意図しない電荷が蓄積されてしまう。これは、電源が確実に立ち上がっていない状況では、回路のロジック制御が正常に行われなかったことによって、ビデオ信号ラインから、不要な電荷が画素に流入したり、対向電極電位や C s 電極電位が不安定なため、対向電極と画素電極との間に電位差が生じてしまったりする(電荷を蓄積する)ことに起因している。そして、この現象は、表示上のノイズを発生する原因となる。これへの対処として、電源投入時に画素のスイッチング素子を導通させて電荷を瞬時に抜くことが有効であり、瞬間的に電荷が抜けるのであれば、人間の目には表示として見えなくなる。

40

【 0 0 9 1 】

その方法として、例えば、電源投入時に電源電圧が確定してからすぐに放電制御信号 D I S をアクティブにして第 2 の動作モードとすることにより画素の電荷を抜き、その後、放電制御信号 D I S を非アクティブにした後に通常の表示へと移行することが有効である。また、電源投入と同時に放電制御信号 D I S をアクティブにして第 2 の動作モードとし、電源が立ち上がり、パネル内回路のロジックが確定するまでこの放電制御信号 D I S のアクティブを継続し、電源電圧が確定した後に、放電制御信号 D I S を非アクティブにして、通常動作に移行することも有効である。

【 0 0 9 2 】

50

これらの方法であれば、ゲートドライバ3が、アクティブの放電制御信号DISに従って、全走査信号線にアクティブの出力信号を出力すると、全アナログスイッチC1・C2・...がOFFしている場合には同一のデータ信号線に接続されている画素間で電荷量が平均化されて全画素間で比較的良好に電荷量が揃い、全アナログスイッチC1・C2・...が一斉にONする場合には全画素間で電荷量が平均化されて良好に電荷量が揃う。すなわち、任意の表示装置に対して、画素間で電荷量を揃えることができる。従って、電源投入してパネル内のロジックが確定した後の期間が長くなっても表示上意図しない表示が生じないため、表示上不安定な立ち上げを回避することが可能である。これにより、駆動回路の各出力に対応してNAND回路などの余分な回路を設けることなく、電源遮断時や電源投入時における画面の乱れを防止することができる。

10

【0093】

以上により、電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されない表示装置を実現することができる。

【0094】

以上に述べた全ての構成において、信号の極性などは一例であって、もちろん反転した論理でも本発明を実現することができる。例えば、クロック信号GCK1・GCK2・SCK1・SCK2が入力される論理回路において、必要な極性の出力を導出するように構成を変更することは容易である。従って、同様に考えて、液晶表示装置1の電源遮断時に、クロック信号GCK1・GCK2・SCK1・SCK2およびスタートパルス信号SP1・SP2を全てLowに固定するようにして画素PIXの放電を行うようにしてもよい。この場合には、電源遮断に合わせて信号レベルをLowとすればよいので、電源遮断直前に消費する電力を削減することができるとともに、電源遮断動作で信号を生成することができる。

20

【0095】

また、液晶表示装置1の電源遮断時に、クロック信号GCK1・GCK2・SCK1・SCK2およびスタートパルス信号SP1・SP2を全て同じ極性に揃える必要はなく、画素PIX間で電荷量を揃えるための動作を行うのにアクティブな信号となればよい。

【0096】

また、液晶表示装置1に、データ信号線を予備充電する予備充電回路あるいは図12に示すような放電回路107を備え、アナログスイッチ回路5を介して電源遮断時の画素PIXの放電を行う代わりに、この予備充電回路あるいは図12に示すような放電回路107を介して画素PIXの放電を行うようにしてもよい。

30

【0097】

また、シフトレジスタに備えられるRSフリップフロップのリセット信号としては、任意のものが適用可能である。

【0098】

また、以上の構成ではクロック信号(タイミング信号)を2相としたが、クロック信号(タイミング信号)は3相以上でも本発明を実施することができる。一般に、タイミング信号は、シフトレジスタの各段に対応した信号であればよい。これらのクロック信号のアクティブな期間は互いに重なっていてもよいし、重なっていなくてもよい。また、表示装置の第1の動作モードにおいて、シフトレジスタによるデータの転送を可能にする信号であればどのようなタイミング信号でも構わない。

40

【0099】

図11(a)に、3相のクロック信号(タイミング信号)CK1・CK2・CK3を用いる駆動回路の構成を示した。これは、図3の構成において、シフトレジスタ段SR1・SR2・SR3・SR4・SR5・...のクロック入力端子CKに順に、クロック信号CK3・CK2・CK1・CK3・CK2・...のように一定の相順でクロック信号が入力されるようにしたものである。

【0100】

図11(b)にクロック信号CK1・CK2・CK3の波形を示す。クロック信号CK

50

1・CK2・CK3は、液晶表示装置1の通常動作時には、互いに位相が異なり、レベル変化を周期的に繰り返す2値周期信号である。ここではクロック信号CK1とクロック信号CK2とクロック信号CK3とが互いにHigh期間が重ならない例が示されている。また、クロック信号CK1・CK2・CK3は、液晶表示装置1の電源遮断時直前には、図7や図10と同様に、全てアクティブレベル(例えばHigh)に固定される。また、スタートパルスSPはスタートパルスSP1やSP2と同様の信号である。

【0101】

なお、本発明の表示装置は、上記駆動回路を用いて構成された走査信号線駆動回路を備え、上記走査信号線駆動回路は、上記第1の動作モードでは、上記出力信号を用いて、各走査信号線に順次出力されるパルスに有する走査信号を生成し、上記第2の動作モードでは、上記出力信号を用いて、全走査信号線に一斉に出力されるパルスに有する信号を生成するものであってもよい。

10

【0102】

上記の発明によれば、第2の動作モードを交流駆動の表示装置の電源遮断時に用いれば、同一のデータ信号線に接続されている画素の正極性の電荷と負極性の電荷との間で打ち消し合いを行うことができる。従って、ドット反転駆動や走査信号線反転駆動を行う表示装置において、電源遮断時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されないようにすることが容易に実現できるという効果を奏する。

【0103】

20

また、第2の動作モードを任意の表示装置の電源投入時に用いれば、同一のデータ信号線に接続されている画素間で電荷量の平均化を行うことができ、全画素の電荷量が比較的良好に揃う。従って、任意の表示装置において、電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されないようにすることが容易に実現できるという効果を奏する。

【0104】

また、本発明の表示装置は、上記駆動回路を用いて構成された、走査信号線駆動回路およびデータ信号線駆動回路を備え、上記走査信号線駆動回路は、上記第1の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、各走査信号線に順次出力されるパルスに有する走査信号を生成し、上記第2の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、全走査信号線に一斉に出力されるパルスに有する信号を生成し、上記データ信号線駆動回路は、上記第1の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、ビデオ信号線から各データ信号線へ順次データ信号を供給する動作に用い、上記第2の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、上記ビデオ信号線から全データ信号線に一斉に共通の電位を与える動作に用いるものであってもよい。

30

【0105】

上記の発明によれば、第2の動作モードにおいて、全画素にビデオ信号線から共通の電位が与えられるので、全画素の印加電圧をほぼ揃えることができる。従って、任意の表示装置において、電源遮断時や電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されないようにすることが容易に実現できるという効果を奏する。

40

【0106】

また、本発明の表示装置は、上記駆動回路を用いて構成された、走査信号線駆動回路およびデータ信号線駆動回路を備え、上記走査信号線駆動回路は、上記第1の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、各走査信号線に順次出力されるパルスに有する走査信号を生成し、上記第2の動作モードでは、上記走査信号線駆動回路の上記シフトレジスタの上記出力信号を用いて、全走査信号線に一斉に出力されるパルスに有する信号を生成し、上記データ信号線駆動回路は、上記第1の動

50

作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、ビデオ信号線から各データ信号線へ順次データ信号を供給する動作に用い、上記第2の動作モードでは、上記データ信号線駆動回路の上記シフトレジスタの上記出力信号を、上記ビデオ信号線から全データ信号線を遮断するとともに全データ信号線同士を導通させる動作に用いるものであってもよい。

【0107】

上記の発明によれば、第2の動作モードを交流駆動の表示装置の電源遮断時に用いれば、全画素間で正極性の電荷と負極性の電荷との打ち消し合いを行うことができる。従って、交流駆動を行うあらゆる表示装置において、電源遮断時や電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されないようにすることが容易に実現できるという効果を奏する。

【0108】

また、第2の動作モードを任意の表示装置の電源投入時に用いれば、全画素間で電荷量の平均化を行うことができる。従って、任意の表示装置に対して、電源投入時における画面の乱れを防止しても、画面の乱れを防止するための回路により小型化や領域の有効活用を阻害されないようにすることが容易に実現できるという効果を奏する。

【0109】

本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。例えば、本実施の形態では表示装置として液晶表示装置を例に挙げたが、これに限らず、画素への充電により表示を行う表示装置に本発明は広く適用可能である。

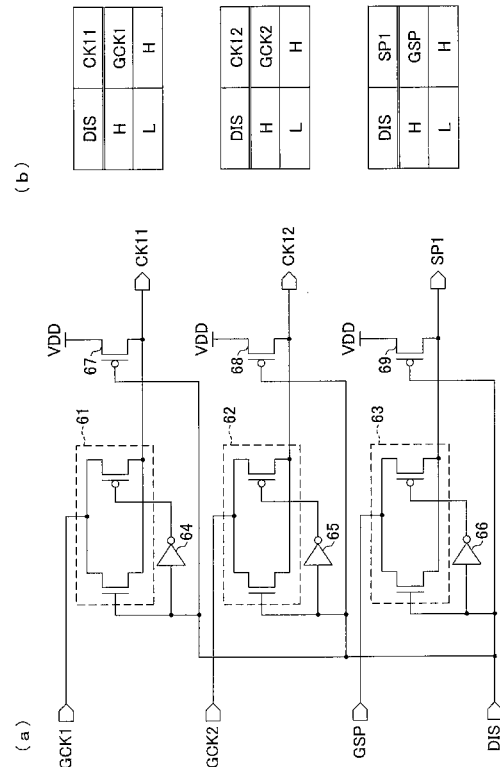
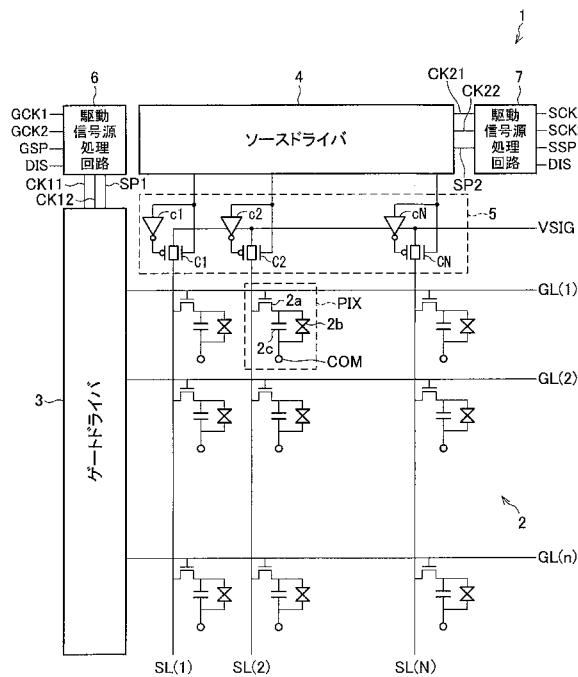
【産業上の利用の可能性】

【0110】

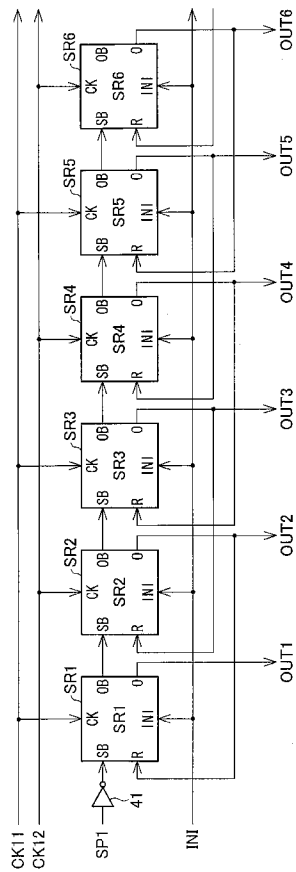
本発明は、液晶表示装置に好適に使用することができる。

【図1】

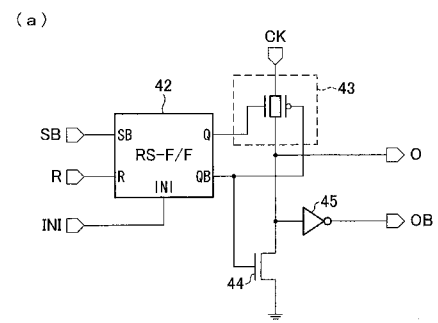
【図2】



【図 3】



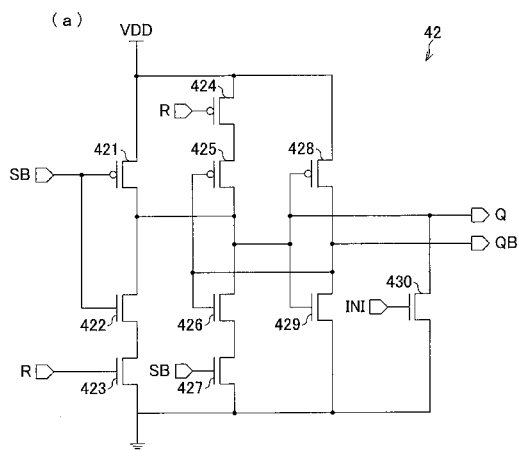
【図 4】



(b)

SB	R	O_{n-1}	O_n	OB_n
H	H	-	L	H
H	L	L	L	H
H	L	CK	CK	CKB
L	H	-	CK	CKB
L	L	-	CK	CKB

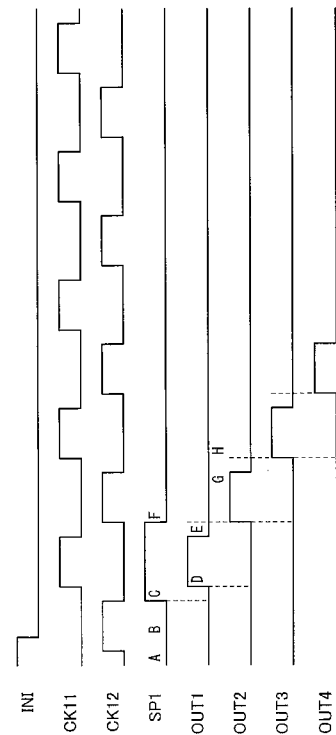
【図 5】



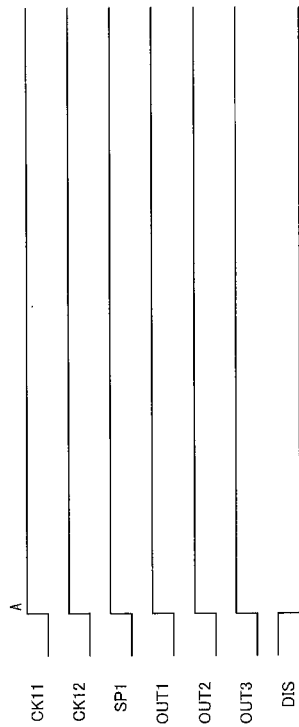
(b)

SB	R	Q
H	H	L
H	L	Q_{n-1}
L	H	H
L	L	H

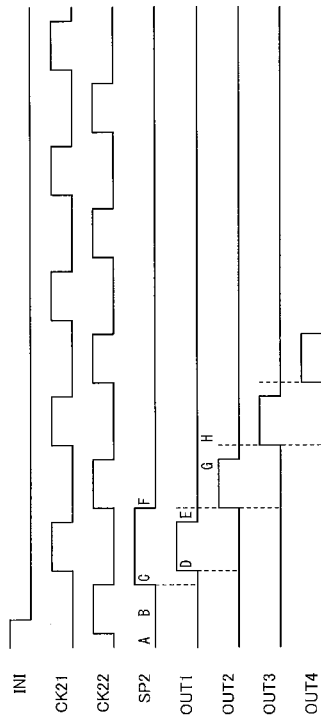
【図 6】



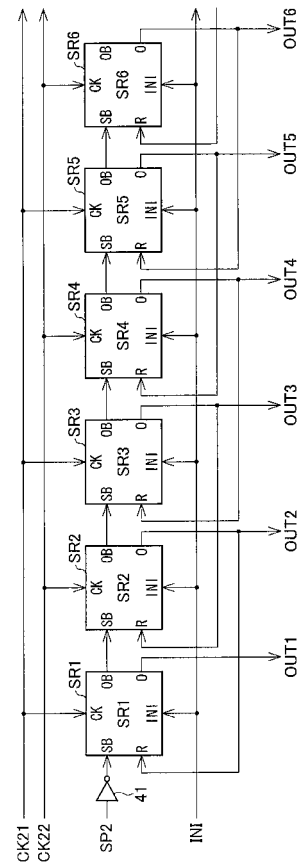
【図 7】



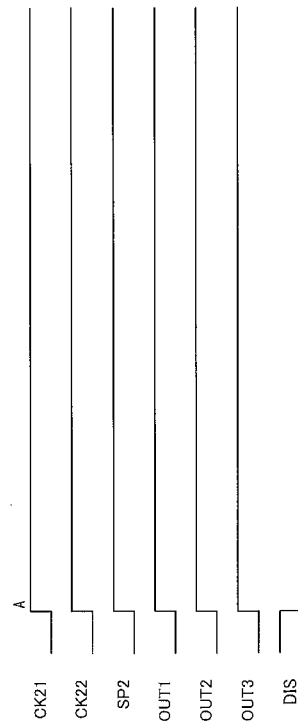
【図 9】



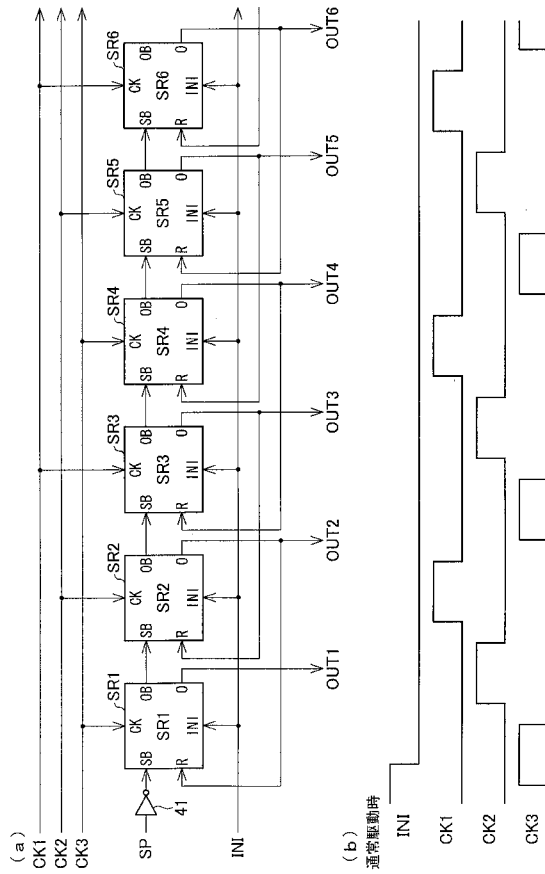
【図 8】



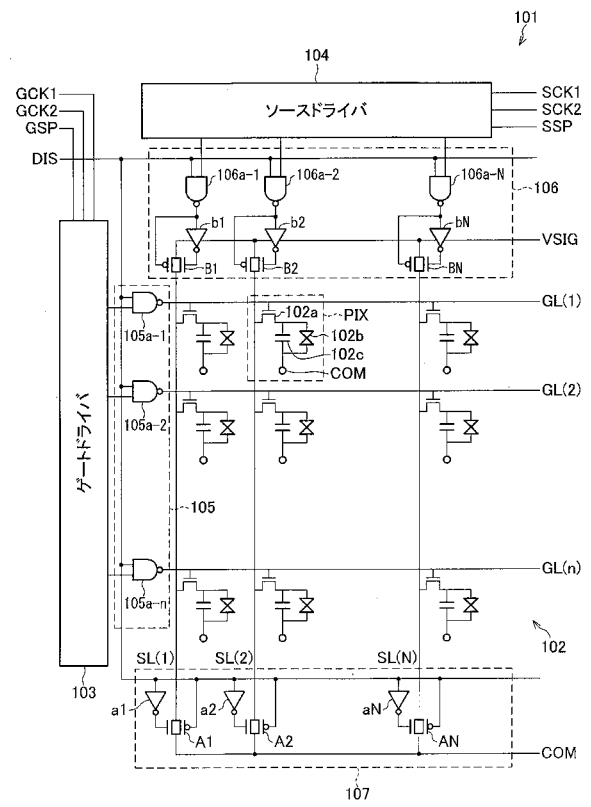
【図 10】



【図 1 1】



【図 1 2】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/323906

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-272490 A (Hitachi, Ltd.), 07 November, 1990 (07.11.90), Page 5, upper right column, line 18 to lower right column, line 5; Figs. 5 to 6 (Family: none)	1-5
Y	JP 2004-227751 A (Sharp Corp.), 12 August, 2004 (12.08.04), Par. No. [0098]; Fig. 21 & US 2004/0150610 A1 & EP 1445775 A1	1-5
Y	JP 8-62577 A (Hitachi, Ltd.), 08 March, 1996 (08.03.96), Par. Nos. [0018] to [0020]; Fig. 1 (Family: none)	3

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 February, 2007 (02.02.07)Date of mailing of the international search report
13 February, 2007 (13.02.07)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/323906

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-295829 A (Seiko Epson Corp.), 15 October, 2003 (15.10.03), Par. Nos. [0092] to [0096]; Figs. 3, 6 & US 7098880 B2 & EP 1349141 A1	4

国際調査報告		国際出願番号 PCT/JP2006/323906	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/36, G02F1/133, G09G3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	JP 2-272490 A (株式会社日立製作所) 1990. 1 1. 07, (5) 頁右上欄第18行-右下欄第5行, 第5-6図 (ファミリ-なし)	1-5	
Y	JP 2004-227751 A (シャープ株式会社) 2004. 08. 12, 段落【0098】, 図21 & US 2004/01 50610 A1 & EP 1445775 A1	1-5	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 02.02.2007		国際調査報告の発送日 13.02.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 濱本 禎広	2G 9509 電話番号 03-3581-1101 内線 3226

様式PCT/ISA/210 (第2ページ) (2005年4月)

国際調査報告		国際出願番号 PCT/JP2006/323906
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 8-62577 A (株式会社日立製作所) 1996. 03. 08, 段落【0018】-【0020】, 図1 (ファミリーなし)	3
Y	J P 2003-295829 A (セイコーエプソン株式会社) 2003. 10. 15, 段落【0092】-【0096】, 図3, 6 & US 7098880 B2 & EP 1349141 A 1	4

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 1 2 G
G 0 9 G	3/20	6 7 0 D
G 0 9 G	3/20	6 2 3 M
G 0 9 G	3/20	6 1 2 L
G 0 2 F	1/133	5 5 0

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 2H093 NA16 NA34 NA80 NC10 NC12 NC18 NC22 NC34 NC35 ND49
 ND54
 2H193 ZA04 ZC20 ZE31 ZF22 ZF36 ZF59
 5C006 AA16 AC09 AC11 AC21 AC23 AC24 AC27 AC28 AF42 AF43
 AF51 AF67 AF69 AF72 BB16 BC03 BC13 BF03 BF06 BF11
 BF24 BF25 BF26 BF27 BF33 BF34 BF42 FA04 FA16 FA22
 FA23 FA26 FA31 FA34 FA37 FA38 FA43 FA47
 5C080 AA10 BB05 DD05 DD06 DD12 DD22 DD26 DD28 EE26 EE29
 FF03 FF11 JJ02 JJ03 JJ04

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JPWO2007108177A1	公开(公告)日	2009-08-06
申请号	JP2008506163	申请日	2006-11-30
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	大河寛幸 村上祐一郎 辻野幸生		
发明人	大河 寛幸 村上 祐一郎 辻野 幸生		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3677 G09G2310/0245 G09G2310/0286 G09G2330/027 G11C19/28		
FI分类号	G09G3/36 G09G3/20.623.H G09G3/20.622.E G09G3/20.624.A G09G3/20.623.D G09G3/20.622.D G09G3/20.623.C G09G3/20.622.Q G09G3/20.623.Y G09G3/20.612.G G09G3/20.670.D G09G3/20.623.M G09G3/20.612.L G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA34 2H093/NA80 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC22 2H093/NC34 2H093/NC35 2H093/ND49 2H093/ND54 2H193/ZA04 2H193/ZC20 2H193/ZE31 2H193/ZF22 2H193/ZF36 2H193/ZF59 5C006/AA16 5C006/AC09 5C006/AC11 5C006/AC21 5C006/AC23 5C006/AC24 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF51 5C006/AF67 5C006/AF69 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC13 5C006/BF03 5C006/BF06 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF33 5C006/BF34 5C006/BF42 5C006/FA04 5C006/FA16 5C006/FA22 5C006/FA23 5C006/FA26 5C006/FA31 5C006/FA34 5C006/FA37 5C006/FA38 5C006/FA43 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD12 5C080/DD22 5C080/DD26 5C080/DD28 5C080/EE26 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	2006081641 2006-03-23 JP		
其他公开文献	JP4782191B2		
外部链接	Espacenet		

摘要(译)

在液晶显示装置 (1) 中，通过使用异步RS触发器来配置源极驱动器 (4) 的移位寄存器，其中，到设定输入端子的有效输入优先于到复位端子的有效输入。在第二操作模式中，通过将第一和第二时钟信号以及起始脉冲固定为高，液晶面板 (2) 的所有像素 (PIX) 被放电。

