

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5676069号
(P5676069)

(45) 発行日 平成27年2月25日 (2015. 2. 25)

(24) 登録日 平成27年1月9日 (2015. 1. 9)

(51) Int. Cl.	F I	
G09G 3/36 (2006.01)	G09G	3/36
G09G 3/20 (2006.01)	G09G	3/20 611J
G02F 1/133 (2006.01)	G09G	3/20 612J
	G09G	3/20 621L
	G09G	3/20 622B
請求項の数 6 (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2007-320105 (P2007-320105)	(73) 特許権者	512187343
(22) 出願日	平成19年12月11日 (2007. 12. 11)		三星ディスプレイ株式会社
(65) 公開番号	特開2008-165223 (P2008-165223A)		Samsung Display Co., Ltd.
(43) 公開日	平成20年7月17日 (2008. 7. 17)		大韓民国京畿道龍仁市器興区三星二路95
審査請求日	平成22年10月25日 (2010. 10. 25)		95, Samsung 2 Ro, Giheung-Gu, Yongin-City, Gyeonggi-Do, Korea
(31) 優先権主張番号	10-2006-0125334	(74) 代理人	100121382
(32) 優先日	平成18年12月11日 (2006. 12. 11)		弁理士 山下 託嗣
(33) 優先権主張国	韓国 (KR)	(72) 発明者	呂 章 鉉
			大韓民国ソウル特別市江北区彌阿3洞305-39番地

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

データラインにデータを出力する時点を決定するロード信号のエッジに基づいて、前記データラインにデータを供給するデータ駆動回路と、

複数の互いに従属的に接続されたステージからなり、ゲートクロックパルスに応答してゲート駆動信号を生成し、前記ステージに接続された各ゲートラインに前記ゲート駆動信号を出力して各ゲートラインを順次駆動するゲート駆動回路と、

前記複数の互いに従属的に接続されたステージのうち、最後に位置する最終ステージから出力される前記ゲート駆動信号を、複数のゲートラインをゲートオフ電圧に放電するためのリセット信号 R E s i g として受信し、前記リセット信号 R E s i g をクリップしたリセット信号 C R E s i g を生成するクリップ部と、

各ゲートラインを順次駆動する前記ゲートクロックパルスの立ち上がりタイミングを決定する出力イネーブル信号を生成するとともに、前記ロード信号のタイミングを調節するタイミングコントローラと、

前記出力イネーブル信号の立ち上がりと、前記ゲートクロックパルスの立ち上がり同期するように、前記ゲートクロックパルスを生成するレベルシフタと、

を含み、

前記タイミングコントローラは、前記最終ステージから出力される前記ゲート駆動信号を出すための前記出力イネーブル信号である、1フレームの最後の出力イネーブル信号のエッジと、前記最終ステージから出力された前記リセット信号 C R E s i g のエッジとの

10

20

時間軸上の差分に基づいて、前記ゲート駆動回路におけるゲート駆動信号の遅延時間を算出し、前記遅延時間の分だけ前記ロード信号のエッジを遅らせる液晶表示装置。

【請求項 2】

前記レベルシフタが、

前記ゲートクロックパルスゲートをオン電圧及びゲートオフ電圧レベルのパルスとして生成する請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ゲートクロックパルスは、

前記ゲートクロックパルスの位相が反転した位相を有する反転ゲートクロックパルスを含む請求項 2 に記載の液晶表示装置。

10

【請求項 4】

前記ゲート駆動回路は、

前記ゲートラインが形成された液晶パネルに集積され、前記ゲートラインの両端にデュアルに形成されて前記ゲートラインをデュアル駆動する請求項 1 に記載の液晶表示装置。

【請求項 5】

前記最終ステージが、

前記リセット信号を生成するダミーステージである、請求項 1 に記載の液晶表示装置。

【請求項 6】

前記タイミングコントローラが、

前記 1 フレームの最後の出力イネーブル信号を供給する出力イネーブル信号生成部と、

前記クリップされたリセット信号 $CRESIG$ と、前記 1 フレームの最後の出力イネーブル信号とを比較してクロックカウント信号を生成するカウンタ部と、

20

前記クロックカウント信号に応答して前記ロード信号を生成するロード信号生成部と、を含む請求項 5 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関する。

【背景技術】

【0002】

30

一般に液晶表示装置は、映像を表示するための液晶パネルと、液晶パネルを駆動するデータ駆動部と、ゲート駆動部とを備える。液晶パネルは複数のゲートライン、複数のデータライン、及び複数の画素を含む。画素は薄膜トランジスタ及び液晶キャパシタからなる。データ駆動部はデータラインにデータ信号を出力し、ゲート駆動部はゲート駆動信号を出力する。

【0003】

ゲート駆動部は同一工程で薄膜トランジスタと同時に液晶パネル上に形成され、データ駆動部はチップ状に形成されて液晶パネルの周辺領域に接続される。ゲート駆動部は複数のステージからなるシフトレジスタを含み、ステージのそれぞれは対応するゲートラインに接続されてゲート駆動信号を出力する。

40

ゲート駆動部は複数のゲートラインにゲート駆動信号を順次出力するために互い従属的に接続される。すなわち、現ステージの入力端子は前のステージの出力端子に接続され、次のステージの出力端子は現ステージの制御端子に接続される。複数のステージのうち第 1 ステージには開始信号が入力される。

【0004】

このようなゲート駆動部は液晶パネルの左右側に形成され、左側のゲート駆動回路が奇数番目のゲートラインを駆動し、右側のゲート駆動回路が偶数番目のゲートラインを駆動するシングル駆動方式で動作する。

従来のシングル (Single) 駆動方式の液晶表示装置はゲートライン遅延 (Gate Line Delay) 及び A S G 遅延 (Amorphous Silicon Gate Delay) によって、ディスプレイに横線

50

が見えてしまう、いわゆる横線視認現象が発生するという問題がある。

【0005】

ゲートライン遅延とは、左右側のゲート駆動回路から交互に出力されるゲート駆動信号がゲートラインの端部に近づくほど遅延して出力されることをいう。ゲートライン遅延はゲートラインの端部に接続された画素の充電時間の不足を招き、これにより画素の輝度が低下する。このため、ゲートラインの左右側の両端部で隣接する両ゲートライン間に輝度差が発生し、これが横線視認現象として現れる。

【0006】

A S G遅延とは、ゲート駆動回路が複数のゲートラインにゲート駆動信号を順次印加するとき、ゲート駆動回路自体の遅延によってデータ出力よりゲート駆動信号が遅延して印加されることをいう。これにより、液晶パネルの下端部、つまりデータ駆動回路から離れた部分に位置するゲートラインに接続された画素が本来表示されるべきデータに対応する輝度より暗い輝度で表示するという問題がある。例えば、ゲートライン単位で緑Gと青Bのデータ信号がそれぞれ供給される場合、複数のゲートラインにゲート駆動信号を順次印加すると液晶パネルの下端部に近づくほど青Bのデータ信号が本来表示されるべき青Bに対応する輝度より暗い輝度の青Bを表示するという問題がある。

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

従って、本発明は従来の問題を解決するために案出されたものであり、画像品質が向上した液晶表示装置を提供することを目的とする。

20

【課題を解決するための手段】

【0008】

前記目的を達成するために本発明1の液晶表示装置は、出力イネーブル信号及びゲートクロックを生成し、該当活性化されたディスプレイローにデータ信号が出力される時、データ出力時点を決定するロード信号のタイミングを調節するタイミングコントローラと、前記出力イネーブル信号とゲートクロックに応答してゲートクロックパルスを生成するレベルシフタと、前記ディスプレイローを一つずつ活性化し、前記ゲートクロックパルスに応答してリップルダウンされた第1ゲート駆動信号を生成して複数のゲートラインを順次駆動するゲート駆動回路と、前記第1ゲート駆動信号が前記ゲート駆動回路の最後のステージから出力される時、前記第1ゲート駆動信号をクリップした第2ゲート駆動信号を前記タイミングコントローラに供給するクリップ部とを含み、前記タイミングコントローラが前記第2ゲート駆動信号と前記出力イネーブル信号との比較により、前記ゲート駆動回路による第1ゲート駆動信号の遅延時間を算出し、前記遅延時間を測定及び利用して前記ロード信号のタイミングを調節する。

30

【0009】

具体的に、前記タイミングコントローラはディスプレイフレームのスキャンスタートから最後まで前記ゲート駆動回路の実際遅延時間を測定し、前記ゲート駆動回路のステージに割り当てられた行当り(per-row)遅延時間を計算し、前記計算された行当り遅延時間を用いて与えられたフレームの間に蓄積された行数による前記ロード信号のタイミングを調節できる。

40

【0010】

このように本発明の液晶表示装置は、ゲート駆動回路のリセット信号のフィードバックを受ける。また、フィードバックに基づいて読出時間を調節し、ゲート駆動回路によるゲート駆動信号の出力遅延を補償できる。そのため、ゲート駆動回路自体の遅延によって、データが出力されるよりもゲート駆動信号が遅延して印加される問題を解消できる。これにより、液晶パネルの下端部に位置するゲートラインに接続された画素が本来表示されるべきデータに対応する輝度より暗い輝度で表示するという問題を解消できる。

【0011】

具体的には、タイミングコントローラは、各ゲートラインG L 1 ~ G L nに順次供給さ

50

れるゲート駆動信号がハイレベルにライジングする時点に、ロード信号TPのフォーリング時点を同期させ、データ駆動部が階調表示電圧をデータラインに供給するようにする。従って、ゲート駆動回路によってゲート駆動信号が遅延すると、ゲート駆動信号が遅延した時間だけロード信号TPのフォーリング時点を遅延させる。これにより、ゲート駆動回路によってゲート駆動信号が遅延することにより発生する問題を解消できる。

発明2は、発明1において、前記レベルシフタは前記ゲートクロックパルスゲートオン電圧及びゲートオフ電圧レベルのパルスとして生成することが好ましい。

【0012】

発明3は、発明2において、前記ゲートクロックパルスは前記ゲートクロックパルスの位相が反転した位相を有する反転ゲートクロックパルスを含む。これらの信号は、ゲートラインを駆動する速度を調整し、例えば速くするために使用される。

発明4は、発明3において、前記第1ゲート駆動信号はゲート駆動回路をリセットするリセット信号を含む。

【0013】

発明5は、発明4において、前記ゲート駆動回路は前記ゲートラインが形成された液晶パネルに集積され、前記ゲートラインの両端にデュアルに形成されて前記ゲートラインをデュアル駆動することが好ましい。

発明6は、発明5において、前記ゲート駆動回路は互いに従属的に接続された複数のステージから構成されるシフトレジスタである。つまり、前記ゲート駆動回路はリプル進行方式で互いに直列に接続された複数のステージから構成されるシフトレジスタである。

【0014】

発明7は、発明6において、前記複数のステージは前記複数のゲートラインにそれぞれ対応して接続される。

発明8は、発明7において、リセット信号を生成するダミーステージを含む。

ダミーステージは、ディスプレイフレームの垂直スキャンの終点でリセットするために全てのステージに再度接続されるのが好ましい。

【0015】

発明9は、発明8において、前記タイミングコントローラは、1フレームの最後の出力イネーブル信号を供給する出力イネーブル信号生成部と、前記クリップされたリセット信号と前記1フレームの最後の出力イネーブル信号とを比較してクロックカウント信号を生成するカウンタ部と、前記クロックカウント信号に応答して前記ロード信号のタイミングを調節するロード信号生成部と、を含む。

【0016】

前記カウンタ部は、クロックカウント信号を生成して実際遅延が理想的なものからどれほど差異があるのかを決定する。また、ロード信号生成部は、前記クロックカウント信号に応答して全てのフレームに対する測定されたリプルスル遅延を基準にして行当リスキャンされた基準の前記ロード信号のタイミングを調節する。

発明10は、リセット信号を含むゲート駆動信号を生成するゲート駆動回路と、前記リセット信号と前記リセット信号に対応する出力イネーブル信号を比較して前記ゲート駆動回路による前記ゲート駆動信号の遅延時間を算出し、前記遅延時間に応答してデータ出力時点を決定するロード信号のタイミングを調節するタイミングコントローラとを含む。

【0017】

発明11は、発明10において、前記リセット信号をクリップしたクリップされたリセット信号を前記タイミングコントローラに供給するクリップ部をさらに含む。

発明12は、発明11において、前記タイミングコントローラが、前記出力イネーブル信号を供給する出力イネーブル信号生成部と、前記クリップされたリセット信号と前記1フレームの最後の出力イネーブル信号を比較してクロックカウント信号を生成するカウンタ部と、前記クロックカウント信号に応答して前記ロード信号のタイミングを調節するロード信号生成部とを含む。

【0018】

発明13は、発明12において、前記ゲート駆動回路が互い従属的に接続された複数のステージから構成されるシフトレジスタであり、前記複数のステージが前記複数の前記リセット信号を生成するダミーステージを含む。

発明14は、発明13において、前記カウンタ部は、前記出力イネーブル信号のライジング時点から前記クリップされたリセット信号のライジング時点までの区間に該当するクロック数をカウントして前記クロックカウント信号として生成することが好ましい。

【0019】

発明15は、発明14において、前記ロード信号生成部は前記ゲート駆動信号が供給されるゲートライン数を前記クロックカウント信号値で除算して前記ゲート駆動信号の遅延時間を算出し、算出されたゲート駆動信号遅延時間に該当する時間だけ前記ロード信号のフォーリング時点を遅延させる。

また、前記算出されたゲート駆動信号遅延時間に該当し、1つのフレームが進行される時スキャンされた行の数に対等する分だけ前記ロード信号のフォーリング時点をそれぞれ遅延させることが好ましい。

【0020】

本発明16のゲート駆動信号遅延減少方法は、ゲート駆動回路のダミーステージの出力信号であるリセット信号をタイミングコントローラにフィードバックするリセット信号フィードバック段階と、前記リセット信号と前記リセット信号に対応する出力イネーブル信号とを比較して前記ゲート駆動回路によるゲート駆動信号の遅延時間を算出する遅延時間算出段階と、前記算出されたゲート駆動信号の遅延時間に応答してデータの出力時点を決定するロード信号のタイミングを調節するロード信号タイミング調節段階とを含む。

【0021】

発明17は、発明16において、リセット信号フィードバック段階は、前記リセット信号を一定の電圧レベルにクリップし、クリップされたリセット信号を前記タイミングコントローラにフィードバックするクリップ段階をさらに含む。

発明18は、発明17において、前記遅延時間算出段階は、前記出力イネーブル信号のライジング時点から前記クリップされたリセット信号のライジング時点までの区間に該当するクロック数をカウントしてクロックカウント信号を生成する段階を含む。

【0022】

発明19は、発明18において、前記ロード信号タイミング調節段階は、前記ゲート駆動信号が供給されるゲートライン数を前記クロックカウント信号値で除算して前記ゲート駆動信号の遅延時間を算出し、算出されたゲート駆動信号遅延時間に該当する時間だけ前記ロード信号のフォーリング時点を遅延させる段階を含む。

発明20は、発明19において、前記リセット信号フィードバック段階は、前記ゲート駆動回路が複数のゲートラインに順次前記ゲート駆動信号を印加するとき、前記ゲート駆動回路による遅延によってデータの出力時点より前記ゲート駆動信号が遅延して印加されることにより発生する横線視認現象を分析する横線現象分析段階をさらに含む。

【0023】

発明21は、ディスプレイフレームの間垂直スキャンの第1時点で初期化した後、ロー活性化パルスまたはダミの最後のロー活性化パルスに対応されたシフトレジスタの最後のステージまたはダミの最後のステージが出力される時第2時点を確認する段階と、第1及び第2時点の差異とスキャンされたディスプレイローの数から複数個のシフトレジスタのステージのリップルスル遅延（ripple-through delay）と関連されたディスプレイロー当り遅延を決定する段階と、前記決定されたディスプレイロー当り遅延及び現在スキャンの間活性化されたディスプレイローの数に従って前記シフトレジスタに対応され活性化されたディスプレイローにディスプレイデータがローディングされる時の第3時点と現在ディスプレイフレームの行の活性化を調節する段階と、を含むことを特徴とするシフトレジスタの複数個のステージのリップルスル遅延を補償してスキャンスルとディスプレイフレームの順次的に活性化された行に使用する方法を提供する。

【0024】

発明22は、ディスプレイフレームの垂直スキャンルの第1時点で初期化に応答するものの、シフトレジスタの最後のステージまたはダミの最後のステージが最後の行またはダミの最後の行の活性化信号に対応され出力される時、第2時点を確認する確認手段と、前記確認手段に駆動的に結合され前記第1及び第2時点の差異とスキャンされたディスプレイローの数から、前記シフトレジスタの複数のステージのリップルスル遅延と関連されたディスプレイロー当り遅延またはその等価物を決定する差異決定手段と、前記差異決定手段に応答して前記決定されたディスプレイローの遅延及び現在スキャンされる間活性化されたディスプレイローの数に従って前記シフトレジスタに対応して活性化されたディスプレイローにディスプレイデータがローディングされる時の第3時点と現在ディスプレイフレームの行の活性化を調節する調節手段と、を含むことを特徴とするシフトレジスタの複数のステージの多様なリップルスル遅延を補償してスキャンル及び順次的に活性化されたディスプレイの行に使用するためのシステムを提供する。

10

【発明の効果】

【0025】

本発明の液晶表示装置は、画像品質が向上した液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0026】

本発明の詳細な説明では本発明の好ましい実施形態に基づいて説明するが、該当技術分野の習熟した当業者又は該当技術の分野における通常の知識を有する者であれば、特許請求の範囲に記載された本発明の思想及び技術領域から外れない範囲内で本発明を多様に修正及び変更できることを理解するであろう。

20

従って、本発明の技術的範囲は明細書の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲により定められるべきである。

【0027】

以下、添付図面を参照して本発明の好ましい一実施形態について詳細に説明する。

図1は本発明の一実施形態による液晶表示装置の構成を示すブロック図である。図1に示すように、本発明の一実施形態による液晶表示装置100は、液晶パネル110、データ駆動部120、第1ゲート駆動回路130、第2ゲート駆動回路140、第1レベルシフタ150、第2レベルシフタ160、タイミングコントローラ170、電源供給部180、及びクリップ部190を含む。

30

【0028】

前記液晶パネル110は、薄膜トランジスタ基板112、カラーフィルタ基板（図示せず）、及び薄膜トランジスタ基板112とカラーフィルタ基板間に介在する液晶（図示せず）を含む。

薄膜トランジスタ基板112は、表示領域DA、第1周辺領域PA1、及び第2周辺領域PA2を含む。表示領域DAには、第1方向に伸長されたゲートラインGL1～GLn、第1方向と異なる第2方向に伸長されたデータラインDL1～DLm、並びにゲートラインGL1～GLn及びデータラインDL1～DLmにそれぞれ接続される複数の画素が形成される。第1周辺領域PA1には、ゲートラインGL1～GLnを駆動する第1ゲート駆動回路130及び第2ゲート駆動回路140が形成される。第2周辺領域PA2には、データラインDL1～DLmを駆動するデータ駆動部120が実装される。ここで、第1周辺領域PA1はゲートラインGL1～GLnの両端部に隣接する領域であり、第1ゲート駆動回路130は表示領域DAの両側に配置される。また、第2周辺領域PA2はデータラインDL1～DLmの一端部に隣接する領域である。

40

【0029】

各画素、例えば1つの画素は、ゲートラインGL1とデータラインDL1に接続される薄膜トランジスタTF1、薄膜トランジスタTF1に接続される液晶キャパシタCLC、及びストレージキャパシタCSTを含む。薄膜トランジスタTF1のゲート及びソースはゲートラインGL1及びデータラインDL1にそれぞれ接続され、ドレインは液晶キャパ

50

シタCLCとストレージキャパシタCSTに接続される。液晶キャパシタCLCは画素電極と共通電極を二端子とし、二端子間に誘電体として機能する液晶を含む。

【0030】

カラーフィルタ基板には、光漏れ防止のためのブラックマトリクス、色を実現するためのカラーフィルタ、及び共通電極が形成される。液晶は誘電率異方性を有する物質であり、共通電極と画素電極に印加された電圧の差により回転して光の透過率を調節する。

前記第1ゲート駆動回路130及び第2ゲート駆動回路140は、ゲートラインGL1～GLnを介して液晶パネル110の一方側及び他方側である第1周辺領域PA1に集積されて形成され、その出力がゲートラインGL1～GLnの両端にそれぞれに接続される。第1ゲート駆動回路130及び第2ゲート駆動回路140は、ゲートラインGL1～GLnの両端からゲート駆動パルスを一度に一つのゲートラインに順次供給してゲートラインGL1～GLnをデュアル駆動させ、垂直スキャン動作に影響を与える。少なくとも第1ゲート駆動回路130及び第2ゲート駆動回路140の一方は、例えば、垂直スキャンの終点でゲート駆動回路130はゲート駆動回路130をリセットするリセット信号Resigを提供する。示されたようにこのフレームの終点のリセット信号Resigはクリップ部190に駆動的に接続できる。このように、ゲート駆動回路130は、フレームの終点を示すリセット信号Resigを出力する。クリップ部190は、リセット信号Resigを受信し、リセット信号Resigに基づくCREsig信号を最後のタイミングコントローラ170に出力する。

【0031】

前記データ駆動部120は、タイミングコントローラ170からデータ制御信号及びデータを受信し、データに該当するアナログ駆動電圧を選択してデータラインDL1～DLmに階調表示電圧として供給する。データ駆動部120は集積化されたチップで実現され、薄膜トランジスタ基板112の第2周辺領域PA2に実装される。データ駆動部120は第2周辺領域PA2に接続されるフレキシブルプリント基板102を介してタイミングコントローラ170及び電源供給部180に接続される。

【0032】

一方、本実施形態において、データ駆動部120が薄膜トランジスタ基板112にCOG (Chip On Glass) 方式で実装される場合を例示したが、これに限定されるものではなく、TCP (Tape Carrier Package) 方式で実装されたり、第1ゲート駆動回路130及び第2ゲート駆動回路140のように直接薄膜トランジスタ基板112に集積化されて形成されてもよい。

【0033】

前記第1レベルシフタ150及び第2レベルシフタ160は、タイミングコントローラ170からゲート制御信号が入力され、電源供給部180から駆動電圧が印加され、ゲート駆動回路130、140を駆動させるゲート駆動信号を生成して第1ゲート駆動回路130及び第2ゲート駆動回路140にそれぞれ供給する。図1では、ゲート駆動信号は、データ駆動部120を介してゲート駆動回路130、140に供給される。

【0034】

前記タイミングコントローラ170には、外部からデータ及び入力制御信号が入力され、ゲート制御信号及びデータ制御信号を生成して第1レベルシフタ150及び第2レベルシフタ160並びにデータ駆動部120に供給する。ここで、データはRGB映像信号であり、データ制御信号はロード信号を含み、入力制御信号は垂直同期信号、水平同期信号、メインクロック、及びデータイネーブル信号を含む。タイミングコントローラ170は、クリップ部190からリセット信号Resigに基づくリセット信号CREsigが供給され、データ駆動部120に供給されるロード信号のタイミングを調節する。

【0035】

前記電源供給部180は、外部から供給された電源電圧を利用してアナログ駆動電圧、共通電圧VCOM、ゲート駆動電圧を生成する。電源供給部180は、アナログ駆動電圧をデータ駆動部120に供給し、共通電圧VCOMを液晶パネル110の共通電極に供給

し、ゲート駆動電圧を第1レベルシフタ150及び第2レベルシフタ160に供給する。

前記クリップ部190は、第1ゲート駆動回路130からリセット信号R E s i gを取得し、リセット信号R E s i gに基づいてリセット信号C R E s i gを生成してタイミングコントローラ170に供給する。

【0036】

ここで、リセット信号C R E s i gは、リセット信号R E s i gをタイミングコントローラ170が処理できる電圧レベルに制限した信号である。また、リセット信号R E s i gは、ゲート駆動回路130のダミーステージから出力されるゲートオン電圧V O Nまたはゲートオフ電圧V O F Fレベルの信号であり、ディスプレイの各垂直スキャンの終点で第1ゲート駆動回路130をリセットする信号である。従って、前記リセット信号R E s i gは、スキャン信号（垂直同期信号）と組み合わせられ、全てのディスプレイ上の行（以下、ディスプレイローという）を順次に活性化する動作において、第1ゲート駆動回路130の蓄積された遅延を示す。また、行（ライン）当りの遅延（per-line delay）は、測定された総遅延をスキャンされた行（ライン）の総数で割ることで計算することができる。示されていないが、適切な演算論理部またはマイクロコントローラまたはマイクロプロセッサが、行当りの遅延、収集された遅延の総量を算出するのに使用されることができる。これらの計算手段は、与えられたディスプレイの所定の行数を算出することもできる。ダミーステージn+1の出力は、クリップ回路190に入力されるだけでなく、全てのステージにリセット入力として入力されることもできる。全てのステージが前記ダミーステージn+1の出力をリセット入力として取り込むことで、全てのステージが同様の動作を行うことができる。前記ダミーステージn+1のゲートラインG L n+1は、他のステージの出力負荷に近接するために適切な数か少ない数のダミゲートパッドを有することができる。

【0037】

例えば、クリップ部190は、ゲートオン電圧V O Nとゲートオフ電圧V O F Fレベルのリセット信号R E s i gを、3.3Vレベルに振幅を制限し、クリップされたリセット信号C R E s i gとして出力するクリップ回路を含む。このような機能を実行するクリップ回路は前述した説明から当業者が容易に実現できるので、詳細な説明は省略する。

前記タイミングコントローラ170、第1レベルシフタ150、第2レベルシフタ160、電源供給部180、及びクリップ部190はコントロールプリント基板104に実装される。コントロールプリント基板104はフレキシブルプリント基板102を介して薄膜トランジスタ基板112の第2周辺領域P A 2に接続される。液晶パネル110に形成された第1ゲート駆動回路130及び第2ゲート駆動回路140は、データ駆動部120を介してタイミングコントローラ170及び電源供給部180に接続されるか、又はフレキシブルプリント基板102を介して直接タイミングコントローラ170及び電源供給部180に接続される。

【0038】

図2は図1に示すタイミングコントローラの入出力信号の関係を示す図である。図2に示すように、タイミングコントローラ170は第1レベルシフタ150及び第2レベルシフタ160に出力イネーブル信号O E、ゲートクロックC P V、及びゲートスタート信号S T Vをそれぞれ供給する。また、タイミングコントローラ170はクリップ部190から供給されるクリップされたリセット信号C R E s i gに応答してロード信号T Pのタイミングを調節してデータ駆動部120に供給する。

【0039】

一方、第1レベルシフタ150及び第2レベルシフタ160は、電源供給部180からゲート駆動電圧のゲートオン電圧V O Nとゲートオフ電圧V O F Fが供給され、タイミングコントローラ170からゲート制御信号である出力イネーブル信号O E、ゲートクロックC P V、及びゲートスタート信号S T Vが供給され、ゲートオン電圧V O Nとゲートオフ電圧V O F Fレベルの開始パルスS T V P、ゲートクロックパルスC K V、及び反転ゲートクロックパルスC K V Bを生成し、これをデータ駆動部120を介して第1ゲート駆

動回路 130 及び第 2 ゲート駆動回路 140 に供給する。

【0040】

ここで、ゲートスタート信号 S T V は 1 フレーム (Frame) の開始を通知する信号であり、開始パルス S T V P はゲート駆動回路 130、140 が 1 フレームの最初のゲート駆動信号を生成するようにする信号である。また、ゲートクロックパルス C K V 及び反転ゲートクロックパルス C K V B は、互いに位相が反転したクロックであり、ゲートラインを駆動する速度を調整し、例えば速くするために使用される。

【0041】

図 3 は図 2 に示すタイミングコントローラの構成を示すブロック図である。図 3 に示すように、タイミングコントローラ 170 は、出力イネーブル信号生成部 172、カウンタ部 174、及びロード信号生成部 176 を含む。

10

前記出力イネーブル信号生成部 172 は、1 フレームの最後の出力イネーブル信号 L A S T O E をカウンタ部 174 に供給する。ここで、ゲートラインを活性化するためのシフトレジスタは、複数のステージが直列に接続されて形成されており、最後のステージはダミーステージである。1 フレームの最後の出力イネーブル信号 L A S T O E とは、ダミーステージに供給されるゲートクロックパルス C K V を生成するために使用された出力イネーブル信号 O E に時間的に対応した信号である。前記ダミーステージは、前記シフトレジスタの他のステージと同一の工程で製造され、その応答遅延は他のステージの応答遅延と同じである。

【0042】

20

前記カウンタ部 174 は、クリップされたリセット信号 C R E s i g のライジング時点と、最後の出力イネーブル信号 L A S T O E のライジング (Rising) 時点と、の差異を示すクロックカウント信号 C L K C O U N T を生成し、これをロード信号生成部 176 に供給する。ここで、クロックカウント信号 C L K C O U N T は、ゲート駆動回路 130、140 によるゲート駆動信号の遅延時間をクロックに基づいて算出した信号である。

【0043】

具体的に説明すると、リセット信号 R E s i g は、ゲート駆動回路のダミーステージから出力される信号であり、リセット信号 C R E s i g はリセット信号 R E s i g に基づいて生成されるため、リセット信号 R E s i g に時間的に対応した信号である。また、最後の出力イネーブル信号 L A S T O E は、ダミーステージをイネーブルにするための出力イネーブル信号 O E に時間的に対応した信号である。よって、リセット信号 C R E s i g のライジング時点と、最後の出力イネーブル信号 L A S T O E のライジング時点と、の差異を算出することで、ダミーステージがイネーブルされてから信号が出力されるまでの応答時間が算出され、最終的にゲート駆動信号の遅延時間が算出される。

30

【0044】

前記ロード信号生成部 176 は、クロックカウント信号 C L K C O U N T に応答してロード信号 T P のフォーリング (Falling) 時点とを調節する。データ駆動部 120 はロード信号 T P のフォーリング時点にデータを出力するからである。

従って、本発明の一実施形態による液晶表示装置は、ゲート駆動回路のリセット信号のフィードバックを受ける。また、フィードバックに基づいてロード時間 (即ち、T P パルスフォーリングエッジ) を調節してゲート駆動回路によるゲート駆動信号の出力遅延を補償できる。そのため、ゲート駆動回路自体の遅延によって、データが出力されるよりもゲート駆動信号が遅延して印加される問題を解消できる。これにより、液晶パネルの下端部に位置するゲートラインに接続された画素が本来表示されるべきデータに対応する輝度より暗い輝度で表示するという問題を解消できる。

40

【0045】

図 4 は図 1 に示す第 1 レベルシフタの例を示す回路図である。図 4 に示すように、第 1 レベルシフタ 150 は、第 1 レベルシフト部 152、第 2 レベルシフト部 154、及び第 3 レベルシフト部 156 を含む。

第 1 レベルシフト部 152 は、出力イネーブル信号 O E とゲートクロック C P V を論理

50

演算し、電圧のレベルを増幅して第1ゲート駆動回路に供給するゲートクロックパルスCKVを発生する。このために第1レベルシフト部152は、論理演算部LG1、駆動インバータINV1、及びフルスイングインバータ153を含む。

【0046】

論理演算部LG1は出力イネーブル信号OEとゲートクロックCPVとをオア演算する。駆動インバータINV1は、論理演算部LG1の出力の位相を反転させてフルスイングインバータ153の駆動レベルに増幅する。フルスイングインバータ153は、駆動インバータINV1の出力にตอบสนองしてゲートオン電圧VON及びゲートオフ電圧VOFFレベルのゲートクロックパルスCKVを生成する。

【0047】

第2レベルシフト部154は、出力イネーブル信号OEとゲートクロックCPVを論理演算し、電圧のレベルを増幅して第1ゲート駆動回路に供給する反転ゲートクロックパルスCKVBを発生する。このために第2レベルシフト部154は、論理演算部LG2、反転インバータINV2、駆動インバータINV3、及びフルスイングインバータ155を含む。ここで、反転ゲートクロックパルスCKVBはゲートクロックパルスCKVの位相が反転したクロックである。

【0048】

論理演算部LG2は出力イネーブル信号OEとゲートクロックCPVをオア演算する。反転インバータINV2は論理演算部LG2の出力の位相を反転させて出力する。駆動インバータINV3は反転インバータINV2の出力の位相を反転させてフルスイングインバータ155の駆動レベルに増幅する。フルスイングインバータ155は駆動インバータINV3の出力にตอบสนองしてゲートオン電圧VON及びゲートオフ電圧VOFFレベルの反転ゲートクロックパルスCKVBを生成する。

【0049】

第3レベルシフト部156は、出力イネーブル信号OEとゲートスタート信号STVが入力され、ゲートオン電圧VON及びゲートオフ電圧VOFFレベルの開始パルスSTVPを発生する。ここで、開始パルスSTVPは、ゲートスタートパルスSTVと同一の周期とパルス幅を有し、ゲートオン電圧VON及びゲートオフ電圧VOFFのレベルを有する。これは論理演算部LG1がAND機能に置換された第1レベルシフト部152と類似した回路によって具現されることができる。

【0050】

一方、第2レベルシフト部160の構成は前述した第1レベルシフト部150の構成及び動作から当業者が容易に実施できるので、詳細な説明は省略する。

図5は図1に示す第1及び第2ゲート駆動回路の構成を示すブロック図である。図5に示すように、第1ゲート駆動回路130及び第2ゲート駆動回路140は、ゲートラインGL1～GLnを両側からデュアル駆動できるように表示領域DAの両側に隣接して配置される。しかし、示されたように、ゲートラインGLn+1及び駆動ステージn+1が一つずつ各端部に追加されることもできる。第1ゲート駆動回路130及び第2ゲート駆動回路140は、ゲートラインGL1～GLnを基準に対称の構造を有する。

【0051】

第1ゲート駆動回路130は、データ駆動部から各種信号が入力されて回路部132に伝達する配線部134と、配線部134を介して伝達される各種信号にตอบสนองしてゲート駆動信号を順次出力する回路部132とを含む。

前記回路部132は、互いに従属的に接続された複数のステージSTAGE1～STAGEN+1から構成されるシフトレジスタを含む。第1ステージSTAGE1～第nステージSTAGENは、第1ゲートラインGL1～第nゲートラインGLnに電氣的に接続されてゲート駆動信号を順次出力する。ここで、n+1ステージSTAGEN+1はダミーステージであり、nは偶数である。

【0052】

複数のステージSTAGE1～STAGEN+1は、それぞれ第1クロック端子CK1

10

20

30

40

50

、第2クロック端子CK2、入力端子IN、制御端子CT、出力端子OUT、リセット端子RE、キャリア端子CR、及び接地電圧端子VSSを含む。

複数のステージSTAGE1～STAGEN+1のうち奇数番目のステージSTAGE1、STAGE3～STAGEN+1は、第1クロック端子CK1にゲートクロックパルスCKVが供給され、第2クロック端子CK2に反転ゲートクロックパルスCKVBが供給される。複数のステージSTAGE1～STAGENのうち偶数番目のステージSTAGE2、STAGE4～STAGENは、第1クロック端子CK1に反転ゲートクロックパルスCKVBが供給され、第2クロック端子CK2にゲートクロックパルスCKVが供給される。

【0053】

10

複数のステージSTAGE1～STAGEN+1の入力端子INは前のステージのキャリア端子CRに接続されて前のステージのキャリア信号が供給され、制御端子CTは次のステージの出力端子OUTに接続されて次のステージの出力信号が供給される。第1ステージSTAGE1は、前のステージが存在しないので入力端子INに開始パルスSTVPが供給される。キャリア端子CRから出力されるキャリア信号は次のステージを駆動させる役割を果たす。

【0054】

n番目のステージSTAGENの制御端子CTにキャリア信号を供給するダミーステージSTAGEN+1の制御端子CTには開始パルスSTVPが供給されることが好ましい。複数のステージSTAGE1～STAGEN+1の接地電圧端子VSSにはゲートオフ電圧VOFFが供給されており、リセット端子REにはn+1ステージSTAGEN+1の出力信号が供給される。

20

【0055】

また、複数のステージSTAGE1～STAGEN+1のうち奇数番目のステージSTAGE1、STAGE3～STAGEN+1の出力端子OUTはゲートクロックパルスCKVをゲート駆動信号として出力し、キャリア端子CRはゲートクロックパルスCKVをキャリア信号として出力する。複数のステージSTAGE1～STAGENのうち偶数番目のステージSTAGE2、STAGE4～STAGENの出力端子OUTは反転ゲートクロックパルスCKVBをゲート駆動信号として出力し、キャリア端子CRは反転ゲートクロックパルスCKVBをキャリア信号として出力する。

30

【0056】

すなわち、第1ゲート駆動回路130は、奇数番目のステージSTAGE1、STAGE3～STAGEN+1がゲートクロックパルスCKVに同期してゲート駆動信号を出力し、偶数番目のステージSTAGE2、STAGE4～STAGENが反転ゲートクロックパルスCKVBに同期してゲート駆動信号を出力する構造を有する。

第1ゲート駆動回路130の複数のステージSTAGE1～STAGENの出力端子OUTは表示領域DAに形成されたゲートラインGL1～GLnにそれぞれ対応して接続され、ゲート駆動信号をゲートラインGL1～GLnに順次供給してゲートラインGL1～GLnを順次駆動する。

【0057】

40

前記配線部134は回路部132に隣接して形成される。配線部134は、互いに平行に延びた開始パルス配線SL1、ゲートクロックパルス配線SL2、反転ゲートクロックパルス配線SL3、接地電圧配線SL4、及びリセット配線SL5を含む。

開始パルス配線SL1は、第1レベルシフタ150から開始パルスSTVPが伝達されて第1ステージSTAGE1の入力端子INとn+1ステージSTAGEN+1の制御端子CTに入力する。

【0058】

ゲートクロックパルス配線SL2は、第1レベルシフタ150からゲートクロックパルスCKVが伝達されて奇数番目のステージSTAGE1、STAGE3～STAGEN+1の第1クロック端子CK1に供給し、偶数番目のステージSTAGE2、STAGE4

50

～STAGE n の第2クロック端子CK2に供給する。

反転ゲートクロックパルス配線SL3は、第1レベルシフタ150から反転ゲートクロックパルスCKVBが伝達されて奇数番目のステージSTAGE1、STAGE3～STAGE $n+1$ の第2クロック端子CK2に供給し、偶数番目のステージSTAGE2、STAGE4～STAGE n の第1クロック端子CK1に供給する。

【0059】

接地電圧配線SL4は、電源供給部180からゲートオフ電圧VOFFが伝達されて第1ステージSTAGE1～第 $n+1$ ステージSTAGE $n+1$ の接地電圧端子VSSに供給する。

リセット配線SL5は、第 $n+1$ ステージSTAGE $n+1$ の出力端子OUTの出力信号を複数のステージSTAGE1～STAGE $n+1$ のリセット端子REにリセット信号RESIGとして供給する。また、リセット配線SL5は、第 $n+1$ ステージSTAGE $n+1$ の出力端子OUTの出力信号をクリップ部190に供給する。

【0060】

第1ゲート駆動回路130及び第2ゲート駆動回路140は、ゲートラインGL1～GL n を基準に対称の構造を有する。前述した第1ゲート駆動回路130についての説明から当業者は第2ゲート駆動回路140の構成を容易に実施できるので、第2ゲート駆動回路140の詳細な説明は省略する。

例えば、右側回路部分140のリセットラインはクリップ部190に連結される必要がない。これとは異なり、クリップ部190は、左側の代わりに右側回路部分190のリセットパルスを受けることもできる。

【0061】

本発明の一実施形態による液晶表示装置は、同じ構成のゲート駆動回路をゲートラインの両端に配置してゲートラインをデュアル駆動する構成を有する。そのため、ゲート駆動信号がゲートラインの端部に近づくほど遅延出力されてゲートラインの左右側の両端部で隣接する両ゲートライン間に輝度差が発生する従来の問題を解消することができる。例えば、右側のゲート駆動回路からゲートラインにゲート駆動信号を供給された場合、左側にいくほど信号遅延が生じる。同様に、左側のゲート駆動回路からゲートラインにゲート駆動信号を供給された場合、右側にいくほど信号遅延が生じる。しかし、右側及び左側のゲート駆動回路が交互に駆動されるため、隣接するラインで遅延から生じる輝度差が互いに補償される。

【0062】

図6は図5に示す第1ステージの例を示す回路図である。図6に示すように、第1ステージSTAGE1は、プルアップ部132a、プルダウン部132b、駆動部132c、ホールド部132d、スイッチ部132e、及びキャリア部132fを含む。

前記プルアップ部132aは、第1クロック端子CK1から供給されるゲートクロックパルスCKVをプルアップして出力端子OUTからゲート駆動信号GO1として出力する。プルアップ部132aは、ゲートが第1ノードN1に接続され、ドレインが第1クロック端子CK1に接続され、ソースが出力端子OUTに接続される第1トランジスタNT1を含む。

【0063】

前記プルダウン部132bは、第2ステージからのゲート駆動信号GO2に応答してプルアップされたゲート駆動信号GO1を接地電圧端子VSSから供給されたゲートオフ電圧VOFFにプルダウンする。プルダウン部132bは、ゲートが制御端子CTに接続され、ドレインが出力端子OUTに接続され、ソースが接地電圧端子VSSに接続された第2トランジスタNT2を含む。

【0064】

前記駆動部132cは、入力端子INから供給される開始パルスSTVPに응答してプルアップ部132aをターンオンさせ、第2ステージのゲート駆動信号GO2に응答してプルアップ部132aをターンオフさせる。このために駆動部132cは、バッファ部、

充電部、及び放電部を含む。

バッファ部は、ゲート及びドレインが入力端子 I N に共通接続され、ソースが第 1 ノード N 1 に接続された第 3 トランジスタ N T 3 を含む。充電部は、第 1 電極が第 1 ノード N 1 に接続され、第 2 電極が第 2 ノードに接続された第 1 キャパシタ C 1 を含む。放電部は、ゲートが制御端子 C T に接続され、ドレインが第 1 ノード N 1 に接続され、ソースが接地電圧端子 V S S に接続される第 4 トランジスタ N T 4 を含む。

【0065】

入力端子 I N に開始パルス S T V P が入力されると、これに応答して第 3 トランジスタ N T 3 がターンオンし、開始パルス S T V P が第 1 キャパシタ C 1 に充電される。第 1 キャパシタ C 1 に第 1 トランジスタ N T 1 の閾電圧以上の電荷が充電されると、第 1 トランジスタ N T 1 がターンオンして第 1 クロック端子 C K 1 から供給されるゲートクロックパルス C K V を出力端子 O U T に出力する。

10

【0066】

ここで、第 1 ノード N 1 の電位は、第 2 ノード N 2 の突然の電位の変化による第 1 キャパシタ C 1 のカップリング (Coupling) により、第 2 ノード N 2 の電位変化量だけブートストラップ (Boot Strap) される。従って、第 1 トランジスタ N T 1 は、ドレインに印加された第 1 ゲートクロックパルス C K V を出力端子 O U T に容易に出力できる。出力端子 O U T に出力されたゲートクロックパルス C K V はゲートラインに供給されるゲート駆動信号 G O 1 となる。ここで、開始パルス S T V P は、第 1 ゲート駆動信号を生成するために第 1 トランジスタ N T 1 を予備に充電する信号として使用される。

20

【0067】

その後、制御端子 C T から入力される第 2 ステージの出力信号であるゲート駆動信号 G O 2 に応答して第 4 トランジスタ N T 4 がターンオンすると、第 1 キャパシタ C 1 に充電された電荷は接地電圧端子 V S S から供給されるゲートオフ電圧 V O F F レベルで放電される。

前記ホールド部 1 3 2 d は、ゲート駆動信号 G O 1 をゲートオフ電圧 V O F F レベル状態でホールドする第 5 トランジスタ N T 5 及び第 6 トランジスタ N T 6 を含む。第 5 トランジスタ N T 5 は、ゲートが第 3 ノード N 3 に接続され、ドレインが第 2 ノード N 2 に接続され、ソースが接地電圧端子 V S S に接続される。第 6 トランジスタ N 6 は、ゲートが第 2 クロック端子 C K 2 に接続され、ドレインが第 2 ノード N 2 に接続され、ソースが接地電圧端子 V S S に接続される。

30

【0068】

前記スイッチ部 1 3 2 e は、第 7 トランジスタ N T 7、第 8 トランジスタ N T 8、第 9 トランジスタ N T 9、及び第 10 トランジスタ N T 10 と、第 2 キャパシタ C 2 及び第 3 キャパシタ C 3 とを含み、ホールド部 1 3 2 d の駆動を制御する。第 7 トランジスタ N T 7 は、ゲートとドレインが第 1 クロック端子 C K 1 に接続され、ソースは第 9 トランジスタ N T 9 のドレインと第 8 トランジスタ N T 8 のゲートに共通接続される。第 8 トランジスタ N T 8 は、ドレインが第 1 クロック端子 C K 1 に接続され、ゲートは第 2 キャパシタ C 2 を介して前記第 7 トランジスタ N T 7 のドレインと接続され、ソースは第 3 ノード N 3 に接続され、ゲートとソースは第 3 キャパシタ C 3 を介して互いに接続される。第 9 トランジスタ N T 9 は、ドレインが第 7 トランジスタ N T 7 のソースに接続され、ゲートは第 2 ノード N 2 に接続され、ソースは接地電圧端子 V S S に接続される。第 10 トランジスタ N T 10 は、ドレインが第 3 ノード N 3 に接続され、ゲートは第 2 ノード N 2 に接続され、ソースは接地電圧端子 V S S に接続される。

40

【0069】

出力端子 O U T にハイ状態のゲートクロックパルス C K V がゲート駆動信号 G O 1 として出力されると、第 2 ノード N 2 の電位はハイ状態に上昇する。第 2 ノード N 2 の電位がハイ状態に上昇すると、第 9 トランジスタ N T 9 及び第 10 トランジスタ N T 10 はターンオン状態に切り替えられる。ここで、第 1 クロック端子 C K 1 に供給されるゲートクロックパルス C K V によって第 7 トランジスタ N T 7 及び第 8 トランジスタ N T 8 がターン

50

オンした状態に切り替えられても、第7トランジスタNT7及び第8トランジスタNT8から出力された信号は第9トランジスタNT9及び第10トランジスタNT10を介して接地電圧VOFF状態で放電される。従って、ハイ状態のゲート駆動信号GO1が出力される間、第3ノードN3の電位はロー状態に維持されるので、第5トランジスタNT5はターンオフ状態を維持する。

【0070】

その後、制御端子CTから入力された第2ステージのゲート駆動信号GO2に応答してゲート駆動信号GO1が接地電圧端子VSSから放電され、第2ノードN2の電位はロー状態に徐々に下降する。従って、第9トランジスタNT9及び第10トランジスタNT10はターンオフ状態に切り替えられ、第7トランジスタNT7及び第8トランジスタNT8から出力された信号によって第3ノードN3の電位はハイ状態に上昇する。第3ノードN3の電位が上昇するにつれて第5トランジスタNT5がターンオンし、第2ノードN2の電位は第5トランジスタNT5を介してゲートオフ電圧VOFF状態で放電される。

10

【0071】

この状態で、第2クロック端子CK2に供給される反転ゲートクロックパルスCKVBによって第6トランジスタNT6がターンオンすると、第2ノードN2の電位は接地電圧端子VSSから完全に放電される。

その結果、ホールド部132dの第5トランジスタNT5及び第6トランジスタNT6は、第2ノードN2の電位をゲートオフ電圧VOFF状態でホールドする。スイッチ部132eは、第5トランジスタNT5がターンオンする時点を決する。

20

【0072】

前記キャリア部132fは、ドレインが第1クロック端子CK1に接続され、ゲートが第1ノードN1に接続され、ソースがキャリア端子CRに接続された第11トランジスタNT11を含む。第11トランジスタNT11は、第1ノードN1の電位が上昇するにつれてターンオンし、ドレインに流入されたゲートクロックパルスCKVをキャリア信号CAsig1として出力する。キャリア信号は次のステージの入力端子INに供給され、次のステージの駆動のための開始パルスSTVPとして使用される。

【0073】

一方、第1ステージSTAGE1は、リップル防止部132gとリセット部132hをさらに含む。前記リップル防止部132gは、既にゲートオフ電圧VOFF状態に維持されたゲート駆動信号GO1が入力端子INから入力されるノイズによってリップルされることを防止する。このためにリップル防止部132gは、第12トランジスタNT12と、第13トランジスタNT13とを含む。第12トランジスタNT12は、ドレインが入力端子INに接続され、ゲートが第2クロック端子CK2に接続され、ソースは第1ノードN1に接続される。第13トランジスタNT13は、ドレインが第1ノードN1に接続され、ゲートが第1クロック端子CK1に接続され、ソースが第2ノードN2に接続される。

30

【0074】

前記リセット部132hは、ドレインが第1ノードN1に接続され、ゲートがリセット端子REに接続され、ソースが接地電圧端子VSSに接続された第14トランジスタNT14を含む。第14トランジスタNT14は、リセット端子REから入力された第n+1ステージSTAGEN+1の出力信号であるリセット信号RESigに応答して第1ノードN1をゲートオフ電圧VOFF状態で放電させる。第n+1ステージSTAGEN+1の出力信号であるリセット信号RESigは1フレームの最後を意味するので、リセット部132hは1フレームが終わる時点に複数のステージSTAGE1～STAGENの全ての第1ノードN1を同時に放電させる。

40

【0075】

すなわち、前記リセット部132hは、複数のステージSTAGE1～STAGENから順次ゲート駆動信号が出力され、その後第n+1ステージSTAGEN+1の出力信号によって複数のステージSTAGE1～STAGENの第14トランジスタNT14をタ

50

ーンオンさせることにより、複数のステージ S T A G E 1 ~ S T A G E n の第 1 ノード N 1 をゲートオフ電圧 V O F F の状態にリセットする。従って、その後回路部 1 3 2 の複数のステージ S T A G E 1 ~ S T A G E n + 1 は初期化した状態で再び動作を始めることができる。

【0076】

本実施形態において、前記リセット信号 R E s i g は、ゲート駆動回路によるゲート駆動信号の遅延時間を算出するために、タイミングコントローラにフィードバックされる信号として使用される。一方、図 5 に示す第 2 ~ 第 n + 1 ステージは前述した第 1 ステージの構成から当業者が容易に実施できるので、詳細な説明は省略する。

図 7 は図 1 に示す液晶表示装置の動作タイミング図である。図 7 に示すように、第 1 レベルシフト 1 5 0 及び第 2 レベルシフト 1 6 0 は、タイミングコントローラ 1 7 0 から供給された出力イネーブル信号 O E とゲートクロック C P V をオア演算し、ゲートオン電圧 V O N 及びゲートオフ電圧 V O F F のゲートクロックパルス C K V 及び反転ゲートクロックパルス C K V B を生成する。第 1 ゲート駆動回路 1 3 0 及び第 2 ゲート駆動回路 1 4 0 の奇数番目のステージ S T A G E 1、S T A G E 3 ~ S T A G E n + 1 はゲートクロックパルス C K V をゲート駆動信号として出力し、偶数番目のステージ S T A G E 2、S T A G E 4 ~ S T A G E n は反転ゲートクロックパルス C K V B をゲート駆動信号として出力する。

【0077】

一方、タイミングコントローラ 1 7 0 は、各ゲートライン G L 1 ~ G L n に順次供給されるゲート駆動信号がハイレベルにライジングする時点にロード信号 T P のフォーリング時点を同期させ、データ駆動部 1 2 0 が階調表示電圧をデータラインに供給するようにする。従って、ゲート駆動回路 1 3 0、1 4 0 によってゲート駆動信号が遅延すると、ゲート駆動信号が遅延した時間だけロード信号 T P のフォーリング時点を遅延させ、ゲート駆動回路 1 3 0、1 4 0 によってゲート駆動信号が遅延することにより発生する問題が解消できる。

【0078】

本発明の一実施形態による液晶表示装置を利用し、ゲート駆動回路のリセット信号のフィードバックを受けてゲート駆動回路による遅延を補償する方法について、図 8 ~ 図 1 2 を参照してより詳細に説明する。図 8 は本発明の一実施形態による A S G 遅延減少方法の手順を示すフローチャートであり、図 9 ~ 図 1 2 は A S G 遅延減少方法を説明するための信号タイミング図である。

【0079】

図 8 に示すように、本発明の一実施形態による A S G 遅延減少方法は、横線現象分析段階 (S 1 0 0)、リセット信号フィードバック段階 (S 2 0 0)、リセット信号クリップ段階 (S 3 0 0)、遅延時間算出段階 (S 4 0 0)、及びロード信号タイミング調節段階 (S 5 0 0) を含む。

前記横線現象分析段階 (S 1 0 0) は、ゲート駆動回路 1 3 0、1 4 0 が複数のゲートライン G L 1 ~ G L n に順次ゲート駆動信号を印加するとき、ゲート駆動回路 1 3 0、1 4 0 自体の遅延によってデータ出力よりゲート駆動信号が遅延して印加されることにより発生する横線現象を分析する段階である。

【0080】

具体的には、図 9 に示すように、複数のゲートライン G L 1 ~ G L n に供給されるゲート駆動信号は、液晶パネル 1 1 0 の下端部に近づくほどゲート駆動回路 1 3 0、1 4 0 自体の遅延によって出力が遅延する現象が発生する。例えば、ゲートラインを順次駆動しながら赤 R、緑 G、及び青 B に該当する階調表示電圧を該当ゲートラインに接続された画素にそれぞれ供給する場合、液晶パネル 1 1 0 の下端部に近づくほどゲート駆動信号が遅延してゲートラインに接続された画素には本来表示されるべき色相と異なる色相が表示される。

【0081】

より詳細には、緑Gの階調表示電圧が印加されるG2ゲートラインとGn-1ゲートラインを比較すると、G2ゲートラインに接続された画素には、ゲート駆動信号GO2がハイである区間の間、緑に該当する階調表示電圧が正常に供給される。それに対して、Gn-1ゲートラインに接続された画素には、ゲート駆動信号GOn-1がハイである区間の間、緑に該当する階調表示電圧だけでなく、青に該当する階調表示電圧が同時に供給され、本来表示されるべき色相が表示されなくなる。これは、ゲート駆動回路130、140自体の遅延によってデータ出力よりゲート駆動信号が遅延して印加されることによって発生する現象である。従って、ゲート駆動回路130、140自体の遅延によってゲート駆動信号が遅延した時間だけロード信号のタイミングを遅延させることにより前記問題を解決できることが分かる。

10

【0082】

前記リセット信号フィードバック段階(S200)は、ゲート駆動回路130、140のダミーステージSTAGEN+1の出力信号であるリセット信号RESIGをクリップ部190に供給する段階である。具体的には、図10に示すように、ゲート駆動回路130、140によってゲート駆動信号の遅延(DELAY)が発生した場合、リセット信号RESIGにはゲート駆動回路130、140による遅延が発生し、ダミーステージSTAGEN+1の出力信号XRESIGに対応して一定の遅延DELAYが発生することが分かる。ここで、OEとCPVは出力信号XRESIGを生成するために使用された出力イネーブル信号とゲートクロックである。つまり、ダミーステージSTAGEN+1において、遅延が発生しない場合の出力信号XRESIGと、実際のリセット信号RESIGとに差がある場合は、遅延が生じていることが分かる。

20

【0083】

前記リセット信号クリップ段階(S300)は、クリップ部190によりリセット信号RESIGを一定の電圧レベルにクリップしてタイミングコントローラ170に供給する段階である。具体的には、図11に示すように、リセット信号RESIGはゲートオン電圧VON及びゲートオフ電圧VOFFレベルを有するため、リセット信号RESIGをタイミングコントローラ170で処理できる電圧レベル、例えば0V及び3.3Vレベルの信号に変換してクリップされたリセット信号CRESIGを生成する。

【0084】

前記遅延時間算出段階(S400)は、クリップされたリセット信号CRESIGと、最後の出力イネーブル信号LASTOEと、を利用してゲート駆動信号の遅延時間を測定し算出する段階である。ゲート駆動信号の遅延がない場合、ダミーステージSTAGEN+1から出力されるリセット信号RESIGは最後の出力イネーブル信号LASTOEのライジング時点に出力され、データはロード信号TPのフォーリング時点に出力されなければならない。従って、クリップされたリセット信号CRESIGと最後の出力イネーブル信号LASTOEを利用してゲート駆動信号の遅延時間を算出できる。ここで、ダミーステージのゲート駆動信号から測定された遅延時間は、行当り遅延を計算するのに使用されることができ、ロード信号TPのフォーリングエッジのタイミングを累積して調節することに使用する。従って、ゲート駆動信号の遅延時間は下記の数式(1)～数式(3)によって算出できる。

30

40

【0085】

【数1】

$$1H_{\text{ideal}} = 1\text{Frame}_{\text{ideal}} \div G_n \quad \dots (1)$$

数式(1)において、 $1H_{\text{ideal}}$ はゲート駆動回路130、140による遅延がない場合の1水平周期であり、 $1\text{Frame}_{\text{ideal}}$ はゲート駆動回路130、140による遅延がない場合の1フレーム周期であり、 G_n はゲートラインの総数である。

【0086】

【数 2】

$$1H_{\text{real}} = 1\text{Frame}_{\text{real}} \div Gn \quad \dots (2)$$

数式(2)において、 $1H_{\text{real}}$ はゲート駆動回路130、140による遅延が発生した場合の1水平周期であり、 $1\text{Frame}_{\text{real}}$ はゲート駆動回路130、140による遅延が発生した場合の1フレーム周期であり、 Gn はゲートラインの総数である。

【0087】

【数 3】

$$T_{\text{TP}} = 1H_{\text{ideal}} \times Gm + (1H_{\text{real}} - 1H_{\text{ideal}}) \times Gm \div Gn \quad \dots (3)$$

10

数式(3)において、 T_{TP} はm番目のゲートラインに接続された画素にデータが印加されるべき時点、すなわちロード信号のフォーリング時点であり、 Gm はm番目のゲートラインまでのゲートラインの数である。

【0088】

具体的には、図12に示すように、クリップされたリセット信号 CREsig と、最後の出力イネーブル信号 LASTOE と、を比較してゲート駆動信号の遅延時間を算出する。

20

ゲート駆動回路130、140による遅延がない場合、クリップされたリセット信号 CREsig のライジング時点は最後の出力イネーブル信号 LASTOE のライジング時点と同一でなければならないが、実際にはゲート駆動回路130、140によりリセット信号 REsig が遅延して出力されるため、クリップされたリセット信号 CREsig のライジング時点と最後の出力イネーブル信号 LASTOE のライジング時点は一致しない。

【0089】

従って、クリップされたリセット信号 CREsig のライジング時点と、最後の出力イネーブル信号 LASTOE のライジング時点と比較し、出力イネーブル信号 LASTOE のライジング時点から、クリップされたリセット信号 CREsig のライジング時点までの区間に該当するクロック数をカウントしてクロックカウント信号 CLKCOUNT を生成することにより、ゲート駆動信号の遅延時間を算出することができる。

30

【0090】

前記ロード信号タイミング調節段階(S500)は、クロックカウント信号 CLKCOUNT に応答してロード信号 TP のフォーリング時点調節する段階である。例えば、ゲートライン数が768、クロックカウント信号 CLKCOUNT が40の場合、 $768\text{ライン}/40\text{クロック}=19.2$ と計算され、19.2ライン毎に1クロックずつ遅延が発生することが分かる。これを切り上げ処理すると、20ライン毎に1クロックずつ遅延が発生することになる。

【0091】

従って、第1ゲートライン GL1 ～第20ゲートライン GL20 に接続された画素には、各ゲートラインに該当する出力イネーブル信号 OE のライジング時点に、ロード信号 TP のフォーリング時点と同期してデータを出力する。また、第21ゲートライン GL21 ～第40ゲートライン GL40 に接続された画素には、各ゲートラインに該当する出力イネーブル信号 OE のライジング時点より1クロック遅延した時点に、ロード信号 TP のフォーリング時点と同期してデータを出力する。

40

【0092】

また、第41ゲートライン GL41 ～第60ゲートライン GL60 に接続された画素には、各ゲートラインに該当する出力イネーブル信号のライジング時点より2クロック遅延した時点に、ロード信号 TP のフォーリング時点と同期してデータを出力する。残りのゲートライン GL61 ～ GL768 に接続された画素にも同様の方式でロード信号 TP のフ

50

ォーリング時点を調節してゲート駆動回路130、140によるゲート駆動信号の遅延を補償できる。

【0093】

すなわち、設定された1フレーム時間と実際のダミーステージSTAGEn+1でリセット信号Resigが出力される時点を利用して1水平周期で出力されるロード信号TPのフォーリング時点を調節することにより、ゲート駆動回路130、140自体の遅延によるゲート駆動信号の遅延を補償できる。

上記本発明の液晶表示装置によれば、同じ構成のゲート駆動回路をゲートラインの両端に配置してゲートラインをデュアル駆動し、ゲート駆動回路のリセット信号のフィードバックを受けてゲート駆動回路によるゲート駆動信号の遅延を補償できるので、ゲートライン遅延及びゲート駆動回路の遅延による横線視認現象を防止できるという効果がある。

10

【図面の簡単な説明】

【0094】

【図1】本発明の一実施形態による液晶表示装置の構成を示すブロック図である。

【図2】図1に示すタイミングコントローラの入出力信号の関係を示す図である。

【図3】図2に示すタイミングコントローラの構成を示すブロック図である。

【図4】図1に示す第1レベルシフタの例を示す回路図である。

【図5】図1に示す第1及び第2ゲート駆動回路の構成を示すブロック図である。

【図6】図5に示す第1ゲート駆動回路のステージの例を示す回路図である。

【図7】図1に示す液晶表示装置の動作タイミング図である。

20

【図8】本発明の一実施形態によるASG遅延減少方法の手順を示すフローチャートである。

【図9】図8のASG遅延減少方法を説明するための信号タイミング図である。

【図10】図8のASG遅延減少方法を説明するための信号タイミング図である。

【図11】図8のASG遅延減少方法を説明するための信号タイミング図である。

【図12】図8のASG遅延減少方法を説明するための信号タイミング図である。

【符号の説明】

【0095】

100：液晶表示装置

110：液晶パネル

30

120：データ駆動部

130：第1ゲート駆動回路

140：第2ゲート駆動回路

150：第1レベルシフタ

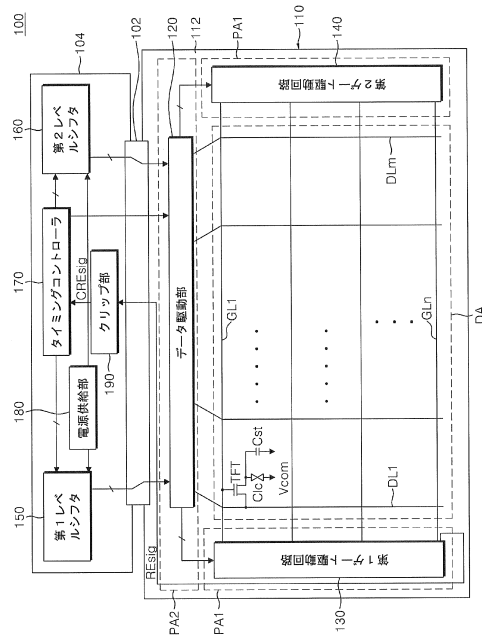
160：第2レベルシフタ

170：タイミングコントローラ

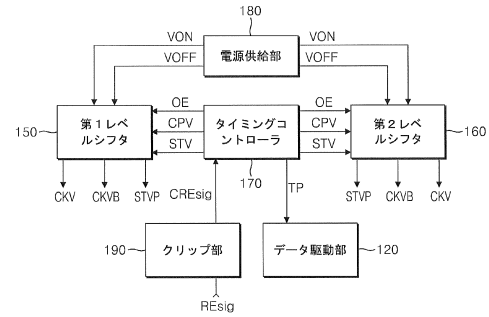
180：電源供給部

190：クリップ部

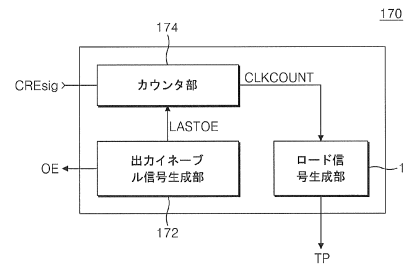
【図 1】



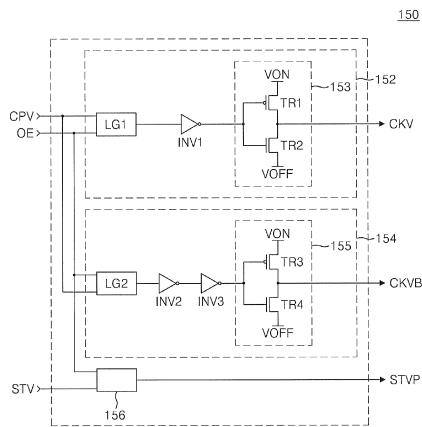
【図 2】



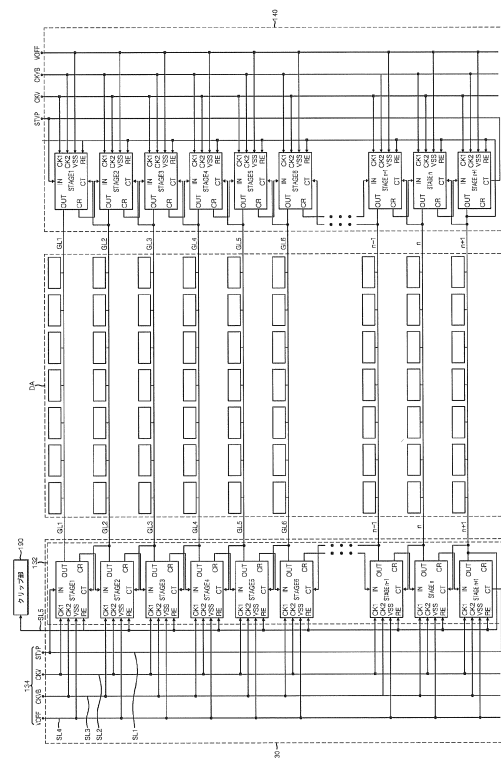
【図 3】



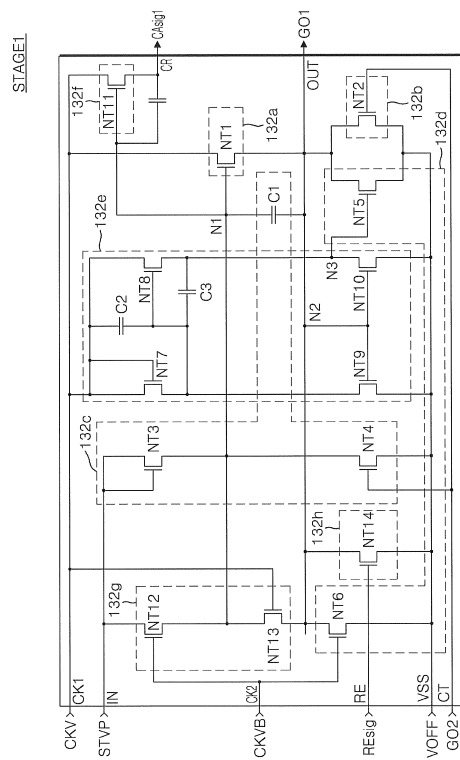
【図 4】



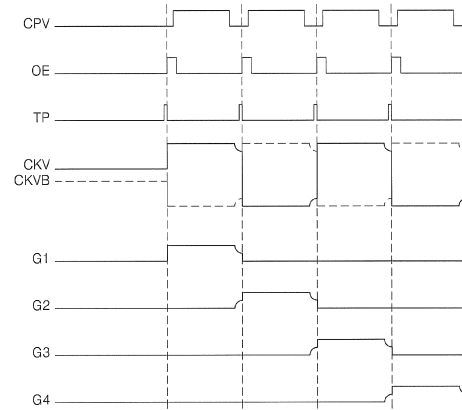
【図 5】



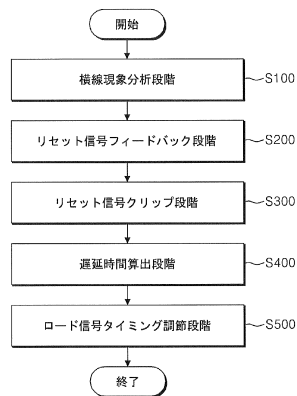
【図 6】



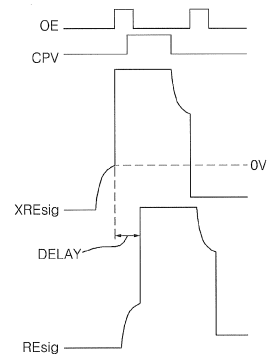
【図 7】



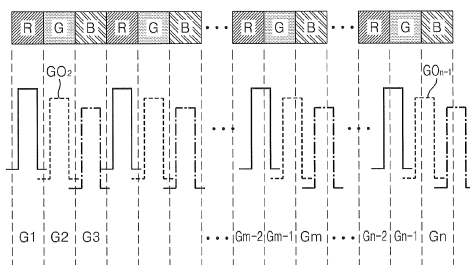
【図 8】



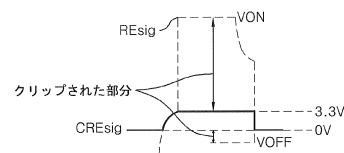
【図 10】



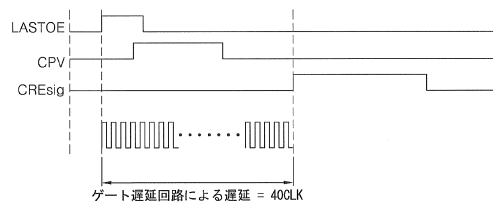
【図 9】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 E
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/20 6 4 2 A
G 0 2 F 1/133 5 5 0

(72)発明者 金 宇 哲
大韓民国京畿道議政府市佳陵1洞642-17号

(72)発明者 朴 宰 亨
大韓民国京畿道龍仁市器興区農書洞7-1番地

審査官 武田 悟

(56)参考文献 特開2003-233348 (JP, A)
特開2000-242241 (JP, A)
特開2005-128384 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/00 - 3/38
G 0 2 F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	JP5676069B2	公开(公告)日	2015-02-25
申请号	JP2007320105	申请日	2007-12-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	呂章鉉 金宇哲 朴宰亨		
发明人	呂 章 鉉 金 宇 哲 朴 宰 亨		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/0281 G09G2310/0289 G09G2310/08 G09G2320/0223 G09G2320/0233		
FI分类号	G09G3/36 G09G3/20.611.J G09G3/20.612.J G09G3/20.621.L G09G3/20.622.B G09G3/20.622.E G09G3/20.641.C G09G3/20.642.A G02F1/133.550 G11C19/00 G11C19/00.J		
F-TERM分类号	2H093/NA16 2H093/NA80 2H093/NB16 2H093/NC10 2H093/NC25 2H093/NC34 2H093/NC35 2H093/NC59 2H093/NC90 2H093/ND34 2H093/ND36 2H193/ZA04 2H193/ZE31 2H193/ZF22 5B074/AA10 5B074/CA01 5B074/DB01 5B074/EA01 5C006/AA16 5C006/BB16 5C006/BF22 5C006/FA16 5C006/FA22 5C080/AA10 5C080/BB05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ07		
代理人(译)	山下大沽嗣		
审查员(译)	武田 悟		
优先权	1020060125334 2006-12-11 KR		
其他公开文献	JP2008165223A JP2008165223A5		
外部链接	Espacenet		

摘要(译)

(有纠正)传统单驱动系统的液晶显示装置改善了所谓的水平线视觉识别现象,其中由于栅极线延迟和ASG延迟,水平线在显示器上可见。定时控制器(170)产生输出使能信号(OE)和门控时钟,并调整确定数据输出时间的负载信号的定时。输出使能信号发生单元172将一帧的最后输出使能信号LASTOE提供给计数器单元174。计数器单元174产生时钟计数信号CLKCOUNT,其指示限幅复位信号CREsig的上升点与最后输出使能信号LASTOE的上升点之间的差值,并将其提供给负载信号发生单元176。[选中图]图3

