

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5306600号
(P5306600)

(45) 発行日 平成25年10月2日 (2013. 10. 2)

(24) 登録日 平成25年7月5日 (2013. 7. 5)

(51) Int. Cl.

F 1

G O 2 F 1/1337 (2006. 01)

G O 2 F 1/1337

G O 2 F 1/139 (2006. 01)

G O 2 F 1/1337 5 0 0

G O 2 F 1/133 (2006. 01)

G O 2 F 1/1337 5 2 5

G O 2 F 1/139

G O 2 F 1/133 5 0 5

請求項の数 5 (全 10 頁)

(21) 出願番号 特願2007-14580 (P2007-14580)
 (22) 出願日 平成19年1月25日 (2007. 1. 25)
 (65) 公開番号 特開2008-180923 (P2008-180923A)
 (43) 公開日 平成20年8月7日 (2008. 8. 7)
 審査請求日 平成21年11月13日 (2009. 11. 13)

(73) 特許権者 000002303
 スタンレー電気株式会社
 東京都目黒区中目黒2丁目9番13号
 (74) 代理人 100091340
 弁理士 高橋 敬四郎
 (74) 代理人 100105887
 弁理士 来山 幹雄
 (72) 発明者 岩本 宜久
 東京都目黒区中目黒2丁目9番13号 ス
 タンレー電気株式会社内
 (72) 発明者 清水 肇
 東京都目黒区中目黒2丁目9番13号 ス
 タンレー電気株式会社内

審査官 ▲高▼木 尚哉

最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【特許請求の範囲】

【請求項 1】

所定形状の第1の電極を備えた第1の基板と、

前記所定形状とは形状が異なり、前記第1の電極よりも数の少ない第2の電極を備え、
前記第1の基板と対向する第2の基板と、誘電率異方性が負かつ比抵抗が $1.0 \times 10^{12} \Omega \text{cm} \sim 1.0 \times 10^{14} \Omega \text{cm}$ であ
り、前記第1および第2の基板に挟持される液晶層と、前記第1、第2の基板各々の前記液晶層側に形成され、前記第1、第2の電極をそれぞ
れ覆う第1、第2の垂直配向膜と、

を有する液晶表示素子において、

該液晶表示素子に10kVの静電気を印加して表示点灯させた後、表示が完全に消失す
るまでの時間を帯電時間Tとすると、前記第1、第2の垂直配向膜は、 $T \leq 500 \text{sec}$
の条件を満たす配向膜材料によって形成され、前記第2の垂直配向膜にのみラビング処理が施されているDUTY比1/16以上の低
デューティ単純マトリクス駆動の液晶表示素子。

【請求項 2】

前記第1、第2の垂直配向膜の表面自由エネルギーが $35 \text{mN/m} \sim 39 \text{mN/m}$ であ
る請求項1記載の液晶表示素子。

【請求項 3】

前記第1、第2の電極は、

10

20

前記第 1、第 2 の基板の一方の基板の所定面積に形成されたコモン電極と、他方の基板上で前記コモン電極と対向する面積の一部に形成されたセグメント電極と、を有する請求項 1 または 2 記載の液晶表示素子。

【請求項 4】

前記第 1、第 2 の電極が、複数のストライプ状電極で構成されたコモン電極と前記複数のコモン電極と交差する複数のストライプ状電極で構成されたセグメント電極とを含み、コモン電極とセグメント電極との交差（ドット）部が表示を行う画素部を構成するドットマトリックス表示タイプである請求項 1 または 2 記載の液晶表示素子。

【請求項 5】

電圧無印加時における前記液晶層の液晶分子の基板表面からの角度が $88.0^{\circ} \sim 89.5^{\circ}$ である請求項 1 ～ 4 いずれか 1 項記載の液晶表示素子。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示素子およびその製造方法に関し、特に垂直配向型の液晶表示素子およびその製造方法に関する。

【背景技術】

【0002】

液晶表示素子（特に垂直配向型）において、配向膜をラビング処理することにより、液晶分子の配向方向を制御して表示性能を良くする方法が行われている。出願人らは特開 2005-234254 号公報において、ポリイミドなどの有機高分子材料薄膜を基板上に成膜した後ラビング処理することにより、均一なプレティルト角を有すると共に、ラビング傷の生じない液晶表示素子とその製造方法について提案している。 20

【0003】

ラビング処理により、液晶表示装置の配向膜に静電気が帯電する。この静電気が放電することにより、配向膜の液晶配向機能が損なわれて配向欠陥となり、部分的に表示抜け（明細書中では配向ホールと呼ぶこととする。ノーマリブラック表示においては光り抜けして白点となる。ノーマリホワイト表示の場合は黒点となる）を有する不良品が生じてしまうことがある。

【0004】

特開平 7-318879 号公報において、電極同士を素子外部で接続し、同電位とすることで静電気放電による配向欠陥を防ぐ方法が提案されている。 30

【0005】

【特許文献 1】特開 2005-234254 号公報

【特許文献 2】特開平 7-318879 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、ラビングにより発生した静電気の放電による配向欠陥を防ぐ液晶表示素子およびその製造方法を提供することである。 40

【課題を解決するための手段】

【0008】

本発明の一観点によれば、所定形状の第 1 の電極を備えた第 1 の基板と、前記所定形状とは形状が異なり、前記第 1 の電極よりも数の少ない第 2 の電極を備え、前記第 1 の基板と対向する第 2 の基板と、誘電率異方性が負かつ比抵抗が $1.0 \times 10^{12} \Omega \text{ cm} \sim 1.0 \times 10^{14} \Omega \text{ cm}$ であり、前記第 1 および第 2 の基板に挟持される液晶層と、前記第 1、第 2 の基板各々の前記液晶層側に形成され、前記第 1、第 2 の電極をそれぞれ覆う第 1、第 2 の垂直配向膜と、を有する液晶表示素子において、該液晶表示素子に 10 kV の静電気を印加して表示点灯させた後、表示が完全に消失するまでの時間を帯電時間 T とするとき、前記第 1、第 2 の垂直配向膜は、 $T \leq 500 \text{ sec}$ の条件を満たす配向膜材料によ 50

って形成され、前記第2の垂直配向膜にのみラビング処理が施されているDUTY比1／16以上の低デューティ単純マトリクス駆動の液晶表示素子、が提供される。

【発明の効果】

【0009】

液晶表示素子において、ラビングにより発生した静電気の放電による配向欠陥を防ぐ。

【発明を実施するための最良の形態】

【0010】

図1に、実施例および実験に関する垂直配向型の液晶表示素子の概略断面図を示す。図示の液晶表示素子は、透明な上側基板1aと、それに対向する透明な下側基板1bとを備えており、両基板1a、1b間に液晶層2が設けられている。素子外形サイズは横約160mm×縦約50mmである。上側基板1の液晶層2側にはコモン電極となる上側透明電極3aが設けられ、下側基板1bの上にはセグメント電極となる下側透明電極3bが設けられている。両透明電極3a、3bが液晶層2を挟んで重なり合い、この重なり合う部分で表示領域が画定される。さらに、両透明電極を覆って、両基板1a、1bの液晶層2側に配向膜5a、5bが設けられている。配向膜5a、5bと透明電極3a、3bとの間にはそれぞれ絶縁膜4a、4bが設けられている。さらに、基板の液晶層2側とは反対側に偏光板8が設けられている。

【0011】

なお、各基板と偏光板8との間に必要に応じて視角補償板9を設けても良い。また、絶縁膜4a、4bを有しない構成も可能である。

【0012】

配向膜には、特開2005-234254号公報に開示されているラビング処理が施されている。ラビング方向6はその一例である。ラビング処理により、電圧無印加時に液晶分子が基板表面に対する角度（明細書中ではこの角度をプレティルト角とする）7で様に配向する。

【0013】

電圧無印加時における、前記液晶の液晶分子の基板表面からの角度が88.0°～89.5°である請求項8～13のいずれか1項記載の液晶表示素子。

発明者らは、4種類の垂直配向膜材料を用いて配向ホール発生率がどのように変わるかについて実験を行った。実験に用いた材料は、チソ石油化学製のポリイミド系垂直配向膜PI-A、PI-B、PI-C、および日産化学工業製のポリイミド系垂直配向膜PI-Dである。4種類の配向膜の表面自由エネルギーは接触角測定から算出した結果35mN/m～39mN/mであった。

【0014】

実験では、上記の4種類の配向膜材料のそれぞれについて100個の液晶表示素子サンプルを作製した。それらのサンプル群をSG-A、SG-B、SG-C、SG-D（SG-の後のアルファベットが配向膜材料のPI-の後のアルファベットに対応）とする。

【0015】

各サンプルは以下の手順で作製した。まず、コモン基板1aおよびセグメント基板1b（1a、1bの材料はガラスなど）上に、インジウムスズオキシサイド（ITO）をスパッタリング法などで形成した後、パターンニングを施してコモン電極3a、セグメント電極3bを形成した。

【0016】

コモン基板1aおよびセグメント基板1bに形成されたITO電極3a、3b上にポリシラン系絶縁膜4a、4bを成膜後、各絶縁膜上に4種類の垂直配向膜のいずれかをフレキソ印刷法でパターン印刷し、180℃で60分焼成した。

【0017】

その後、綿製のラビング布によりコモン側、セグメント側のラビング処理を行った。ラビング方向は、両基板を貼り合せた際にアンチパラレル配向となるように設定した。

【0018】

その後、一方の基板にシール材を印刷し、他方の基板に4 μm のスペーサを散布して重ね合わせ、プレスしながらシールを焼成して空の液晶セルを作成した。

【0019】

多面取りであった上記基板をカットし、1つずつに液晶セルを切り出した後、誘電率異方性 $\Delta\epsilon$ が負で、比抵抗 ρ が $1.0 \times 10^{14} \Omega\text{cm}$ である液晶材料を真空注入法で注入した後、封止して液晶セルを完成させた。

【0020】

その後、液晶材料の等方相への相転移温度以上に加熱して熱処理を施し、セル裏表にポリテクノ製ヨウ素系偏光板SKN18243Tを貼り合せ、電極取り出し端子を形成して液晶表示素子サンプルを完成させた。

10

【0021】

なお、サンプルにおける液晶分子のプレティルト角 γ は $88.0^\circ \sim 89.5^\circ$ である。

【0022】

次に、各配向膜材料を用いた液晶表示素子サンプル群SG-A、SG-B、SG-C、SG-D（上述のように、各サンプル群のサンプル数は100素子ずつ）を観察し、1素子の面内（有効表示領域以外の部分も含む）にて1箇所でも配向ホール（白点）が発生した場合には配向ホール発生と定義して、各サンプル群の配向ホール発生率を調べた。なお、配向ホールが有効表示領域外にある場合には、製品として使用可能である。

【0023】

20

図2A、図2Bに、配向ホールが発生した液晶表示素子サンプルの写真を示す。図2Aにサンプル群SG-Aのうちの1つのサンプルの写真を示す。図示のように黒インクペンで○印を付した位置に配向ホールが発生している。

【0024】

図2Bに、サンプル群SG-Bのうちの1つのサンプルの写真を示す。図示のように、サンプル群SG-Aの例よりもサンプル群SG-Bの例における配向ホールが減少している。サンプル群全体としても同様の傾向が見られる。

【0025】

図3Aに、各サンプル群の配向ホール発生率の表を示す。図示のように、サンプル群によって配向ホール発生率に大きな差があることが分かる。サンプル群SG-Aの配向ホール発生率は75%と高く、サンプル群SG-C、SG-Dについては配向ホール発生率が12%、1%と比較的低い。サンプル群の他の構成要素は共通であるので、配向ホール発生率の差は配向膜材料の差に起因すると考えられる。図示の結果から、配向膜材料PI-C、PI-Dを用いることが静電気による配向欠陥防止に有効であると考えられる。

30

【0026】

次に発明者らは、上記サンプル素子の基本的作成方法は変えず、配向膜のラビング方法のみを変えることで配向ホール発生率が変化するかについて実験を行った。この実験においては配向膜材料にPI-Aを用いた。PI-Aのような配向ホール発生率の高い配向膜材料を用いて比較すれば、ラビング方法の違いによる効果をより鮮明にできると考えたからである。

40

【0027】

図3Bに、ラビング方法と配向ホール発生率についての実験結果を表にした。図に示すように、上下基板もしくはセグメント基板のみにラビングを施した場合は、配向ホール発生率が92%である（図3Aに示した実験結果では75%の配向ホール発生率であった。同一の配向膜材料を用いた場合であっても、製造ロットの違いにより、配向ホール発生率に違いがあると考えられる。約20%程度の差はあるが、同一の配向膜材料PI-Aを用いた場合のサンプル群は高い配向ホール発生率を示すことが分かる）。また、セグメント基板のみラビングした場合の配向ホール発生率は88%であった。コモン基板のみラビングした場合とラビングしなかった場合はいずれも配向ホール発生率が0%であった。

【0028】

50

図3Bの結果は、PI-Aのような配向ホールが発生しやすい配向膜材料であっても、ラビング処理をコモン電極に形成された配向膜にのみ施せば配向欠陥をほぼ防げることを示唆している。

【0029】

図3Bに示した結果の原因について考察する。実験において、コモン電極はセグメント電極に比べて数が少ないため、1電極あたりの面積が広くなる。ラビングにより、配向膜に発生する電荷量を一定とすれば、電荷が電極に到達して一様に帯電したとき、電位は電極面積に反比例するであろう。また、コモン電極同士のギャップはセグメント電極同士のギャップに比べて広い傾向にある。放電現象は主に電極間の電位差とギャップによって決まるので、コモン電極はセグメント電極に比べて放電が起こりにくいと考えられる。

10

【0030】

上記の考察から、コモン電極、セグメント電極にかかわらず、電極数が少ない方の基板に形成された配向膜のみをラビングすることによって配向欠陥を防げるであろう。

【0031】

なお、垂直配向型液晶素子の場合、片側基板の配向膜のみをラビングしても液晶素子としての機能に問題ないことは確認済みであり、特開2005-234254号公報において記載している。

【0032】

元々配向ホールが発生し難い配向膜材料PI-B、PI-C、PI-Dを用いた場合には、より配向欠陥の発生を防げることは容易に想像できる。

20

【0033】

発明者らは、各配向膜の特性を別の観点から評価するため次のような実験を行った。各素子の5箇所にて10kVの静電気を印加して素子の主に有効表示部（セグメント表示部）を全点灯させた後、電荷が徐々に放電されて素子内の点灯が目視で完全に消えるまでの時間を測定した。これは液晶セルの帯電時間を測定していることに等しい。今回の液晶表示素子サンプル群は、絶縁膜および液晶材料に違いがないため、配向膜材料による帯電特性を評価できると考えられる。

【0034】

なお、発明者らが問題にしている、ラビングによる発生する静電気が同一基板上の電極間で放電する現象と、上記の10kV静電試験における液晶を介した電荷の自然放電現象とは現象が異なる。10kV静電試験は、完成した液晶表示素子の特性を調べる試験として当業者にも知られている試験である。

30

【0035】

なお、静電試験において、ラビング処理の影響は特に考慮しなくて良い。

【0036】

図3Cに、各サンプル群の測定結果を示す。図示のように、配向ホール発生率が75%のサンプル群SG-Aの帯電時間は2320秒である。配向ホール発生率が30%のサンプル群SG-Bの帯電時間は520秒である。比較的配向ホール発生率の低いサンプル群SG-C、SG-Dの帯電時間はそれぞれ350秒、410秒である。帯電時間には種々の要因があるので配向ホール発生率と帯電時間との関係は必ずしも一対一ではないが、帯電時間と配向欠陥には相関性があると考えられる。すなわち、帯電時間の短いサンプル群は配向ホール発生率が低いと考えられる。また、帯電時間が短いと、それぞれのサンプル群の平均配向ホール発生数も少なくなる傾向がある。

40

【0037】

図3Cに示した結果から、電極数が少ない方の基板に形成された配向膜のみにラビング処理を施して液晶表示素子を作製する方法と併せて、比抵抗が $1 \times 10^{14} \Omega \text{ cm}$ の液晶材料を用いた場合、10kV静電試験における帯電時間が少なくとも500秒以下、好ましくは450秒以下となるような配向膜材料を用いれば、配向欠陥の発生をより抑えることができると考えられる。

【0038】

50

また、静電試験における帯電時間を決める要素として、液晶の比抵抗も挙げられる。同一の配向膜材料を用いた場合は、帯電時間は液晶の比抵抗にほぼ比例すると考えられる。一般の垂直配向液晶材料としては比抵抗が $1 \times 10^{12} \Omega \text{cm} \sim 1 \times 10^{15} \Omega \text{cm}$ のものが用いられる。電極数が少ない方の基板に形成された配向膜のみをラビングする方法であれば、配向膜材料の組み合わせによってこの範囲の液晶材料は使用可能であろう。比抵抗が $1 \times 10^{12} \Omega \text{cm} \sim 1 \times 10^{14} \Omega \text{cm}$ の液晶材料を用いれば、帯電時間が短くなり配向欠陥防止の効果はより期待できよう。

【0039】

電極数が少ない方の基板に形成された配向膜のみにラビング処理を施して放電による配向欠陥を防止する方法は、DUTY比 $1/16$ 以上の駆動方式を用いた、セグメント表示型、ドットマトリックス表示型、セグメント表示+ドットマトリックス表示型の液晶表示素子に適用できる。

【0040】

以下、図を参照して電極パターン例を説明する。

【0041】

(電極パターン1)

図4に、セグメント表示型、 $1/3$ DUTY駆動方式の電極パターンを示す。図4は、対向する一対の基板に形成されたセグメント電極パターン、コモン電極パターンおよび配線を基板法線方向から見た平面概略図である。図中左下がり線で示した電極が下側基板に形成されたコモン電極であり、右下がり線で示した部分(「8」、「A」、「B」、「C」、「S.C」など)がセグメント電極である。二つの電極が重なってクロスハッチで示された表示領域を画定する。各々のコモン電極に $1/3$ DUTYのコモン信号COM1、COM2、COM3を送り、セグメント電極にセグメント信号SEG1A~SEG1N、SEG2A~SEG2CおよびSEG3を送り表示を制御する。

【0042】

(電極パターン2)

図5A~図5Cに、セグメント表示型、 $1/16$ DUTY駆動方式の電極パターンを示す。

【0043】

図5Aに示すように、セグメント基板に形成されたセグメント電極SEとコモン基板に形成されたコモン電極CEとが例えば数字の「8」および「.(ドット)」を示す表示領域DEを画定する。コモン電極の数は16本である。

【0044】

図5Bに、セグメント電極SEの一部を示す。図示のように、「8.」が縦に4つ並んだ一列を形成するのにセグメント電極2本(例えばSE1とSE2)を要する。図中には「8.」の列が2列描かれているのでセグメント電極は4本であるが、セグメント電極は横方向に任意に増やすことができる。図中セグメント電極SE1~SEnの左側にある配線E1は、セグメント基板側に供給される電気信号の一部をコモン電極に供給するためにセグメント基板に設けられた配線である。配線E1は、基板間を渡って図5Aに示した各コモン電極CEに接続される。

【0045】

図5Cに、コモン電極CE1~CE16の一部を示す。コモン電極CEは、セグメント電極SEの数に合わせて本数を変えずに図中横方向に拡張できる。

【0046】

コモン電極CE1~CE16にDUTY比 $1/16$ のコモン信号を供給し、セグメント電極にセグメント信号を送り表示を制御する。

【0047】

なお、図示の例ではセグメント電極の本数がコモン電極に比べて少なく、電極間ギャップについてもセグメント電極の方が広いので、ラビング処理をセグメント基板に形成された配向膜に施す。

【0048】

(電極パターン3)

図6に、1/16 DUTY駆動のドットマトリックス表示型液晶表示素子の電極パターン例を示す。図示のように、互いに平行な棒状の16本のコモン電極X1～X16と、コモン電極の長手方向に直交する互いに平行な任意の本数のセグメント電極Y1～Ymとが交差する部分で画素(表示)領域DEを画定する。

【0049】

コモン電極X1～X16にDUTY比1/16のコモン信号を供給し、セグメント電極にセグメント信号を送り表示を制御する。

【0050】

なお、1/16駆動方式におけるコモン電極の数は必ずしも16本ではない。通電させない電極部分や信号が共通の電極を含めるとコモン電極が16本より多い場合もある。

【0051】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、セグメント電極側配向膜にPI-Aを用い、コモン電極側配向膜にPI-Bを用いるといった形態でも良く、必ずしもセグメント基板、コモン基板双方に同一の配向膜材料を用いる必要はない。

【0052】

その他、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【図面の簡単な説明】

【0053】

【図1】図1は、実施例および実験に関する液晶表示素子の概略断面図である。

【図2】図2A、2Bは、ノーマリブラックセグメント表示タイプの液晶表示素子を撮影した写真である。

【図3】図3Aは、サンプル群の配向ホール発生率を示す表であり、図3Bは、異なるラビング条件ごとの配向ホール発生率を示した表であり、図3Cは、静電気試験におけるサンプル群の帯電時間を示す表である。

【図4】図4は、実施例を適用できる1/3 DUTY駆動のセグメント表示液晶表示素子の電極パターンである。

【図5】図5A～図5Cは、実施例を適用できる1/16 DUTY駆動のセグメント表示液晶表示素子の電極パターンの概略図である。

【図6】図6は、実施例を適用できる1/16 DUTY駆動のドットマトリックス表示型液晶表示素子の電極パターンの概略図である。

【符号の説明】

【0054】

1a、1b 基板

2 液晶(層)

3a、3b 電極

4a、4b 絶縁膜

5a、5b 配向膜

6 ラビング方向

7 プレティルト角

8 偏光板

9 視角補償板

CE コモン電極

DE 表示領域

El 配線

SE セグメント電極

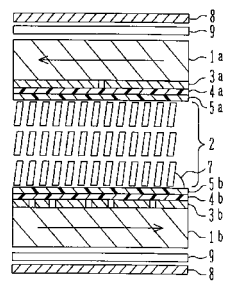
10

20

30

40

【図 1】



【図 3】

(3A)

サンプル群	配向膜材料	配向ホール発生率
SG-A	PI-A	75%
SG-B	PI-B	30%
SG-C	PI-C	12%
SG-D	PI-D	1%

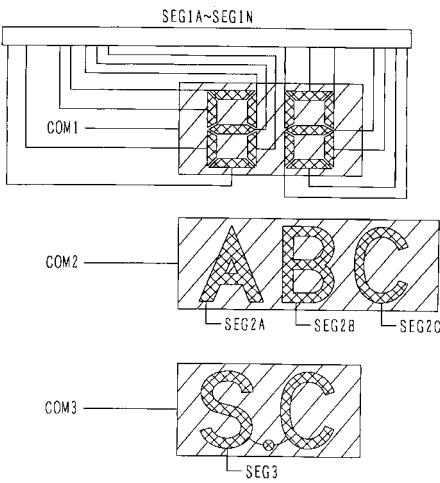
(3B)

ラビング条件	配向ホール発生率
上下基板ともラビング	75%, 92%
セグメント基板のみ	88%
コモン基板のみ	0%
ラビングしない	0%

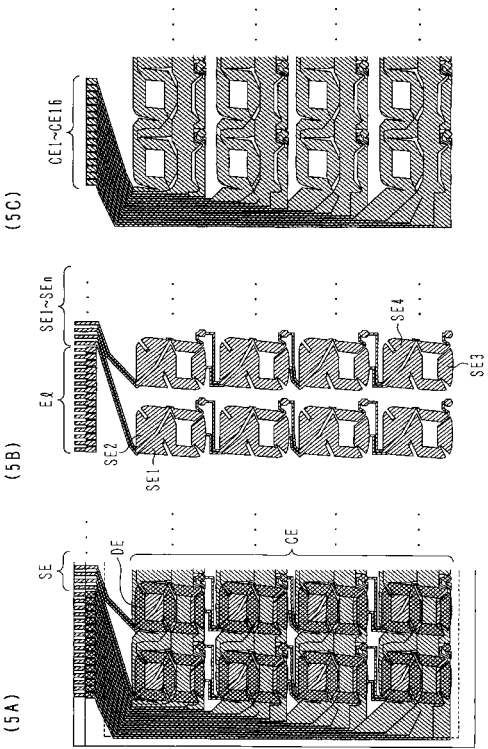
(3C)

サンプル群	配向膜材料	帯電時間
SG-A	PI-A	2320sec
SG-B	PI-B	520sec
SG-C	PI-C	350sec
SG-D	PI-D	410sec

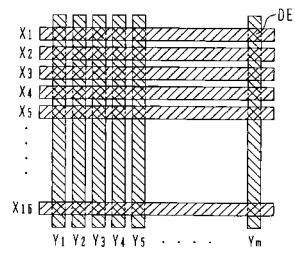
【図 4】



【図 5】

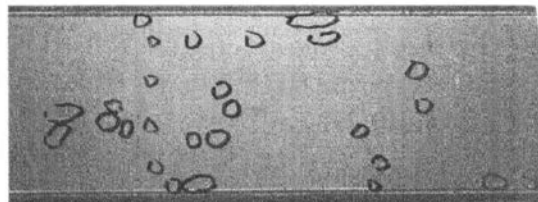


【図 6】

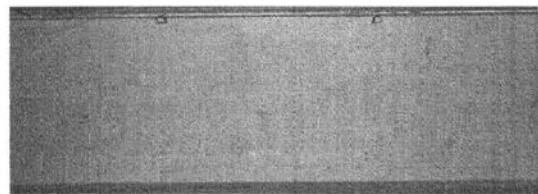


【図 2】

(2A)



(2B)



フロントページの続き

- (56)参考文献 特開平10-096929 (JP, A)
特開2005-234254 (JP, A)
特開2000-292792 (JP, A)
特開2001-108978 (JP, A)
特開平09-325373 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/1333-1/1337
G02F 1/137-1/141

专利名称(译)	液晶显示元件		
公开(公告)号	JP5306600B2	公开(公告)日	2013-10-02
申请号	JP2007014580	申请日	2007-01-25
[标]申请(专利权)人(译)	斯坦雷电气株式会社		
申请(专利权)人(译)	斯坦雷电气有限公司		
当前申请(专利权)人(译)	斯坦雷电气有限公司		
[标]发明人	岩本宜久 清水肇		
发明人	岩本 宜久 清水 肇		
IPC分类号	G02F1/1337 G02F1/139 G02F1/133		
CPC分类号	G02F1/1393 G02F1/133784 G02F1/134327		
FI分类号	G02F1/1337 G02F1/1337.500 G02F1/1337.525 G02F1/139 G02F1/133.505		
F-TERM分类号	2H088/GA02 2H088/HA03 2H088/HA06 2H088/JA10 2H088/KA14 2H088/KA27 2H088/LA05 2H088/MA18 2H090/HA11 2H090/HB08Y 2H090/HC06 2H090/HD14 2H090/KA07 2H090/LA04 2H090/MA01 2H090/MB01 2H093/NA06 2H093/NB01 2H093/ND34 2H093/NE04 2H093/NF09 2H093/NH14 2H193/ZB42 2H193/ZP04 2H193/ZQ08 2H290/AA35 2H290/BA45 2H290/BD11 2H290/BF14 2H290/CA44 2H290/CA51 2H290/DA01		
其他公开文献	JP2008180923A5 JP2008180923A		
外部链接	Espacenet		

摘要(译)

防止了由液晶显示元件中的摩擦产生的静电放电引起的对准缺陷。一 以下列方式制造占空比为1/16或更大的低占空比的液晶显示元件。制备具有预定形状的第一电极的第一基板。制备具有与预定形状不同的形状并且设置有第二电极的第二基板，该第二电极具有比第一电极更少数量的信号线电极。在第一和第二电极中的每一个上形成根据需要具有绝缘特性的绝缘膜。在第一基板和第二基板上形成第一和第二垂直取向膜，以覆盖第一和第二电极。仅在第二垂直取向膜上进行摩擦处理。第一基板和第二基板彼此相对设置，并且具有负介电各向异性的液晶设置在它们之间。点域1

サンプル群	配向膜材料	帯電時間
SG-A	PI-A	2320sec
SG-B	PI-B	520sec
SG-C	PI-C	350sec
SG-D	PI-D	410sec