

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4943505号  
(P4943505)

(45) 発行日 平成24年5月30日(2012.5.30)

(24) 登録日 平成24年3月9日(2012.3.9)

(51) Int.CI.

F 1

<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36	
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	6 4 1 G
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G09G	3/20	6 2 4 E
<b>H04N</b>	<b>5/66</b>	<b>(2006.01)</b>	G09G	3/20	6 2 1 B
			G09G	3/20	6 2 2 N

請求項の数 15 (全 68 頁) 最終頁に続く

(21) 出願番号	特願2009-513992 (P2009-513992)
(86) (22) 出願日	平成20年4月22日 (2008.4.22)
(86) 国際出願番号	PCT/JP2008/001048
(87) 国際公開番号	W02008/139693
(87) 国際公開日	平成20年11月20日 (2008.11.20)
審査請求日	平成21年10月23日 (2009.10.23)
(31) 優先権主張番号	特願2007-117606 (P2007-117606)
(32) 優先日	平成19年4月26日 (2007.4.26)
(33) 優先権主張国	日本国 (JP)
(31) 優先権主張番号	特願2007-262695 (P2007-262695)
(32) 優先日	平成19年10月5日 (2007.10.5)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(74) 代理人	100101683 弁理士 奥田 誠司
(74) 代理人	100155000 弁理士 喜多 修市
(74) 代理人	100139930 弁理士 山下 亮司
(74) 代理人	100125922 弁理士 三宅 章子
(74) 代理人	100151817 弁理士 川口 寿志

最終頁に続く

(54) 【発明の名称】 液晶表示装置

## (57) 【特許請求の範囲】

## 【請求項 1】

行および列を有するマトリクス状に配列された複数の画素であって、それぞれが少なくともある階調において互いに異なる輝度を呈し得る第1副画素および第2副画素を有する、複数の画素と、

それぞれがある列の画素に関連付けられた複数のソースバスラインと、

それぞれがある行の画素に関連付けられた複数のゲートバスラインと、

それぞれが前記複数の画素のそれぞれが有する第1副画素および第2副画素の一方に関連付けられた複数のTFTと、

それぞれがある行の画素が有する前記第1副画素および第2副画素の一方に関連付けられた複数のCSバスラインと、を有し、

前記第1副画素および前記第2副画素のそれぞれは、液晶容量と補助容量とを有し、

前記第1副画素が有する前記補助容量に接続されたCSバスラインと、前記第2副画素が有する補助容量に接続されたCSバスラインとが互いに電気的に独立であって、

前記複数のゲートバスラインのそれぞれに供給されるゲート信号電圧によって、前記複数の画素が走査される液晶表示装置であって、

前記複数のCSバスラインのそれぞれに供給されるCS電圧は、1垂直走査期間内に、少なくとも1回極性が変化する波形を有し、

垂直走査期間は複数のサブ垂直走査期間を有し、前記複数のサブ垂直走査期間は、連続する複数の奇数行または偶数行の画素を順次走査する第1サブ垂直走査期間と、前記第1

10

20

サブ垂直走査期間に連続し、前記第1サブ垂直走査期間において飛び越された複数の偶数行または奇数行の画素を順次走査する第2サブ垂直走査期間とを含み

前記複数のソースバスラインのそれぞれに供給されるソース信号電圧の極性は、一定のシーケンスに従って変化しており、前記シーケンスは、前記ソース信号電圧の極性が互いに異なる連続する2つの垂直走査期間、または、前記ソース信号電圧の極性が互いに異なる連続する2つのサブ垂直走査期間を含み、

前記CS電圧は、前記第1サブ垂直走査期間に選択される第jゲートバスラインに接続された画素が有する2つの副画素の内で当該CS電圧が供給されるCSバスラインと関連付けられている副画素の実効電圧を上昇させるまたは降下させる作用と、前記第2サブ垂直走査期間に選択される第j+1ゲートバスラインに接続された画素が有する2つの副画素の内で当該CS電圧が供給されるCSバスラインと関連付けられている副画素の実効電圧を上昇させるまたは降下させる作用とが互いに逆になる波形を有している、液晶表示装置。10

#### 【請求項2】

前記ソース信号電圧の前記シーケンスは、前記ソース信号電圧の極性が互いに異なる連続する2つの垂直走査期間を含み、同じ垂直走査期間に属する前記第1サブ垂直走査期間および前記第2サブ垂直走査期間における前記ソース信号電圧の極性は同じであり、

前記CS電圧は、前記第1サブ垂直走査期間において前記第jゲートバスラインに供給されるゲート信号電圧がハイからローに変化した時点から、前記第2サブ垂直走査期間において前記第j+1ゲートバスラインに供給されるゲート信号電圧がハイからローに変化する時点までの間に、極性が奇数回変化する、請求項1に記載の液晶表示装置。20

#### 【請求項3】

前記ソース信号電圧の前記シーケンスは、前記ソース信号電圧の極性が互いに異なる連続する2つのサブ垂直走査期間を含み、同じ垂直走査期間に属する前記第1サブ垂直走査期間と前記第2サブ垂直走査期間における前記ソース信号電圧の極性が互いに異なり、

前記CS電圧は、前記第1サブ垂直走査期間において前記第jゲートバスラインに供給されるゲート信号電圧がハイからローに変化した時点から、前記第2サブ垂直走査期間において前記第j+1ゲートバスラインに供給されるゲート信号電圧がハイからローに変化する時間までの間に、極性が偶数回変化する、請求項1に記載の液晶表示装置。

#### 【請求項4】

前記CS電圧が、前記第1サブ垂直走査期間において前記第jゲートバスラインに供給されるゲート信号電圧がハイからローに変化した時点から、前記第2サブ垂直走査期間において前記第j+1ゲートバスラインに供給されるゲート信号電圧がハイからローに変化する時間までの間に、極性が2回以上の偶数回変化し、前記j+1行の画素に所定の電圧が印加された後、前記CS電圧のレベルは当該CS電圧のセンターレベルと等しい、請求項3に記載の液晶表示装置。30

#### 【請求項5】

前記第1サブ垂直走査期間において全ての奇数行または偶数行の画素を走査し、前記第2サブ垂直走査期間において走査されなかった全ての偶数行または奇数行の画素を走査する、請求項1から4のいずれかに記載の液晶表示装置。40

#### 【請求項6】

前記複数のCSバスラインは、互いに異なる画素に属し且つ列方向に隣接する2つの副画素に共通に関連付けられたCSバスラインを含む、請求項1から5のいずれかに記載の液晶表示装置。

#### 【請求項7】

前記CS電圧は、一水平走査期間の正の整数倍の周期で振動する波形部分を含み、

前記サブ垂直走査期間はNsV(= / 2)本の連続した奇数行または偶数行の画素を走査する期間であって、

前記CS電圧の前記周期が一水平走査期間をHとしたときにM×H(ここでMは正の整数)であらわされるとき、NsVは(M/2)の正の整数倍である、請求項3に記載の液50

晶表示装置。

**【請求項 8】**

前記垂直走査期間は、前記第1サブ垂直走査期間および前記第2サブ垂直走査期間と、前記第2サブ垂直走査期間に連続する第3サブ垂直走査期間および前記第3サブ垂直走査期間に連続する第4サブ垂直走査期間を含み、

前記第3サブ垂直走査期間は前記第2サブ垂直走査期間において走査された最後の偶数行または奇数行に連続する偶数行または奇数行から始まる連続する  $N_{sv}$  本の偶数行または奇数行の画素を順次走査するサブ垂直走査期間であって、前記第4サブ垂直走査期間は前記第3サブ垂直走査期間において飛び越された複数の奇数行または偶数行の画素を順次走査するサブ垂直走査期間であって、

10

前記シーケンスは、前記ソース信号電圧の極性が、前記第1サブ垂直走査期間と前記第2サブ垂直走査期間との間は異なり、前記第2サブ垂直走査期間と前記第3サブ垂直走査期間との間は同じであり、前記第3サブ垂直走査期間と前記第4サブ垂直走査期間との間は異なるシーケンスを含む、請求項7に記載の液晶表示装置。

**【請求項 9】**

前記複数のCSバスラインは、互いに異なる画素に属し列方向に隣接する2つの副画素に共通に関連付けられたCSバスラインを含み、

前記CS電圧の前記周期が一水平走査期間をHとしたときに  $M \times H$  (ここでMは正の整数) であらわされるとき、 $N_{sv}$  はMの正の整数倍である、請求項7または8に記載の液晶表示装置。

20

**【請求項 10】**

一水平走査期間をHとしたとき、 $N_{sv} \times H$  が1.2m秒以下である、請求項7から9のいずれかに記載の液晶表示装置。

**【請求項 11】**

1垂直走査期間に含まれる水平走査期間の数を  $N_v - total$  とすると、( $N_{sv} / N_v - total$ ) × 1垂直走査期間が1.2m秒以下である、請求項7から9のいずれかに記載の液晶表示装置。

**【請求項 12】**

有効表示期間に含まれる水平走査期間の数を  $N_v - Disp$  とすると、 $N_v - Disp$  が  $N_{sv} \times 2$  の整数倍であらわされる、請求項7から11のいずれかに記載の液晶表示装置。

30

**【請求項 13】**

任意の垂直走査期間において、互いに隣接する列の画素に関連付けられたソースバスラインに供給されるソース信号電圧の極性は互いに逆である、請求項1から12のいずれかに記載の液晶表示装置。

**【請求項 14】**

前記1垂直走査期間は1/120秒以下である、請求項1から13のいずれかに記載の液晶表示装置。

**【請求項 15】**

請求項1から14のいずれかに記載の液晶表示装置と、

40

テレビジョン放送を受信し、前記液晶表示装置に映像信号を出力するチューナと、を有するテレビジョン受像機。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は液晶表示装置に関し、特に画素分割構造を有する広視野角特性を有する液晶表示装置に関する。

**【背景技術】**

**【0002】**

近年、視野角特性を改善した液晶表示装置として、マルチドメイン・パーティカル・ア

50

ライメント・モード（MVAモード：Multi domain Vertical Alignment方式）の液晶表示装置が開発され、液晶TV等に用いられている。VAモードの液晶表示装置は、電圧無印加に液晶分子が基板面に対して垂直に配向する垂直配向型の液晶層と、液晶層を介してクロスニコルに配置された一対の偏光板と組み合わせて用いることによってノーマリブラックモードで表示を行う。

#### 【0003】

MVA方式の液晶表示装置は、特許文献1に記載されているように、液晶層の両側に線状のドメイン規制手段を設け、電圧印加時の液晶分子の倒れる方位を規定することによって、1つの画素内に、液晶分子（ディレクタ）の配向方位が互いに異なる複数のドメインを形成する（Multi domain）。このように画素内に配向方位が異なるドメイン（領域）を形成した構造は「配向分割構造」と呼ばれることもある。4ドメイン構造が広く採用されており、4つの配向方位はクロスニコルに配置された偏光板の偏光軸がなす角を2等分するように配置される。このように、配向分割構造を採用することによって、広視野角を実現している。10

#### 【0004】

さらに、MVAモードの液晶表示装置の特性の視野角依存性を改善する技術が特許文献2に開示されている。特性とは表示輝度の階調依存性であり、特性に視野角依存性があるということは、ある階調の画像を正面方向と斜め方向とから観察したときに表示輝度が異なることを意味する。階調に対応する表示輝度が観測方向によって異なると、写真等の画像を表示する場合や、またTV放送等を表示する場合に特に問題となる。20

#### 【0005】

特許文献2に記載されている技術は、各画素が少なくともある階調において互いに異なる輝度を呈し得る第1副画素および第2副画素を有し、画素分割技術（あるいは、マルチ画素技術）といわれ、そのような液晶表示装置は画素分割構造（あるいはマルチ画素構造）を有するといわれる。

#### 【0006】

図41を参照して、従来のマルチ画素構造を有するMVAモードの液晶表示装置の構造を説明する。図41は、行および列を有するマトリクス状に配列された複数の画素のうちの列方向に隣接する2つの構造を模式的に示している。本発明による液晶表示装置の基本的な構成も同じであり、以下の説明は本発明の液晶表示装置にも妥当する。30

#### 【0007】

液晶表示装置900の各画素Pは2つの副画素（第1副画素SP-1および第2副画素SP-2）を有している。また、それぞれがある列の画素に関連付けられた複数のソースバスライン（Sバスライン）と、それぞれがある行の画素に関連付けられた複数のゲートバスライン（Gバスライン）と、それぞれが複数の画素のそれぞれが有する第1副画素SP-1および第2副画素SP-2の一方に関連付けられた複数のTFTと、それぞれがある行の画素が有する第1副画素SP-1および第2副画素SP-2の一方に関連付けられた複数のCSバスラインとを有している。

#### 【0008】

i列の画素にはSバスライン（i）が関連付けられており、j行の画素にはGバスラインが関連付けられている。第1副画素SP-1にはTFT-1が関連付けられており、第2副画素SP-2にはTFT-2が関連付けられている。TFT-1およびTFT-2のゲート電極はいずれも共通のGバスラインに接続されており、同じゲート信号電圧によってON/OFF制御される。また、TFT-1およびTFT-2のソース電極はいずれも共通のSバスラインに接続されており、TFT-1およびTFT-2がON状態のとなつたときには、共通のSバスラインからソース信号電圧が第1副画素SP-1および第2副画素SP-2に書き込まれる。液晶表示装置の表示領域を構成する複数の画素は、Gバスラインのそれぞれに供給されるゲート信号電圧によって走査される。40

#### 【0009】

各画素Pが有する第1副画素SP-1および第2副画素SP-2のそれぞれは、液晶容50

量と補助容量とを有している。液晶容量は副画素電極と、液晶層と、液晶層を介して副画素電極に対向する対向電極によって形成されている。補助容量は、副画素電極に電気的に接続された補助容量電極と、絶縁層（例えばゲート絶縁膜）と、絶縁膜を介して補助容量電極に対向する補助容量対向電極とによって形成されている。補助容量電極は副画素電極そのものであってもよい。補助容量対向電極はCSバスライン（補助容量配線ともいう）の一部であってもよいし、CSバスラインと一体に形成される。図41においては、副画素電極は、それぞれが対応するTFTのドレイン電極に接続されていると共に、それぞれが対応するCSバスラインと一部が重なるように配置されることによりそれぞれの補助容量を形成している。

## 【0010】

10

j行の画素の第1副画素SP-1にはCSバスラインCS-Aが関連付けられており、j行の画素の第2副画素SP-2にはCSバスラインCS-Bが関連付けられている。CSバスラインCS-AとCS-Bとは互いに電気的に独立である。従って、CSバスラインCS-AおよびCS-Bから供給するCS電圧（補助容量対向電圧ということもある。）を制御することによって以下のように、第1副画素SP-1と第2副画素SP-2とに違う輝度を呈せさせることができる。

## 【0011】

20

例えば、Gバスライン（j）に書き込みパルス（ゲートオンパルスPW）が供給され、j行i列の画素にソース信号電圧が正極性で書き込まれる場合を説明する。ここで説明する各種の電圧の極性は、特に説明しない限り、対向電圧を基準とした電圧である。なお、極性の基準となる電圧は厳密に対向電圧と一致する必要はない。また、CS電圧の極性については、CS電圧のセンター値を基準とする。さらに、CS電圧の「極性が反転する」とは、単純にCS電圧の極性がプラス、マイナス変化することだけでなく、CS電圧のレベルがプラス極性側あるいはマイナス極性側に変化することを意味する。CS電圧のセンター値は典型的には対向電圧に一致するが、必ずしも対向電圧と一致する必要はない。

## 【0012】

30

TFT-1およびTFT-2がオンにされ、j行i列の画素にソース信号電圧が正極性で書き込まれる。この後、第1副画素SP-1が有する補助容量にCSバスラインCS-Aから供給されるCS電圧が、TFT-1がオフにされた後の最初の変化が増大となるようにする一方、第2副画素SP-2が有する補助容量にCSバスラインCS-Bから供給されるCS電圧が、TFT-2がオフにされた後の最初の変化が降下となるように制御する。すなわち、そのような波形を有するCS電圧をCSバスラインCS-AおよびCSバスラインCS-Bから供給する。第1副画素SP-1の液晶容量に正極性のソース信号電圧が書き込まれているので、TFT-1がオフにされた後にCSバスラインCS-Aから供給されるCS電圧が増大すると、第1副画素SP-1の液晶容量の電圧は突き上げ作用を受けて増大する。従って、第1副画素SP-1は供給されたソース信号電圧に対応する輝度よりも高い輝度を呈する明副画素となる。一方、TFT-2がオフにされた後にCSバスラインCS-Bから供給されるCS電圧が降下すると、第2副画素SP-2の液晶容量の電圧は突き下げ作用を受けて降下する。従って、第2副画素SP-2は供給されたソース信号電圧に対応する輝度よりも低い輝度を呈する暗副画素となる。このように、供給された電圧に対応する輝度を、互いに異なる2つの輝度の平均（面積平均）として表示することによって、すなわち、2つの副画素の互いに異なる電圧・輝度特性（「V-T特性」ということもある。）を重ねあわせることによって、特性の視野角依存性を改善することができる。

40

## 【0013】

上記のマルチ画素構造を有する液晶表示装置では、CS電圧として一定の周期で振動する波形部分を有する電圧（以下、単に「振動電圧」ということがある）を用いる。この場合、液晶表示装置が大型化すると、CSバスラインの負荷容量および抵抗が大きくなり、CS電圧の周期が比較的短い場合（例えば、水平走査期間と同等かそれ以下の場合）、CS電圧の波形鈍りが表示領域内の位置によって異なり、その結果、表示輝度が表示領域内

50

の位置に依存するという事態が発生し、輝度むらが発生するおそれがある。特許文献3にはCS電圧の振動周期を長くすることにより、この表示むらの発生を抑制・防止する技術が開示されている。特許文献1から3の開示内容の全てを参考のために本明細書に援用する。

#### 【0014】

なお、各CSバスラインに供給する電圧を独立に制御する場合には、回路構成は複雑になるものの、CS電圧の波形の設定の自由度は高く、振動電圧である必要はなく、所定の実効値が得られるように設定すればよい。

#### 【0015】

一方、液晶表示装置の駆動回路の消費電力を抑制する技術として、ソースライン反転駆動方法が知られている（例えば特許文献4）。ソースライン反転駆動方法は、図42に示すように、マトリクス状に配列された画素の内、同じ列に属する画素、すなわち、同じソースバスラインに接続された画素に、同じ極性のソース信号電圧を書き込む方法である。行方向に隣接する画素に対する書き込み極性は表示の均一性の観点から逆極性とされる。ソースライン反転駆動法を採用すると、列方向および行方向のいずれの方向においても隣接する画素に逆極性のソース信号電圧を書き込む駆動方法、いわゆるドット反転駆動方法に比べて、ソース信号電圧の極性が反転する回数が著しく少なくなるので、消費電力が低減される。

#### 【0016】

また、特許文献5には、走査線（ゲートバスライン、画素の行に対応）を複数のブロックに分割し、ブロック内では飛び越し走査（インターレース走査）を行い、ブロック間では順次走査を行わせ、走査信号の走査順に対応するように組み替えたデータ信号を信号線駆動回路に供給する駆動方法が開示されている（以下、「ブロック反転駆動方法」という。）。ブロック反転駆動方法を用いると、ソース信号電圧の極性反転駆動の周波数を低減することによって消費電力を低減することができるとともに、チラツキ、クロストーク、垂直方向（列方向）の輝度傾斜や、飛び越し走査に起因する動画表示時の妨害（横方向の櫛状の輪郭）等が生じないという利点が得られる。しかしながら、ブロック反転駆動を行うと、後に詳述するように、列方向（ソースバスラインに沿った方向）に隣接する画素行ごとに輝度むらが生じることがあった。

#### 【先行技術文献】

10

#### 【特許文献】

20

#### 【0017】

- 【特許文献1】特開平11-242225号公報
- 【特許文献2】特開2004-62146号公報
- 【特許文献3】特開2005-189804号公報
- 【特許文献4】特開平8-202317号公報
- 【特許文献5】特開平11-352938号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0018】

30

本発明者が検討したところ、上述のマルチ画素技術にソースライン反転駆動法（例えば特許文献2）を適用すると、表示がざらついて見えるという問題が発生することを見出した。さらに、上述のマルチ画素技術にブロック反転技術（特許文献5）を単純に適用すると、ブロックの境界で列方向（上下方向）に隣接する画素の明副画素と暗副画素の順序が逆転し、ブロック状のむらとなって見えるという問題があることを見出した。

#### 【0019】

本発明は、上記課題に鑑みてなされたものであり、その目的は、マルチ画素技術にソースライン反転駆動法およびまたはブロック反転駆動法を適用する場合の表示品位の低下を抑制し得る液晶表示装置を提供することにある。また、本発明の他の目的は、ブロック反転駆動を適用した場合の列方向（ソースバスラインに沿った方向）に隣接する画素行ごと

40

50

に生じる輝度むらの発生を抑制し得る液晶表示装置を提供することにある。

【課題を解決するための手段】

【0020】

本発明の第1の液晶表示装置は、行および列を有するマトリクス状に配列された複数の画素であって、それぞれが少なくともある階調において互いに異なる輝度を呈し得る第1副画素および第2副画素を有する、複数の画素と、それぞれがある列の画素に関連付けられた複数のソースバスラインと、それぞれがある行の画素に関連付けられた複数のゲートバスラインと、それぞれが前記複数の画素のそれぞれが有する第1副画素および第2副画素の一方に関連付けられた複数のTFTと、それぞれがある行の画素が有する前記第1副画素および第2副画素の一方に関連付けられた複数のCSバスラインとを有し、前記第1副画素および前記第2副画素のそれぞれは、液晶容量と補助容量とを有し、前記第1副画素が有する前記補助容量に接続されたCSバスラインと、前記第2副画素が有する補助容量に接続されたCSバスラインとが互いに電気的に独立であって、前記複数のゲートバスラインのそれぞれに供給されるゲート信号電圧によって、前記複数の画素が走査される液晶表示装置であって、前記複数のCSバスラインのそれぞれに供給されるCS電圧は、1垂直走査期間内に、少なくとも1回極性が変化する波形を有し、垂直走査期間は複数のサブ垂直走査期間を有し、前記複数のサブ垂直走査期間は、連続する複数の奇数行または偶数行の画素を順次走査する第1サブ垂直走査期間と、前記第1サブ垂直走査期間に連続し、前記第1サブ垂直走査期間において飛び越された複数の偶数行または奇数行の画素を順次走査する第2サブ垂直走査期間とを含み、前記複数のソースバスラインのそれぞれに供給されるソース信号電圧の極性は、一定のシーケンスに従って変化しており、前記シーケンスは、前記ソース信号電圧の極性が互いに異なる連続する2つの垂直走査期間、または、前記ソース信号電圧の極性が互いに異なる連続する2つのサブ垂直走査期間を含み、前記CS電圧は、前記第1サブ垂直走査期間に選択される第jゲートバスラインに接続された画素が有する2つの副画素の内で当該CS電圧が供給されるCSバスラインと関連付けられている副画素の実効電圧を上昇させるまたは降下させる作用と、前記第2サブ垂直走査期間に選択される第j+1ゲートバスラインに接続された画素が有する2つの副画素の内で当該CS電圧が供給されるCSバスラインと関連付けられている副画素の実効電圧を上昇させるまたは降下させる作用とが互いに逆になる波形を有している。

【0021】

ある実施形態において、前記ソース信号電圧の前記シーケンスは、前記ソース信号電圧の極性が互いに異なる連続する2つの垂直走査期間を含み、同じ垂直走査期間に属する前記第1サブ垂直走査期間および前記第2サブ垂直走査期間における前記ソース信号電圧の極性は同じであり、前記CS電圧は、前記第1サブ垂直走査期間において前記第jゲートバスラインに供給されるゲート信号電圧がハイからローに変化した時点から、前記第2サブ垂直走査期間において前記第j+1ゲートバスラインに供給されるゲート信号電圧がハイからローに変化する時点までの間に、極性が奇数回変化する。

【0022】

ある実施形態において、前記ソース信号電圧の前記シーケンスは、前記ソース信号電圧の極性が互いに異なる連続する2つのサブ垂直走査期間を含み、同じ垂直走査期間に属する前記第1サブ垂直走査期間と前記第2サブ垂直走査期間における前記ソース信号電圧の極性が互いに異なり、前記CS電圧は、前記第1サブ垂直走査期間において前記第jゲートバスラインに供給されるゲート信号電圧がハイからローに変化した時点から、前記第2サブ垂直走査期間において前記第j+1ゲートバスラインに供給されるゲート信号電圧がハイからローに変化する時間までの間に、極性が偶数回変化する。ここで、極性の変化はゼロ回（偶数は0を含む）であってもよい。

【0023】

ある実施形態において、前記CS電圧が、前記第1サブ垂直走査期間において前記第jゲートバスラインに供給されるゲート信号電圧がハイからローに変化した時点から、前記第2サブ垂直走査期間において前記第j+1ゲートバスラインに供給されるゲート信号電

10

20

30

40

50

圧がハイからローに変化する時間までの間に、極性が2回以上の偶数回変化し、前記j+1行の画素に所定の電圧が印加された後、前記CS電圧のレベルは当該CS電圧のセンターレベルと等しい。

**【0024】**

ある実施形態において、前記第1サブ垂直走査期間において全ての奇数行または偶数行の画素を走査し、前記第2サブ垂直走査期間において走査されなかつた全ての偶数行または奇数行の画素を走査する。

**【0025】**

ある実施形態において、前記複数のCSバスラインは、互いに異なる画素に属し且つ列方向に隣接する2つの副画素に共通に関連付けられたCSバスラインを含む。

10

**【0026】**

ある実施形態において、前記CS電圧は、一水平走査期間の正の整数倍の周期で振動する波形部分を含み、前記サブ垂直走査期間は $N_{sv} (= / 2)$ 本の連続した奇数行または偶数行の画素を走査する期間であつて、前記CS電圧の前記周期が一水平走査期間をHとしたときに $M \times H$ （ここでMは正の整数）であらわされるとき、 $N_{sv}$ は $(M / 2)$ の正の整数倍である。

**【0027】**

ある実施形態において、前記垂直走査期間は、前記第1サブ垂直走査期間および前記第2サブ垂直走査期間と、前記第2サブ垂直走査期間に連続する第3サブ垂直走査期間および前記第3サブ垂直走査期間に連続する第4サブ垂直走査期間を含み、前記第3サブ垂直走査期間は前記第2サブ垂直走査期間において走査された最後の偶数行または奇数行に連続する偶数行または奇数行から始まる連続する $N_{sv}$ 本の偶数行または奇数行の画素を順次走査するサブ垂直走査期間であつて、前記第4サブ垂直走査期間は前記第3サブ垂直走査期間において飛び越された複数の奇数行または偶数行の画素を順次走査するサブ垂直走査期間であつて、前記シーケンスは、前記ソース信号電圧の極性が、前記第1サブ垂直走査期間と前記第2サブ垂直走査期間との間は異なり、前記第2サブ垂直走査期間と前記第3サブ垂直走査期間との間は同じであり、前記第3サブ垂直走査期間と前記第4サブ垂直走査期間との間は異なるシーケンスを含む。

20

**【0028】**

ある実施形態において、前記複数のCSバスラインは、互いに異なる画素に属し列方向に隣接する2つの副画素に共通に関連付けられたCSバスラインを含み、前記CS電圧の前記周期が一水平走査期間をHとしたときに $M \times H$ （ここでMは正の整数）であらわされるとき、 $N_{sv}$ はMの正の整数倍である。

30

**【0029】**

ある実施形態において、一水平走査期間をHとしたとき、 $N_{sv} \times H$ が1.2m秒以下である。

**【0030】**

ある実施形態において、1垂直走査期間に含まれる水平走査期間の数を $N_{vtotal}$ とすると、 $(N_{sv} / N_{vtotal}) \times 1$ 垂直走査期間が1.2m秒以下である。

40

**【0031】**

ある実施形態において、有効表示期間に含まれる水平走査期間の数を $N_{disp}$ とすると、 $N_{sv} - N_{disp}$ が $N_{sv} \times 2$ の整数倍であらわされる。

**【0032】**

ある実施形態において、任意の垂直走査期間において、互いに隣接する列の画素に関連付けられたソースバスラインに供給されるソース信号電圧の極性は互いに逆である。

**【0033】**

ある実施形態において、前記1垂直走査期間は1/120秒以下である。

**【0034】**

本発明のテレビジョン受像機は、上記のいずれかの液晶表示装置と、テレビジョン放送を受信し、前記液晶表示装置に映像信号を出力するチューナとを有する。

50

## 【0035】

本発明の第2の液晶表示装置は、行および列を有するマトリクス状に配列された複数の画素であって、それぞれがある列の画素に関連付けられた複数のソースバスラインと、それぞれがある行の画素に関連付けられた複数のゲートバスラインと、前記複数のゲートバスラインのそれぞれに供給されるゲート信号電圧によって、前記複数の画素が走査される液晶表示装置であって、垂直走査期間は複数のサブ垂直走査期間を有し、前記複数のサブ垂直走査期間は、連続する複数の奇数行または偶数行の画素を順次走査する第1サブ垂直走査期間と、前記第1サブ垂直走査期間に連続し、前記第1サブ垂直走査期間において飛び越された複数の偶数行または奇数行の画素を順次走査する第2サブ垂直走査期間とを含み、前記複数のソースバスラインのそれぞれに供給されるソース信号電圧の極性は、一定のシーケンスに従って変化しており、前記シーケンスは、前記ソース信号電圧の極性が互いに異なる連続する2つのサブ垂直走査期間を含み、前記複数の画素は、第1副画素および第2副画素を有し、複数の画素のそれぞれが有する第1副画素および第2副画素の一方に関連付けられた複数のTFTと、を有し、前記ソースバスラインに沿って隣接する2つの画素は、前記第1副画素および第2副画素の内的一方の副画素が前記ソースバスラインに沿って隣接するように配置されている。10

## 【0036】

ある実施形態において、前記第1副画素および第2副画素は前記ソースバスラインに沿って配列されており、前記ソースバスラインに沿った方向において、前記第1副画素が隣接する画素に、前記第2副画素は隣接しない。20

## 【0037】

ある実施形態において、前記第1副画素および第2副画素は、前記第1副画素および第2副画素が含まれる画素に関連付けられた前記ゲートバスラインを間に介して配列されている。

## 【0038】

ある実施形態において、前記ソースバスラインに沿った方向において、前記第2副画素は第1副画素に挟まれて配置されており、前記ソースバスラインに沿って隣接する2つの画素は、前記第1副画素が前記ソースバスラインに沿って隣接するように配置されている。30

## 【0039】

ある実施形態において、複数の補助配線を有し、前記複数の補助配線のそれぞれは、前記ソースバスラインに沿って隣接する2つの画素の間に配置され、所定の電位に制御される。

## 【0040】

ある実施形態において、前記複数の補助配線は、それぞれがある行の画素が有する前記第1副画素および第2副画素の一方に関連付けられた複数のCSバスラインである。

## 【0041】

ある実施形態において、前記複数のCSバスラインは、互いに異なる画素に属し且つ列方向に隣接する2つの副画素に共通に関連付けられたCSバスラインを含む。

## 【0042】

ある実施形態において、前記複数の画素が構成するある行をn行とし、任意の列のn行に属する画素が有する第1副画素の補助容量対向電極が接続された補助容量配線をCSBL<sub>(n)A</sub>、第2副画素の補助容量対向電極が接続された補助容量配線をCSBL<sub>(n)B</sub>で表すとき、前記L本の電気的に独立な補助容量幹線に接続されるCSバスラインが、40

CSBL<sub>(p + 2 × (1 - 1))B</sub>, (p + 2 × (1 - 1) + 1)A,

CSBL<sub>(p + 2 × (2 - 1))B</sub>, (p + 2 × (2 - 1) + 1)A,

CSBL<sub>(p + 2 × (3 - 1))B</sub>, (p + 2 × (3 - 1) + 1)A,

•

•

C S B L \_\_ ( p + 2 × ( K - 1 ) ) B , ( p + 2 × ( K - 1 ) + 1 ) A  
と、

C S B L \_\_ ( p + 2 × ( 1 - 1 ) + K × L + 1 ) B , ( p + 2 × ( 1 - 1 ) +  
K × L + 2 ) A ,

C S B L \_\_ ( p + 2 × ( 2 - 1 ) + K × L + 1 ) B , ( p + 2 × ( 2 - 1 ) +  
K × L + 2 ) A ,

C S B L \_\_ ( p + 2 × ( 3 - 1 ) + K × L + 1 ) B , ( p + 2 × ( 3 - 1 ) +  
K × L + 2 ) A ,

.

.

.

C S B L \_\_ ( p + 2 × ( K - 1 ) + K × L + 1 ) B , ( p + 2 × ( K - 1 ) +  
K × L + 2 ) A

或いは

C S B L \_\_ ( p + 2 × ( 1 - 1 ) + 1 ) B , ( p + 2 × ( 1 - 1 ) + 2 ) A  
,

C S B L \_\_ ( p + 2 × ( 2 - 1 ) + 1 ) B , ( p + 2 × ( 2 - 1 ) + 2 ) A  
,

C S B L \_\_ ( p + 2 × ( 3 - 1 ) + 1 ) B , ( p + 2 × ( 3 - 1 ) + 2 ) A  
,

.

.

.

C S B L \_\_ ( p + 2 × ( K - 1 ) + 1 ) B , ( p + 2 × ( K - 1 ) + 2 ) A  
と

C S B L \_\_ ( p + 2 × ( 1 - 1 ) + K × L ) B , ( p + 2 × ( 1 - 1 ) + K ×  
L + 1 ) A ,

C S B L \_\_ ( p + 2 × ( 2 - 1 ) + K × L ) B , ( p + 2 × ( 2 - 1 ) + K ×  
L + 1 ) A ,

C S B L \_\_ ( p + 2 × ( 3 - 1 ) + K × L ) B , ( p + 2 × ( 3 - 1 ) + K ×  
L + 1 ) A ,

.

.

.

C S B L \_\_ ( p + 2 × ( K - 1 ) + K × L ) B , ( p + 2 × ( K - 1 ) + K ×  
L + 1 ) A

但し、 $p = 1, 3, 5, \dots$  もしくは $p = 0, 2, 4, \dots$  の関係を満足する。

## 【0043】

本発明の第2の液晶表示装置は、本発明の第1の液晶表示装置における副画素間の輝度を異なるさせるという構成を必要としないこと以外は同じ構成を有し得る。

## 【0044】

本発明のゲートドライバは、奇数段用の第1シフトレジスタと偶数段用の第2シフトレジスタであって、それぞれに独立にクロック信号およびスタートパルスが入力されるとともに、共通の制御信号が入力される、第1および第2シフトレジスタと、前記第1および第2シフトレジスタの一方のシフトレジスタの出力と、制御信号の論理反転信号とが入力される第1ANDゲートと、他方のシフトレジスタの出力と、予め論理反転された前記制御信号の論理反転信号とが入力される第2ANDゲートとを有し、前記第1および第2ANDゲートの出力が、それぞれ対応するゲートバスラインに出力すべき信号に対応することを特徴とする。

## 【0045】

ある実施形態において、前記第1および第2シフトレジスタから偶数段の出力を行うか奇数段の出力を行うかを前記制御信号で制御する。

## 【発明の効果】

## 【0046】

本発明によると、マルチ画素技術にソースライン反転駆動法およびまたはブロック反転駆動法を適用する場合の表示品位の低下を抑制し得る液晶表示装置が提供される。

## 【図面の簡単な説明】

## 【0047】

【図1】本発明による実施形態の液晶表示装置100の構成を示す模式図である。 10

【図2】液晶表示装置100の1つの画素の等価回路を示す図である。

【図3】液晶表示装置100の画素とCSバスラインとの接続関係、ソース信号電圧の書き込み極性(図中の+ -)ならび明暗2つの副画素(図中のハッティングが暗副画素)の配置(ソースライン反転駆動した場合)を模式的に示す図である。

【図4】液晶表示装置100をソースライン反転駆動した場合のNフレームおよびN+1フレームにおけるソース信号電圧の書き込み極性の配置を示す図である。

【図5A】液晶表示装置100をソースライン反転駆動した場合のNフレームおよびN+1フレームにおけるソース信号電圧の書き込み極性の配置を示す図である。

【図5B】液晶表示装置100をソースライン反転駆動する場合の各信号波形を示す図である。 20

【図6】液晶表示装置100の画素とCSバスラインとの接続関係、ソース信号電圧の書き込み極性(図中の+ -)ならび明暗2つの副画素(図中のハッティングが暗副画素)の配置(ソースライン反転駆動した場合)の他の例を模式的に示す図である。

【図7】液晶表示装置100をソースライン反転駆動した場合のNフレームおよびN+1フレームにおけるソース信号電圧の書き込み極性の配置の他の例を示す図である。

【図8A】液晶表示装置100をソースライン反転駆動した場合のNフレームおよびN+1フレームにおけるソース信号電圧の書き込み極性の配置の他の例を示す図である。

【図8B】液晶表示装置100をソースライン反転駆動する場合の各信号波形の他の例を示す図である。

【図9】ソースライン反転駆動の問題点を説明するための模式図である。 30

【図10】(a)および(b)は、ソースライン反転駆動におけるコーミングの問題を説明するための模式図である。

【図11】コーミングが発生する原因を説明するための図である。

【図12】本発明による実施形態の駆動方法を説明するための模式図である。

【図13A】本発明による実施形態の駆動方法に用いられる各種信号の波形とタイミングを示す図である。

【図13B】本発明による実施形態の他の駆動方法に用いられる各種信号の波形とタイミングを示す図である。

【図13C】本発明による実施形態のさらに他の駆動方法に用いられる各種信号の波形とタイミングを示す図である。 40

【図14A】本発明による実施形態のさらに他の駆動方法に用いられる各種信号の波形とタイミングを示す図である。

【図14B】図14Aに示す信号を用いて駆動した液晶表示装置におけるソース信号電圧の書き込み極性(図中の+ -)ならび明暗2つの副画素(図中のハッティングが暗副画素)の配置(ソースライン反転駆動した場合)を模式的に示す図である。

【図15】(A)および(B)は、本発明の液晶表示装置100が有するゲートドライバ130の構成例を示す模式図である。

【図16】(a)～(g)は図15に示したゲートドライバ130の動作を説明するための各種信号の波形を示す図である。

【図17】(a)～(h)は図15に示したゲートドライバ130の動作を説明するため 50

の各種信号の波形の他の例を示す図である。

【図18】(a)～(h)は図15に示したゲートドライバ130の動作を説明するための各種信号の波形の更に他の例を示す図である。

【図19】(a)～(h)は図15に示したゲートドライバ130の動作を説明するための各種信号の波形の更に他の例を示す図である。

【図20】本発明の液晶表示装置100が有するゲートドライバ130の他の構成例を示す模式図である。

【図21】図20に示したゲートドライバが有する各ゲートドライバ用ICチップの構成を示す模式図である。

【図22】図20に示したゲートドライバの各種信号の波形およびタイミングを示す図である。10

【図23】本発明による実施形態の液晶表示装置100が有する並べ替え回路の構成例を示す概略ブロック図である。

【図24A】データの並べ替えの方法を説明するための模式図である。

【図24B】図24Aの点線で囲った部分yの拡大図である。

【図25】(a)はテレビジョン受像機の表示装置800の構成を示すブロック図であり、(b)はチューナと表示装置との接続関係を示す図である。

【図26】本発明による実施形態のさらに他の駆動方法に用いられる各種信号の波形とタイミングを示す図である。

【図27】本発明による実施形態のさらに他の駆動方法に用いられる各種信号の波形とタイミングを示す図である。20

【図28】画素分割構造を有しない従来の液晶表示装置をロック反転駆動した場合の画素へのソース信号電圧の書き込み極性と、列方向に隣接する画素間のカップリングによる電圧変化を示す図である。

【図29】従来の画素分割構造を有しない液晶表示装置をロック反転駆動によって全面に中間調を表示したときのあるフレームの表示状態を模式的に示す図である。

【図30】画素分割構造を有する液晶表示装置にロック反転駆動を行った場合の画素へのソース信号電圧の書き込み極性と、列方向に隣接する画素間のカップリングによる電圧変化とを示す図である。

【図31】本発明による実施形態の液晶表示装置が有する画素分割構造の1例を示す平面図である。30

【図32】本発明による実施形態の液晶表示装置が有する画素分割構造の他の例を示す平面図である。

【図33】本発明による実施形態の液晶表示装置が有するCS幹線の接続形態の1例を示す模式図である。

【図34】図33に示すCS幹線の接続形態を有する液晶表示装置をドット反転駆動する場合のCS電圧の位相とTFTがオフされるタイミングとの関係を模式的に示す図である。

【図35】図33に示すCS幹線の接続形態を有する液晶表示装置をロック反転駆動する場合のCS電圧の位相とTFTがオフされるタイミングとの関係を模式的に示す図である。40

【図36】本発明による実施形態の液晶表示装置が有するCS幹線の接続形態の他の例を示す模式図である。

【図37】図36に示すCS幹線の接続形態を有する液晶表示装置をドット反転駆動する場合のCS電圧の位相とTFTがオフされるタイミングとの関係を模式的に示す図である。

【図38】図36に示すCS幹線の接続形態を有する液晶表示装置をドット反転駆動する場合のCS電圧の位相とTFTがオフされるタイミングとの関係を模式的に示す図である。

【図39】図36に示すCS幹線の接続形態を有する液晶表示装置をドット反転駆動する50

ことによって全面に中間調を表示したときのあるフレームの表示状態を模式的に示す図である。

【図40】(a)～(d)は、図39の表示が得られる理由を説明するための図であり、TFTがオフされてからCS電圧の電圧レベルが最初に変化するまでの時間が異なる場合のゲートオンパルスとCS電圧の振動波形との関係を模式的に示す図である。

【図41】従来のマルチ画素構造を有するMVAモードの液晶表示装置の構造を模式的に示す図であり、列方向に隣接する2つの構造を模式的に示す図である。

【図42】ソースライン反転駆動を説明するための模式図であり、ソース信号電圧の書き込み極性(図中の+ - )の配置を示す図である。

【図43】特許文献2に記載の液晶表示装置の画素とCSバスラインとの接続関係、ソース信号電圧の書き込み極性(図中の+ - )ならび明暗2つの副画素(図中のハッティングが暗副画素)の配置(ドット反転駆動した場合)を模式的に示す図である。 10

【図44】図43に示した液晶表示装置における各信号電圧の波形を示す図である。

【図45A】図43に示した液晶表示装置をドット反転駆動した場合のNフレームおよびN+1フレームにおけるソース信号電圧の書き込み極性の配置を示す図である。

【図45B】図43に示した液晶表示装置をドット反転駆動する場合の各信号波形を示す図である。

【図46】特許文献2に記載の液晶表示装置の画素とCSバスラインとの接続関係、ソース信号電圧の書き込み極性(図中の+ - )ならび明暗2つの副画素(図中のハッティングが暗副画素)の配置(ソースライン反転駆動した場合)を模式的に示す図である。 20

【図47】図46に示した液晶表示装置をソースライン反転駆動した場合のNフレームおよびN+1フレームにおけるソース信号電圧の書き込み極性の配置を示す図である。

【図48A】図46に示した液晶表示装置をソースライン反転駆動した場合のNフレームおよびN+1フレームにおけるソース信号電圧の書き込み極性の配置を示す図である。

【図48B】図46に示した液晶表示装置をソースライン反転駆動する場合の各信号波形を示す図である。

#### 【発明を実施するための形態】

##### 【0048】

以下、図面を参照して、本発明による実施形態の液晶表示装置の構成およびその駆動方法を説明する。なお、本発明は以下の実施形態に限定されるものではない。 30

##### 【0049】

###### [ソースライン反転]

まず、本発明者が見出した、マルチ画素技術にソースライン反転駆動方法を適用する場合に発生する問題点を、図43～図45Bおよび図46～図48Bを参照して詳細に説明する。

##### 【0050】

最初に、図43～図45Bを参照して特許文献2に記載されているマルチ画素構造を有する液晶表示装置をドット反転駆動する場合を説明する。

##### 【0051】

図43は特許文献2に開示されている液晶表示装置の画素とCSバスラインとの接続関係を模式的に示すとともに、ソース信号電圧の書き込み極性(図中の+ - )ならび明暗2つの副画素(図中のハッティングが暗副画素)の配置を模式的に示す図である。図44は当該液晶表示装置における各信号電圧の波形を示しており、上から順に、CSバスラインCS-Bから供給されるCS電圧、i番目のソースバスラインS<sub>i</sub>に供給されるソース信号電圧、j番目のゲートバスラインG<sub>j</sub>に供給されるゲート信号電圧、i番目のソースバスラインS<sub>i</sub>とj番目のゲートバスラインG<sub>j</sub>とに接続された画素が有する2つの副画素の内のCSバスラインCS-Bに接続された補助容量を有する副画素P-B(i, j)に印加される電圧、j+1番目のゲートバスラインG<sub>j+1</sub>に供給されるゲート信号電圧、i番目のソースバスラインS<sub>i</sub>とj+1番目のゲートバスラインG<sub>j+1</sub>とに接続された画素が有する2つの副画素の内のCSバスラインCS-Bに接続された補助容量を有する副 40

50

画素  $P - B(i, j + 1)$  に印加される電圧を示している。また、図中の  $V_{com}$  は対向電圧を示している。図 45 A は、連続する 2 つのフレーム（N フレームおよび N + 1 フレーム）における各画素のソース信号電圧の書き込み極性を示している。図 45 B は、連続する 2 つのフレームにおいて画素がどのように走査されるかを示すための図であり、i 列目のソースバスライン  $S_i$  に供給されるソース信号電圧と、1 行目から n 行目までのゲートバスライン  $G_1 \sim G_n$  に供給されるゲート信号電圧の波形を模式的に示している。

#### 【0052】

ここで、液晶表示装置の駆動に関する各期間について定義する。本明細書においては、ノンインターレース駆動用の入力映像信号の場合の 1 フレーム期間およびインターレース駆動用の入力映像信号の 1 フィールド期間を「入力映像信号の垂直走査期間（V-Tot<sub>a1</sub>）」と呼ぶ。一方、液晶表示装置において、表示信号電圧（ソース信号電圧）を書き込むためにある走査線（すなわちゲートバスライン）が選択され、次の表示信号電圧を書き込むためにその走査線が選択されるまでの期間を「垂直走査期間（V-Tot<sub>a1</sub>）」と定義することにする。通常、液晶表示装置における 1 垂直走査期間は、入力映像信号の 1 垂直走査期間に対応する。以下では、簡単のために、1 垂直走査期間 = 1 フレーム期間とし、液晶表示パネルの 1 垂直走査期間が入力映像信号の 1 垂直走査期間に対応する場合について説明する。但し、本発明はこれに限られず、例えば、入力映像信号の 1 垂直走査期間（例えば 1 / 60 sec）に対して、液晶表示パネルの 2 垂直走査期間（2 × 1 / 120 sec）を割り当てる、いわゆる 2 倍速駆動（垂直走査周波数が 120 Hz）などにも適用できる。本明細書において、「×」は乗算を表す。10

#### 【0053】

なお、時間間隔の長さとしては上記のような関係が成立し、時間間隔としての 1 垂直走査期間はどの走査線についても等価であるが、1 本目の走査線についての垂直走査期間は 1 枚の画像を表示させるための期間としての意味を持つ。すなわち、垂直走査期間の起点が意味を持つ。そこで、入力映像信号の 1 枚の画像に対応する期間を「フレーム」と呼び、フレーム期間および垂直走査期間と区別することにする。また、ある走査線を選択する時刻と、その次の走査線を選択する時刻との差（期間）を 1 水平走査期間（1 H）という。20

#### 【0054】

なお、表示装置に入力される映像信号の垂直走査期間（V-Tot<sub>a1</sub>）は、映像を表示する有効表示期間（V-Disp）と、映像を表示しない垂直帰線期間（V-Bank）とからなっている。例えば、表示エリアの画素の行数が 1080 行である場合（フルハイビジョン対応）、有効表示期間は  $1080 \times H$ （水平走査期間）、垂直帰線期間は  $45 \times H$  で、垂直走査期間（V-Tot<sub>a1</sub>）が  $1125 \times H$  とされる。ただし、映像を表示する有効表示期間 V-Disp は液晶パネルの表示エリア（有効な画素の行数）により決定されるが、垂直帰線期間は信号処理のための期間であるため、必ずしも一定ではない。30

#### 【0055】

ここで、垂直走査期間 V-Tot<sub>a1</sub> に含まれる水平走査期間の数を  $Nv-tot<sub>a1</sub>$  で表し、有効表示期間 V-Disp に含まれる水平走査期間の数を  $Nv-Disp$  で表し、垂直帰線期間 V-Bank に含まれる水平走査期間の数を  $Nv-Bank$  で表すこととする。上記の例については、 $Nv-tot<sub>a1</sub> = 1125$ 、 $\underline{Nv-Disp} = 1080$ 、 $\underline{Nv-Bank} = 45$  ということになる。なお、 $Nv-tot<sub>a1</sub>$  は走査線数と呼ばれることがある、 $\underline{Nv-Disp}$  は有効走査線数と呼ばれることがある。40

#### 【0056】

図 43 に示すように、1 つの画素、例えば、ソースバスライン  $S_i$  に関連付けられ、且つ、ゲートバスライン  $G_j$  に関連付けられている画素は、CS バスライン CS-A に関連付けられている副画素（これを「P-A(i, j)」と表記することがある）と CS バスライン CS-B に関連付けられている副画素（これを「P-B(i, j)」と表記することがある）とを有している。次に、ゲートバスライン  $G_{j+1}$  に関連付けられている画素50

は、CSバスラインCS-Bに関連付けられている副画素（これを「P-B(i, j+1)」と表記することがある）とCSバスラインCS-Cに関連付けられている副画素（これを「P-C(i, j+1)」と表記することがある）とを有している。すなわち、図43に示した構成においては、CSバスラインCS-Bは、互いに異なる画素に属し且つ列方向に隣接する2つの副画素に共通に関連付けられている。このように、各CSバスラインは、列方向に隣接する画素の間に配置されており、互いに異なる画素に属し且つ列方向に隣接する2つの副画素に共通に関連付けられている。

#### 【0057】

図44に示す波形を有する信号電圧を印加すると、図43に示したような書き込み極性(+または-)および明暗副画素の分布(ハッチングが暗副画素)が得られる。ここでは10、ドット反転駆動で、且つ、明副画素が市松模様に配置される例を示している。

#### 【0058】

ゲートバスラインGjのゲート信号電圧がハイの時のソースバスラインSiに供給されるソース信号電圧は正極性なので、P-B(i, j)の電圧は正極性で書き込まれる。ゲートバスラインGjのゲート信号電圧がローになってからのCSバスラインCS-Bの振動電圧の最初の変化は降下なので、P-B(i, j)の電圧は突き下げ作用を受けて降下する。一方、ゲートバスラインGj+1のゲート信号電圧がハイの時のソースバスラインSiの信号電圧は負極性なので、P-B(i, j+1)の電圧は負極性で書き込まれる。ゲートバスラインGj+1のゲート信号電圧がローになってからのCSバスラインCS-Bの振動電圧の最初の変化は降下なので、P-B(i, j+1)の電圧は突き下げ作用を受けて降下する。このときP-B(i, j+1)の電圧は負なので、電圧の絶対値は増大することになる。従って、P-B(i, j)副画素は暗副画素となり、P-B(i, j+1)は明副画素となる。

#### 【0059】

ドット反転駆動法によると、図45Aに示すように、NフレームでもN+1フレームにおいても、列方向および行方向のいずれの方向においても隣接する画素に逆極性のソース信号電圧が書き込まれる。NフレームとN+1フレームとでは全ての画素の書き込み極性が逆転しており、いわゆるフレーム反転も行われている。

#### 【0060】

このようなドット反転駆動では、図45Bに示すように、NフレームにおいてもN+1フレームにおいても、ゲートバスラインG1～Gnが表示領域の一端（ここでは上端）から順次選択され、行ごとに画素が順次選択される。ソース信号電圧Siは1水平走査期間(1Hと表記する。)ごとに極性が切り替わる波形を有しており（ここでは振幅は一定）、NフレームとN+1フレームとで位相が1Hずれている。また、ここでは図示していないが、ソースバスラインSiに行方向に隣接するソースバスラインSi+1に供給されるソース信号電圧はソースバスラインSiに供給されるソース信号電圧と位相が1H異なっている。

#### 【0061】

次に、図46～図48Bを参照して、特許文献2に記載されているマルチ画素構造を有する液晶表示装置をソースライン反転駆動する場合を説明する。

#### 【0062】

図46に示す画素とCSバスラインとの接続関係は、図43と同じである。図46は1つの列に属する画素は全て同じ極性で書き込まれている点において図43と異なる。すなわち、図47に示すソースバスラインSiに供給されるソース信号電圧の極性は1つのフレームでは一定（図では正極性）である。図48Aと図45Aとを比較すればよくわかるように、ソースライン反転では、同じソースバスラインに関連付けられている各列の画素は同極性で書き込まれ、隣接する列とは極性が逆になる。さらに、NフレームとN+1フレームとでは全ての画素の書き込み極性が逆転しており、いわゆるフレーム反転も行われている。なお、画素の走査方法は、図48Bに示すように、NフレームにおいてもN+1フレームにおいても、ゲートバスラインG1～Gnが表示領域の一端（ここでは上端）か

10

20

30

40

50

ら順次選択され、行ごとに画素が順次選択される。

#### 【0063】

図46を参照して、明暗副画素の配置について見ると、共通のCSバスラインCS-Bに関連付けられている、互いに異なる画素に属し且つ列方向に隣接する2つの副画素P-B(i,j)およびP-B(i,j+1)がいずれも暗副画素となっている。これは、図47に示すように、P-B(i,j)およびP-B(i,j+1)はいずれも正極性で書き込まれ、その後、共通のCSバスラインCS-Bに供給されるCS電圧による突き下げ効果を受けるので、いずれの副画素も暗副画素となるのである。

#### 【0064】

このように、互いに異なる画素に属し且つ列方向に隣接する2つの副画素が共通のCSバスラインに関連付けられている液晶表示装置にソースライン反転駆動法を適用すると、図46に示すように、列方向に隣接する画素に含まれる明副画素が隣接して配置される結果となり、明副画素の分布に偏りが生じる。人間は明るい部分を中心に画素や境界を識別する傾向がある。このため、図46に示したような明副画素の分布に偏りが生じ、画像を見ると、表示がざらついて見えるのである。

#### 【0065】

##### [ソースライン反転駆動の実施形態]

図1に本発明による実施形態の液晶表示装置100の構成を模式的に示す。また、図2に液晶表示装置100の1つの画素の等価回路を示す。

#### 【0066】

液晶表示装置100は、液晶パネル110と、ソースバスラインS1... (Siと表記することもある)にソース信号電圧を供給するソースドライバ120(データ信号線駆動回路)と、ゲートバスラインG1...にゲート信号電圧を供給するゲートドライバ130(走査信号線駆動回路)と、CSバスラインCS1...にCS電圧を供給するCSコントロール回路140と、ソースドライバ120およびゲートドライバ130並びにCSコントロール回路140を制御する表示制御回路150とを備えている。

#### 【0067】

液晶パネル110は上述した図41に示した液晶表示装置900の液晶表示パネルと同じであってよく、その1画素の等価回路を図2に示す。

#### 【0068】

液晶パネル110の各画素は2つの副画素を有している。図41中の第1副画素SP-1が図2に示す液晶容量C1c1および補助容量CS1を有しており、図41中の第2副画素SP-2が図2に示す液晶容量C1c2および補助容量CS2を有している。液晶容量C1c1は、第1副画素電極17a、対向電極(Vcom)、および両者間の液晶層によって形成されており、液晶容量C1c2は、第2副画素電極17b、対向電極(Vcom)、および両者間の液晶層によって形成されている。対向電極は2つの副画素に共通に設けられており、一般に、表示領域内の全ての画素に共通に設けられる。ただし、大型の液晶表示パネルにおいては複数の領域に分割されることもある。

#### 【0069】

図2に示す画素は、ソースバスライン14およびゲートバスライン12に関連付けられており、副画素のそれぞれにTFT16aまたはTFT16bが関連付けられている。すなわち、TFT16aのドレイン電極はそれが関連付けられている副画素の副画素電極11aに接続されており、TFT16bはそれが関連付けられている副画素の副画素電極11bに接続されている一方、TFT16aおよび16bのゲート電極は共通のゲートバスライン12に接続されており、ソース電極は共通のソースバスライン14に接続されている。また、それぞれの副画素は互いに電気的に独立なCSバスライン13aと13bとに関連付けられている。

#### 【0070】

表示制御回路150は、外部の信号源(例えはチューナ)から、表示すべき画像を表すデジタルビデオ信号DVと、当該デジタルビデオ信号DVに対応する水平同期信号HSY

10

20

30

40

50

および垂直同期信号 V S Y と、表示動作を制御するための制御信号 D c とを受け取り、それらの信号 D v 、 H S Y 、 V S Y および D c に基づき、そのデジタルビデオ信号 D v の表す画像を液晶パネル 110 に表示させるための信号として、データスタートパルス信号 S S P と、データクロック信号 S C K と、ラッチストローブ信号 L S とデータ信号の極性を制御する信号 P O L 、表示すべき画像を表すデジタル画像信号 D A と、ゲートスタートパルス信号 G S P と、ゲートクロック信号 G C K と、ゲートドライバ出力制御信号 G O E を生成し出力する。

#### 【 0071 】

より詳しくは、ビデオ信号 D v を内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号 D A として表示制御回路 150 から出力し、そのデジタル画像信号 D A の表す画像の各画素に対応するパルスからなる信号としてデータクロック信号 S C K を生成し、水平同期信号 H S Y に基づき 1 水平走査期間毎に所定期間だけハイレベル（ H レベル）となる信号としてデータスタートパルス信号 S S P を生成し、垂直同期信号 V S Y に基づき 1 フレーム期間（ 1 垂直走査期間）毎に所定期間だけハイレベルとなる信号としてゲートスタートパルス信号 G S P を生成し、水平同期信号 H S Y に基づきゲートクロック信号 G C K を生成し、水平同期信号 H S Y および制御信号 D c に基づきラッチストローブ信号 L S およびゲートドライバ出力制御信号 G O E を生成する。

#### 【 0072 】

上記のようにして表示制御回路 150 において生成された信号のうち、デジタル画像信号 D A 、ラッチストローブ信号 L S 、データ信号の極性を制御する信号 P O L 、データスタートパルス信号 S S P およびデータクロック信号 S C K は、ソースドライバ 120 に入力され、ゲートスタートパルス信号 G S P 、ゲートクロック信号 G C K およびゲートドライバ出力制御信号 G O E は、ゲートドライバ 130 に入力される。

#### 【 0073 】

ソースドライバ 120 は、デジタル画像信号 D A 、データスタートパルス信号 S S P 、データクロック信号 S C K 、ラッチストローブ信号 L S およびデータ信号の極性を制御する信号 P O L に基づき、デジタル画像信号 D A の表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号を 1 水平走査期間毎に順次生成し、これらのデータ信号（表示信号電圧）をソースバスライン S i にそれぞれ印加する。

#### 【 0074 】

また、 C S コントロール回路 140 には、ゲートクロック信号 G C K およびゲートスタートパルス信号 G S P が入力される。 C S 用コントロール回路 140 は、 C S 電圧の波形を制御する。 C S 電圧として、 1 : 1 のデューティ比で振動する波形を有する振動電圧を用いる場合、振動の位相や幅（または周期）を制御する。

#### 【 0075 】

液晶表示装置 100 は、上述したようにマルチ画素駆動される。すなわち、第 1 副画素電極 11a と、第 2 副画素電極 11b とに、共通のソースバスラインからソース信号電圧（表示信号電圧）を供給しておき、その後、各 T F T 16a 、 16b をオフ状態にした後に第 1 C S バスライン 13a および第 2 C S バスライン 13b の電圧を相互に異なるようになる。これにより、第 1 液晶容量 C 1c1 と第 2 液晶容量 C 1c2 に印加される電圧が異なり、 1 つの画素内に明副画素と暗副画素とを形成する。この構成では、 2 つの副画素電極に 1 本のソースバスラインからソース信号電圧を供給するため、ソースバスラインの数やこれらを駆動するソースドライバの数を増加させる必要がないという利点がある。

#### 【 0076 】

以下に、図 3 ~ 図 5B を参照して、液晶表示装置 100 にソースライン反転駆動方法を適用する実施形態を説明する。図 3 は図 46 に、図 4 は図 47 に、図 5A は図 48A に、図 5B は図 48B にそれぞれ対応する。

#### 【 0077 】

本実施形態の液晶表示装置 100 においては、マルチ画素駆動にソースライン反転駆動

10

20

30

40

50

法を適用するとともに、ゲートバスライン飛び越し走査駆動（インターレース駆動）を行うことによって、上記の問題を解決する。本発明の実施形態によると、ソースドライバの消費電力、すなわち発熱を抑え、また、動画性能向上のため画像書き込み周波数を上げる際にも充電率の低下を抑制することができる。

#### 【0078】

なお、飛び越し走査駆動の説明において、最初に奇数行を走査し（偶数行を飛び越し）、次に偶数行を走査する例を説明するが、本発明の実施形態における飛び越し走査の順序はこれに限られず、最初に偶数行を走査し（奇数行を飛び越し）、次に、奇数行を走査してもよいことは言うまでもない。また、このことは後述するブロック反転走査の実施形態についても同様である。

10

#### 【0079】

図3は、液晶表示装置100の画素とCSバスラインとの接続関係を模式的に示すとともに、ソース信号電圧の書き込み極性（図中の+ -）ならび明暗2つの副画素（図中のハッチングが暗副画素）の配置を模式的に示す図であり、本実施形態によりソース反転駆動を行った状態を示している。Gj～Gj+3はゲートバスライン、CS-A～CS-EはCSバスライン、Si～Si+3はソースバスラインを示している。図3に示すように、本実施形態の液晶表示装置においては、列ごとの書き込み極性が一定でありながら、明副画素と暗副画素とが市松模様に配置されている。すなわち、図45を参照して説明した、明副画素の偏りが発生していない。従って、上記の表示がざらついて見えるという問題が発生しない。

20

#### 【0080】

図4は、液晶表示装置100における各信号電圧の波形を示しており、上から順に、CSバスラインCS-Bから供給されるCS電圧Vcs-B、i番目のソースバスラインSiに供給されるソース信号電圧Vs\_i、j番目のゲートバスラインGjに供給されるゲート信号電圧Vg\_j、i番目のソースバスラインSiとj番目のゲートバスラインGjとに接続された画素が有する2つの副画素の内のCSバスラインCS-Bに接続された補助容量を有する副画素P-B(i,j)に印加される電圧Vp-B(i,j)、j+1番目のゲートバスラインGj+1に供給されるゲート信号電圧Vg\_j+1、i番目のソースバスラインとj+1番目のゲートバスラインGj+1とに接続された画素が有する2つの副画素の内のCSバスラインCS-Bに接続された補助容量を有する副画素P-B(i,j+1)に印加される電圧Vp-B(i,j+1)を示している。また、図中のVcomは対向電圧を示しており、Vpix1およびVpix2は各副画素の実効電圧を示している。

30

#### 【0081】

図5Aは、連続する2つのフレーム（NフレームおよびN+1フレーム）における各画素のソース信号電圧の書き込み極性を示している。本実施形態の液晶表示装置100においては、ソースライン反転駆動とともに、ゲートバスライン飛び越し走査駆動（インターレース駆動）を行うので、図5Aにおいては、各フレームを2つの期間（前半2分の1フレームと後半2分の1フレーム）に分割している。2分の1フレームを「1/2フレーム」あるいは「F/2」と表記することがある。

40

#### 【0082】

図5Bは、連続する2つのフレームにおいて画素がどのように走査されるかを示すための図であり、i列目のソースバスラインSiに供給されるソース信号電圧と、1行目からn行目までのゲートバスラインG1～Gnに供給されるゲート信号電圧の波形を模式的に示している。この図においても、各フレームが2つの期間（前半1/2フレームと後半1/2フレーム）に分割されている。本明細書においては、フレーム内に含まれる2つの期間をサブフレームと呼ぶことにする。一般には、1フレーム期間が1垂直走査期間に対応するので、サブフレームの期間に対応する期間をサブ垂直走査期間と呼ぶことにする。なお、第1サブフレームと第2サブフレームとの長さは完全に一致するとは限らない。

#### 【0083】

図5Aおよび図5Bを参照して、画素の走査方法を説明する。

50

## 【0084】

Nフレーム目の前半1/2フレーム（第1サブ垂直走査期間）において、例えば、奇数行のゲートバスラインG<sub>j</sub>にゲート信号電圧V<sub>gj</sub>がV<sub>gL</sub>（ローレベル）から一定期間V<sub>gH</sub>（ハイレベル）となる画素データ書込パルスP<sub>w</sub>が、順次印加される。すなわち、1行目からn-1行目までの全ての奇数行の画素にソース信号電圧が書き込まれる。

## 【0085】

後半の1/2フレーム（第2サブ垂直走査期間）においては、前半1/2フレームにおいて飛び越された複数の偶数行の画素を順次走査する。例えば、偶数行のゲートバスラインG<sub>j+1</sub>に、V<sub>gj+1</sub>がV<sub>gL</sub>から一定期間V<sub>gH</sub>となる画素データ書込パルスP<sub>w</sub>が順次印加される。すなわち、2行目からn行目までの全ての偶数行の画素にソース信号電圧が書き込まれる。10

## 【0086】

ソースバスラインS<sub>i</sub>に供給されるソース信号電圧の極性は前半1/2フレームでソース信号電圧の中央値V<sub>sc</sub>（一般に、V<sub>com</sub>とほぼ等しい。）に対して正極性のソース信号電圧（V<sub>sp</sub>）を与え、次の後半の1/2フレームでも正極性のソース信号電圧を与える。そして、（N+1）フレーム目の前半1/2フレームではV<sub>sc</sub>に対して負極性のソース信号電圧（V<sub>sn</sub>）を与え、次の後半の1/2フレームでも負極性のソース信号電圧を与える。ソースバスラインS<sub>i</sub>に隣接するS<sub>i+1</sub>に供給されるソース信号電圧はソースバスラインS<sub>i</sub>に供給されるソース信号電圧と逆の極性となる。同様にソースバスラインS<sub>i+2</sub>に供給されるソース信号電圧はS<sub>i+1</sub>に供給されるソース信号電圧と逆の極性となる。20

## 【0087】

C<sub>S</sub>バスラインC<sub>S-B</sub>に供給されるC<sub>S</sub>電圧V<sub>cs-B</sub>は、一定の周期で対向電極の電圧V<sub>com</sub>に対して極性が反転する振動波形（例えば図示したような、デューティ比が1:1の矩形波）を有している。

## 【0088】

ゲートバスラインG<sub>j</sub>のゲート信号電圧がハイの時のソースバスラインS<sub>i</sub>に供給されるソース信号電圧は正極性なので、P-B(i,j)の電圧は正極性で書き込まれる。C<sub>S</sub>バスラインC<sub>S-B</sub>に供給されるC<sub>S</sub>電圧V<sub>cs-B</sub>は、一定の周期で対向電極の電圧V<sub>com</sub>に対して極性が反転する振動波形（例えば図示したような、デューティ比が1:1の矩形波）を有しており、ゲートバスラインG<sub>j</sub>のゲート信号電圧がローになってからのC<sub>S</sub>バスラインC<sub>S-B</sub>の振動電圧V<sub>cs-B</sub>の最初の変化は降下（例えばこの場合、正極性から負極性への変化）なので、P-B(i,j)の電圧は突き下げ作用を受けて降下し、副画素P-B(i,j)に印加される実効電圧V<sub>pi</sub>×1は、P<sub>w</sub>により書き込まれたソース信号電圧以下となり（絶対値が小さくなり）、副画素P-B(i,j)は暗副画素となる。30

## 【0089】

一方、ゲートバスラインG<sub>j+1</sub>のゲート信号電圧がハイの時のソースバスラインS<sub>i</sub>の信号電圧も正極性なので、P-B(i,j+1)の電圧も正極性で書き込まれる。ゲートバスラインG<sub>j+1</sub>のゲート信号電圧がローになってからのC<sub>S</sub>バスラインC<sub>S-B</sub>の振動電圧の最初の変化は上昇（例えばこの場合、負極性から正極性への変化）なので、P-B(i,j+1)の電圧は突き上げ作用を受けて上昇し、副画素P-B(i,j+1)に印加される実効電圧V<sub>pi</sub>×2は、P<sub>w</sub>により書き込まれたソース信号電圧以上となり（絶対値が大きくなり）、副画素P-B(i,j+1)は明副画素となる。40

## 【0090】

すなわち、C<sub>S</sub>電圧は、第1サブ垂直走査期間に選択されるゲートバスラインG<sub>j</sub>に接続された画素が有する2つの副画素の内で当該C<sub>S</sub>電圧が供給されるC<sub>S</sub>バスラインと関連付けられている副画素の実効電圧を上昇させるまたは降下させる作用と、第2サブ垂直走査期間に選択されるゲートバスラインG<sub>j+1</sub>に接続された画素が有する2つの副画素の内で当該C<sub>S</sub>電圧が供給されるC<sub>S</sub>バスラインと関連付けられている副画素の実効電圧50

を上昇させるまたは降下させる作用とが互いに逆になる波形を有している。

#### 【0091】

ここで例示したように、ソース信号電圧の極性が互いに異なる連続する2つの垂直走査期間を含み、同じ垂直走査期間に属する第1サブ垂直走査期間および第2サブ垂直走査期間におけるソース信号電圧の極性は同じである場合には、CS電圧は、第1サブ垂直走査期間においてゲートバスラインG<sub>j</sub>に供給されるゲート信号電圧がハイからローに変化した時点から、第2サブ垂直走査期間においてゲートバスラインG<sub>j+1</sub>に供給されるゲート信号電圧がハイからローに変化する時点までの間に、極性が奇数回変化すればよい。なお、CS電圧の振動波形の鈍りを考慮して、極性反転する間隔（振動の周期の2分の1）が5H以上であることがより好ましい。またCS電圧が極性反転してから、なるべく遅いタイミングでゲートオンパルスPwを発生することが好ましく、ゲート信号電圧がオフになった後、なるべく早くCS電圧を極性反転する方が望ましい。実際には、CSバスラインの抵抗値および容量値に基づいて信号遅延をシミュレーションすることによって、対応するゲート信号電圧がオフになった時点でのCS電圧の到達度が97%以上となるようになり、より好ましくは99%以上となるように、極性反転する間隔を決めるのが良い。10

#### 【0092】

ここではCS電圧として、1:1のデューティ比で振動する波形を有する振動電圧を用いるがこれに限られず、極性が奇数回変化すれば良く、従って、少なくとも1回極性が変化すればよい。ただし、上述のようにCSバスラインを配置すると、WO2006/070829A1に記載されているように、電気的に互いに独立な複数のCS幹線を設け、各CS幹線に複数のCSバスラインを接続することによって、CSバスラインを介して補助容量対向電極に印加する振動電圧の振動の周期を長くすることできるという利点が得られる。WO2006/070829A1の開示内容の全て参考のために本明細書に援用する。20

#### 【0093】

上述したように、本実施形態の液晶表示装置および駆動方法によると、ソース反転駆動方法の上述の利点を得つつ、明画素と暗画素の市松模様の分布を崩すことなく、ざらつき感といった表示品位の低下を防止することができる。

#### 【0094】

次に、図6～図8Bを参照して、液晶表示装置100にソースライン反転駆動方法を適用する他の実施形態を説明する。図6は図3に、図7は図4に、図8Aは図5Aに、図8Bは図5Bにそれぞれ対応する。30

#### 【0095】

以下に説明する方法は、ソース信号電圧の極性が互いに異なる連続する2つのサブ垂直走査期間を含み、同じ垂直走査期間に属する第1サブ垂直走査期間と第2サブ垂直走査期間におけるソース信号電圧の極性が互いに異なる点において先の方法と異なる。また、CS電圧は、第1サブ垂直走査期間において第jゲートバスラインに供給されるゲート信号電圧がハイからローに変化した時点から、第2サブ垂直走査期間において第j+1ゲートバスラインに供給されるゲート信号電圧がハイからローに変化する時間までの間に、極性が偶数回変化する点において先の実施形態と異なる。40

#### 【0096】

図6は、液晶表示装置100の画素とCSバスラインとの接続関係を模式的に示すとともに、ソース信号電圧の書き込み極性（図中の+ -）ならび明暗2つの副画素（図中のハッチングが暗副画素）の配置を模式的に示す図であり、本実施形態によりソース反転駆動を行った状態を示している。図6に示すように、本実施形態の液晶表示装置においては、ソース反転駆動方法を適用しているにも拘わらず、画素の書き込み極性の分布は図43に示した従来のドット反転駆動と同じであり、且つ、明副画素と暗副画素とが市松模様に配置されている。すなわち、図46を参照して説明した明副画素の偏りが発生していない。従って、上記の表示がざらついて見えるという問題が発生しない。

#### 【0097】

図7は、液晶表示装置100における各信号電圧の波形を示しており、上から順に、CSバスラインCS-Bから供給されるCS電圧V<sub>cs-B</sub>、i番目のソースバスラインS<sub>i</sub>に供給されるソース信号電圧V<sub>si</sub>、j番目のゲートバスラインG<sub>j</sub>に供給されるゲート信号電圧V<sub>gj</sub>、i番目のソースバスラインS<sub>i</sub>とj番目のゲートバスラインG<sub>j</sub>とに接続された画素が有する2つの副画素の内のCSバスラインCS-Bに接続された補助容量を有する副画素P-B(i,j)に印加される電圧V<sub>p-B(i,j)</sub>、j+1番目のゲートバスラインG<sub>j+1</sub>に供給されるゲート信号電圧V<sub>gj+1</sub>、i番目のソースバスラインとj+1番目のゲートバスラインG<sub>j+1</sub>とに接続された画素が有する2つの副画素の内のCSバスラインCS-Bに接続された補助容量を有する副画素P-B(i,j+1)に印加される電圧V<sub>p-B(i,j+1)</sub>を示している。また、図中のV<sub>com</sub>は対向電圧を示しており、V<sub>pi×1</sub>およびV<sub>pi×2</sub>は各副画素の実効電圧を示している。  
10

#### 【0098】

図8Aは、連続する2つのフレーム(NフレームおよびN+1フレーム)における各画素のソース信号電圧の書き込み極性を示している。本実施形態の液晶表示装置100においては、ソースライン反転駆動とともに、ゲートバスライン飛び越し走査駆動(インターレース駆動)を行うので、図8Aにおいては、各フレームを2つの期間(前半1/2フレームと後半1/2フレーム)に分割している。また、同じフレームに含まれる2つの期間におけるソース信号電圧の極性を逆にしている。

#### 【0099】

図8Bは、連続する2つのフレームにおいて画素がどのように走査されるかを示すための図であり、i列目のソースバスラインS<sub>i</sub>に供給されるソース信号電圧と、1行目からn行目までのゲートバスラインG<sub>1</sub>～G<sub>n</sub>に供給されるゲート信号電圧の波形を模式的に示している。この図においても、各フレームが2つの期間(前半1/2フレームと後半1/2フレーム)に分割されている。本明細書においては、フレーム内に含まれる2つの期間をサブフレームと呼ぶことにする。一般には、1フレーム期間が1垂直走査期間に対応するので、サブフレームの期間に対応する期間をサブ垂直走査期間と呼ぶことにする。なお、第1サブフレームと第2サブフレームとの長さは完全に一致するとは限らない。  
20

#### 【0100】

図8Aおよび図8Bを参照して、画素の走査方法を説明する。

#### 【0101】

Nフレーム目の前半1/2フレーム(第1サブ垂直走査期間)において、例えば、奇数行のゲートバスラインG<sub>j</sub>にゲート信号電圧V<sub>gj</sub>がV<sub>gL</sub>(ローレベル)から一定期間V<sub>gH</sub>(ハイレベル)となる画素データ書込パルスP<sub>w</sub>が、順次印加される。すなわち、1行目からn-1行目までの全ての奇数行の画素にソース信号電圧が書き込まれる。  
30

#### 【0102】

後半の1/2フレーム(第2サブ垂直走査期間)においては、前半1/2フレームにおいて飛び越された複数の偶数行の画素を順次走査する。例えば、偶数行のゲートバスラインG<sub>j+1</sub>に、V<sub>gj</sub>がV<sub>gL</sub>から一定期間V<sub>gH</sub>となる画素データ書込パルスP<sub>w</sub>が順次印加される。すなわち、2行目からn行目までの全ての偶数行の画素にソース信号電圧が書き込まれる。この走査は先の実施形態と同じである。  
40

#### 【0103】

ソースバスラインS<sub>i</sub>に供給されるソース信号電圧の極性は前半1/2フレームでソース信号電圧の中央値V<sub>sc</sub>(一般に、V<sub>com</sub>とほぼ等しい)に対して正極性のソース信号電圧(V<sub>sp</sub>)を与え、次の後半の1/2フレームでは負極性のソース信号電圧(V<sub>sn</sub>)を与える。そして、(N+1)フレーム目の前半1/2フレームではV<sub>sc</sub>に対して正極性のソース信号電圧(V<sub>sp</sub>)を与え、次の後半の1/2フレームでは負極性のソース信号電圧(V<sub>sn</sub>)を与える。ソースバスラインS<sub>i</sub>に隣接するソースバスラインS<sub>i+1</sub>に供給されるソース信号電圧はソースバスラインS<sub>i</sub>に供給されるソース信号電圧と逆の極性となる。同様にソースバスラインS<sub>i+2</sub>に供給されるソース信号電圧はソースバスラインS<sub>i+1</sub>に供給されるソース信号電圧と逆の極性となる。  
50

## 【0104】

C S バスライン C S - B に供給される C S 電圧 V c s - B は、一定の周期で対向電極の電圧 V c o m に対して極性が反転する振動波形（例えば図示したような、デューティ比が 1 : 1 の矩形波）を有している。

## 【0105】

ゲートバスライン G j のゲート信号電圧がハイの時のソースバスライン S i に供給されるソース信号電圧は正極性なので、P - B ( i , j ) の電圧は正極性で書き込まれる。C S バスライン C S - B に供給される C S 電圧 V c s - B は、一定の周期で対向電極の電圧 V c o m に対して極性が反転する振動波形（例えば図示したような、デューティ比が 1 : 1 の矩形波）を有しており、ゲートバスライン G j のゲート信号電圧がローになってからの C S バスライン C S - B の振動電圧 V c s - B の最初の変化は降下（例えばこの場合、正極性から負極性への変化）なので、P - B ( i , j ) の電圧は突き下げ作用を受けて降下し、副画素 P - B ( i , j ) に印加される実効電圧 V p i × 1 は、P w により書き込まれたソース信号電圧以下となり（絶対値が小さくなり）、副画素 P - B ( i , j ) は暗副画素となる。10

## 【0106】

一方、ゲートバスライン G j + 1 のゲート信号電圧がハイの時のソースバスライン S i の信号電圧は負極性なので、P - B ( i , j + 1 ) の電圧は負極性で書き込まれる。ゲートバスライン G j + 1 のゲート信号電圧がローになってからの C S バスライン C S - B の振動電圧の最初の変化は降下（例えばこの場合、正極性から負極性への変化）なので、P - B ( i , j + 1 ) の電圧は突き下げ作用を受けて降下し、副画素 P - B ( i , j + 1 ) に印加される実効電圧 V p i × 2 は、P w により書き込まれたソース信号電圧以上となり（絶対値が大きくなり）、副画素 P - B ( i , j + 1 ) は明副画素となる。20

## 【0107】

すなわち、C S 電圧は、第 1 サブ垂直走査期間に選択されるゲートバスライン G j に接続された画素が有する 2 つの副画素の内で当該 C S 電圧が供給される C S バスラインと関連付けられている副画素の実効電圧を上昇させるまたは降下させる作用と、第 2 サブ垂直走査期間に選択されるゲートバスライン G j + 1 に接続された画素が有する 2 つの副画素の内で当該 C S 電圧が供給される C S バスラインと関連付けられている副画素の実効電圧を上昇させるまたは降下させる作用とが互いに逆になる波形を有している。30

## 【0108】

ここで例示したように、ソース信号電圧の極性が互いに異なる連続する 2 つのサブ垂直走査期間を含み、同じ垂直走査期間に属する第 1 サブ垂直走査期間と第 2 サブ垂直走査期間におけるソース信号電圧の極性が互いに異なる場合には、C S 電圧は、第 1 サブ垂直走査期間において第 j ゲートバスラインに供給されるゲート信号電圧がハイからローに変化した時点から、第 2 サブ垂直走査期間において第 j + 1 ゲートバスラインに供給されるゲート信号電圧がハイからローに変化する時間までの間に、極性が偶数回変化すればよい。なお、C S 電圧の振動波形の鈍りを考慮して、極性反転する間隔（振動の周期の 2 分の 1 ）が 5 H 以上であることがより好ましい。実際には、C S バスラインの抵抗値および容量値に基づいて信号遅延をシミュレーションすることによって、対応するゲート信号電圧がオフになった時点での C S 電圧の到達度が 97 % 以上となるように、より好ましくは 99 % 以上となるように、極性反転する間隔を決めるのが良い。40

## 【0109】

ここでは C S 電圧として、1 : 1 のデューティ比で振動する波形を有する振動電圧を用いるがこれに限られず、極性が偶数回変化すれば良く、従って、少なくとも 2 回極性が変化すればよい。ただし、上述のように C S バスラインを配置すると、WO 2006 / 070829 A 1 に記載されているように、電気的に互いに独立な複数の C S 幹線を設け、各 C S 幹線に複数の C S バスラインを接続することによって、C S バスラインを介して補助容量対向電極に印加する振動電圧の振動の周期を長くすることできるという利点が得られる。50

**【0110】**

上述したように、本実施形態の液晶表示装置および駆動方法によっても、ソース反転駆動方法の上述の利点を得つつ、明画素と暗画素の市松模様の分布を崩すことなく、ざらつき感といった表示品位の低下を防止することができる。

**【0111】****[ ブロック反転駆動 ]**

上述の実施形態によると、マルチ画素駆動とソースライン反転駆動とを組み合わせても、表示がざらついて見えるという問題が発生しない。しかしながら、動画表示を考慮すると、コーミング (c o m b i n g) という現象が起こることがある。以下では、動画表示におけるコーミングの問題の発生を抑制する実施形態を説明する。

10

**【0112】**

上記の実施形態による画像の書き込み状態をフレーム単位で模式的に表すと、図9に示すように、常に各フレーム内の1 / 2フレームの間に1フレーム前の画像が表示されることになる。例えば、前半の第1サブフレームで奇数行を書き込み、後半の第2サブフレームで偶数行を書き込むと、第1サブフレームにおいては奇数行の画素では現フレームの画像が表示され、偶数行の画素では1フレーム前の画像が表示されるという異常な状態が存在することになる。

**【0113】**

このため、例えば、図10(a)に示すような縦バーを横方向に移動するといった動画表示を行った場合、図10(b)に示すように、縦バーのエッジが櫛状に見えるといった不具合(コーミング)が発生することがある。なお図9、図10(a)、(b)では2行毎に同じタイミングで走査しているが、実際に駆動する場合は2行毎に1水平走査期間(1H)ずつずれて走査することになる。これらの図ではコーミングの説明をわかりやすくするためにこのずれを省略している。

20

**【0114】**

上記不具合が視認される程度は、全体の表示時間に対する上記の異常な状態が存在する時間(「Tc」とする。)の割合で決まる。Tcは隣接する行(例えば、j行とj+1行)の画素が走査される(ソース信号電圧が書き込まれる)時間である。従って、移動速度に対してフレーム周波数が十分に高いと問題にならないが、1フレーム期間に図10(b)に示したように移動する場合は問題となる。例えば、図11に模式的に示すように、フレーム周波数が120Hz(フレーム期間が8.33ms)の表示信号を2つのサブフレームに分けてインテラース走査を行うと、奇数行に書き込むサブフレームと偶数行に書き込むサブフレームとの間隔Tcは約4167μsであり、フレーム期間の半分(すなわち、サブフレーム期間の長さ)と等しい。すなわち、 $Tc / 1 \text{ フレーム期間} \times 100 = 50$ ということになる。ここで、1フレーム期間は一般に1垂直走査期間(V-total)を意味するので、 $Tc / V - total \times 100 = 50$ となる。

30

**【0115】**

図10に例示した表示を行う場合にコーミングが視認されないための条件を種々検討した。評価結果の一例を表1および表2に示す。表1はフレーム周波数が60Hzの場合、表2はフレーム周波数が120Hzの場合をそれぞれ示している。これらの表において、コーミングの主観評価の結果は、非常に悪いレベル×、少し気になるレベル、気にならないレベルで示している。

40

**【0116】**

【表1】

	540	270	160	135	120	100	80	60	55	50	48	40	10
(Nsv/Nv-total) × 100	48.0	24.0	14.2	12.0	10.7	8.9	7.1	5.3	4.9	4.4	4.3	3.6	0.9
時間:Tc(μs)	8000	4000	2370	2000	1778	1481	1185	888.9	814.8	740.7	711.1	592.6	148.1
評価結果	×	×	×	×	×	△	△	○	○	○	○	○	○

【0 1 1 7】

10

20

30

40

50

【表2】

	540	270	160	135	120	100	80	60	55	50	48	40	30	10
(Nsv/Nv-total) × 100	48.0	24.0	14.2	12.0	10.7	8.9	7.1	5.3	4.9	4.4	4.3	3.6	0.9	
時間:Tc(μs)	4000	2000	1185	1000	888.9	740.7	592.6	444.4	407.4	370.4	355.6	296.3	74.1	
評価結果	×	×	△	△	○	○	○	○	○	○	○	○	○	

表1から分かるように、フレーム周波数が60Hzの場合、(Ns v / Nv - total) × 100の値が7以下であることが好ましく、5以下であることが更に好ましい。一方、120Hz駆動の場合は、表2から分かるように、(Ns v / Nv - total) × 100の値が14以下であることが好ましく、10以下であることが更に好ましい。ここで、表1および表2中のTcの値に注目すると、フレーム周波数によらず、1.2m秒以下であることが好ましく、0.8m秒以下であることが更に好ましいと言える。

#### 【0119】

このように、コーミングの観点からはTcの値が小さい、すなわち、Ns v (= / 2)は小さい方が好ましいのに対し、消費電力の観点からはNs vは大きい方が好ましい。Ns vが小さくなると、ソース信号電圧の極性反転の回数が多くなり、消費電力が増大するからである。10

#### 【0120】

本実施形態では、図12に模式的に示すように、1フレームを細分化して現フレームと前フレームの混在する時間(Tc)を短くすることで、コーミングが視認されないようにする。

#### 【0121】

図12を参照して、本実施形態の液晶表示装置の駆動方法を説明する。

#### 【0122】

図12に示すように、例えば、奇数行 偶数行 偶数行 奇数行 奇数行 偶数行 · · の順で、連続する 本のゲートバスラインの飛び越し走査毎(2行移動毎)に 行戻って書き込みを行う。始めの走査は / 2本分走査(行移動)で 行戻っている。また、戻る行数は飛び越し走査であるため正確には、奇数行 偶数行の場合 - 3本分、偶数行 奇数行の場合には - 1本分戻ることになる。20

#### 【0123】

上記の走査は、最初の奇数行(本数をNs v = / 2とする)の画素を順次走査する第1サブフレーム、第1サブフレームで飛び越された偶数行(Ns v本)の画素を順次走査する第2サブフレーム、第2サブフレームにおいて走査された最後の偶数行に連続する偶数行から始まる連続する偶数行(Ns v本)の画素を順次走査する第3サブフレーム、第3サブフレームにおいて飛び越された奇数行(Ns v本)の画素を順次走査する第4サブフレームを含んでいる。第4サブフレーム以降も同様の走査が繰り返され1フレームの画像が表示される。30

#### 【0124】

このとき、サブフレームはNs v (= / 2)本の連続した奇数行または偶数行の画素を走査する期間であり、逆に、Ns vは1サブフレーム期間(1サブ垂直走査期間)に含まれる水平走査期間の数である。ここで、連続した 本の領域を1つのブロックと考えると、上述の実施形態においては1フレームを2分割していたのに対し、本実施形態では、(1サブフレーム期間 / 1フレーム期間)の数、すなわちブロック数 × 2の数に分割していくことになる。以下、この駆動方法をブロック反転駆動ということにする。

#### 【0125】

ここで、Tcの値は下式で与えられる。

$$Tc = (Ns v / Nv - total) \times (1\text{フレーム期間})$$

#### 【0126】

また、1フレーム期間(=V - total) / Nv - total = 1Hなので、

$$Tc = Ns v \times H$$

と表すこともできる。

#### 【0127】

ただし、データ信号を液晶パネルの両側(例えば上下のデータ信号入力端子)から入力し、表示領域の上下の領域を同時に走査する場合などには、Nv - totalを(Nv - total / 2)と置き換えて計算すればよい。

#### 【0128】

50

例えば、52型フルHD（表示パネルの走査線数1080本、Nv-totalが1125本）で、垂直走査周波数が120Hzで駆動する場合、NsV=24（=48）に設定すれば、Tcは

$$\begin{aligned} Tc &= (48 / 2) / 1125 \times 1 / 120 \\ &= 177.8 \mu s \end{aligned}$$

となり、異常な表示状態となる時間の割合は、約2.1% = (177.8 / 8333) × 100となるため、コーミングは視認されない程度に抑制され、高品位で動画表示を表示することができる。

#### 【0129】

また、37型フルHD（表示パネルの走査線の数（=画素行の数）が1080本、Nv-totalが1125本）で120Hz駆動の場合、NsV=10（=20）に設定すれば、同様に計算すると、Tc = 148.1 μsとなり、異常な表示状態となる時間の割合は約0.9%となり、コーミングは視認されない程度に抑制され、高品位で動画表示を表示することができる。

#### 【0130】

なお、有効表示期間V-Disp中の水平期間の長さと垂直帰線期間V-Bank中の水平期間の長さ異なる場合などは、上述した計算はNv-totalをNsVに置き換え、1フレーム期間（V-Total）を有効表示期間で表現した方が、より厳密となる。このとき、Tcは

$$Tc = (NsV / Nv-Disp) \times (\text{有効表示期間})$$

また、有効表示期間（=V-Disp）/ Nv-Disp = 1Hなので、

$$Tc = NsV \times H$$

と表すこともできる。ここでHは有効表示期間中の水平期間である。また、Nv-Disp、Nv-total、いずれの表現であっても、Tcの値はNsV × Hとなる点に注目すべきである。有効表示期間V-Disp中の水平期間の長さと垂直帰線期間V-Bank中の水平期間の長さが等しい場合は、V-Dispで表した式もV-Totalで表した式も同じTcの値となる。評価結果の一例を表3および表4に示す。本例では、表1および表2と同じサンプルを用い、有効表示期間V-Disp中の水平期間の長さと垂直帰線期間V-Bank中の水平期間の長さが等しい場合であるので、Tcの値は等しくなる。

#### 【0131】

10

20

30

【表3】

	540	270	160	135	120	100	80	60	55	50	48	40	10
(Nsv/V-Disp) × 100	50.0	25.0	14.8	12.5	11.1	9.3	7.4	5.6	5.1	4.6	4.4	3.7	0.9
時間:Tc(μs)	8000	4000	2370	2000	1778	1481	1185	889	815	741	711	593	148
評価結果	×	×	×	×	×	×	△	△	○	○	○	○	○

【0 1 3 2】

10

20

30

40

50

【表4】

評価結果	x	x	Δ	Δ	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
時間:Tc(μs)	4000	2000	1185	1000	889	741	593	444	407	370	356	296	296	74					
(Nsv/V-Disp) × 100	50.0	25.0	14.8	12.5	11.1	9.3	7.4	5.6	5.1	4.6	4.4	4.4	3.7	0.9					
水平期間数差:Nsv	540	270	160	135	120	100	80	60	55	50	48	40	40	10					

【0 1 3 3】

10

20

30

40

50

なお、図12において、ソース信号電圧の書き込み極性のシーケンスは、ソース信号電圧の極性が、第1サブフレーム（例えば正）と第2サブフレーム（例えば負）との間は異なり、第2サブフレーム（例えば負）と第3サブフレーム（例えば負）との間は同じであり、第3サブフレーム（例えば負）と第4サブフレーム（例えば正）との間は異なるシーケンスを含んでいる。表示品位の観点からは、このように、奇数行と偶数行の書き込み極性を逆にすることが好ましい。このようにすることによって、例えば、縦シャドー、上下に隣接する画素のカップリング容量による横筋の発生、フリッカーパターンの発生を抑制することができる。

#### 【0134】

上記のロック反転駆動を図2に示したマルチ画素構造に適用する場合、CS電圧が一水平走査期間の正の整数倍の周期で振動する波形部分を含み、その周期が一水平走査期間をHとしたときに $M \times H$ （ここでMは正の整数）で表されるとき、がMの正の整数倍（NsVは $(M/2)$ の正の整数倍）であることが好ましい。また、CSバスラインが互いに異なる画素に属し列方向に隣接する2つの副画素に共通に関連付けられたCSバスラインを含む構成のときには、がMの偶数倍（NsVはMの正の整数倍）であることが好ましい。なお、CS電圧の周期 $M \times H$ は、CS電圧がハイレベルの期間とローレベルの期間が同じ期間であること、すなわちデューティ比が1:1であることが望ましい。なお、CS電圧の振動波形の鈍りを考慮して、極性反転する間隔（CS振動の周期Mの2分の1）が5H以上であることがより好ましい。実際には、CSバスラインの抵抗値および容量値に基づいて信号遅延をシミュレーションすることによって、対応するゲート信号電圧がオフになった時点でのCS電圧の到達度が97%以上となるように、より好ましくは99%以上となるように、極性反転する間隔を決めるのが良い。

#### 【0135】

具体例を説明する。例えば、37型フルHD（60Hz駆動）の場合において、CS電圧の振動波形の周期が10Hであり、振動の1周期に含まれる水平走査期間の数Mは10のとき、は10の正の整数倍が望ましい。ただし1画素の上下で画素分割駆動する場合、上下に隣接する画素で副画素の明暗の順序が逆転し、画像のエッジがのこぎり歯状（ジヤギー：jaggly）に見える場合があるので、は20の正の整数倍であることがさらに好ましい。

#### 【0136】

図13Aは、NsV = 10 (= 20) の場合の書き込み順（走査する画素行の順序）と、ソース信号電圧、ゲート信号電圧およびCS電圧のタイミングチャートを示している。ソース信号電圧の極性は奇数行を書き込むときは正で、偶数行を書き込むときは負であり、振幅は一定の場合を示している。ゲート信号電圧は、ゲートオンパルスPwに対応する部分だけを図示している。

#### 【0137】

CS電圧の振動の周期が $M \times H$ （Mは正の整数）のとき、サブ垂直走査期間に含まれる水平走査期間の数であるNsVは、NsV (= / 2) = M × kで表される。図13Aに示した場合、CS電圧の振動の1周期に含まれる水平走査期間の数M = 10、k = 1であるから、NsV (= / 2) = 10 × 1 = 10となる。逆に、サブ垂直走査期間に含まれる水平走査期間の数NsV (= / 2) からCS電圧の振動の1周期に含まれる水平走査期間の数の周期Mは、M = NsV / kで表される。図13Aの例の場合、NsV = 10 (= 20)、k = 1であり、M = 10 / 1 = 10となる。

#### 【0138】

次に、ソース電圧の極性変化のシーケンスとCS電圧の極性反転の回数との関係を説明する。図13Aに示したソース電圧の極性変化のシーケンスは、奇数行を書き込むときは正で、偶数行を書き込むときは負であり、連続する2つのサブ垂直走査期間における極性が互いに異なっている。具体的には、例えば、書き込み順の1~10（画素行1、3、5...19を走査する期間）までを第1サブ垂直走査期間とし、書き込み順の11~20（画素行2、4、6...20を走査する期間）を第2サブ垂直走査期間とすると、

10

20

30

40

50

第1サブ垂直走査期間におけるソース信号電圧の極性は正で、それに続く第2サブ垂直走査期間におけるソース信号電圧の極性は負であり、互いに異なっている。第1サブ垂直走査期間において第jゲートバスライン（例えば第1行、書き込み順は1）に供給されるゲート信号電圧がハイからローに変化した時点から、第2サブ垂直走査期間において第j+1ゲートバスライン（例えば第2行、書き込み順は11）に供給されるゲート信号電圧がハイからローに変化する時間までの間に、CS電圧の極性が偶数回変化している。ここでは、CS電圧の極性反転回数は、 $2 \times k = 2 \times 1 = 2$ 回である。

#### 【0139】

なお、図13Aに示した例では、第2サブ垂直走査期間に連続する第3サブ垂直走査期間（書き込み順の21～30（画素行22、24、26・・・40を走査する期間）におけるソース信号電圧の極性は負であり、第3サブ垂直走査期間に連続する第4サブ垂直走査期間（書き込み順の31～40（画素行21、23、25・・・39を走査する期間）におけるソース信号電圧の極性は正である。すなわち、ソース信号電圧の極性は、第1サブ垂直走査期間と第2サブ垂直走査期間との間は異なり、第2サブ垂直走査期間と第3サブ垂直走査期間との間は同じであり、第3サブ垂直走査期間と第4サブ垂直走査期間との間は異なっている。

10

#### 【0140】

ここで例示したCSバスラインは10本の電気的に独立なCS幹線（不図示）に接続されており、CS電圧の種類は10種類（A、B、C、D、E、F、G、H、JおよびKで示している。）である。このとき、上下に隣接する画素の明暗副画素の配置は、明・暗が交互になる。さらに、隣接するソースラインのデータ信号を逆極性とすると、図6に示したように、明暗副画素が市松模様に配置されるのでジャギーが低減する。従って、任意の垂直走査期間において、互いに隣接する列の画素に関連付けられたソースバスラインに供給されるソース信号電圧の極性を互いに逆とすることが好ましい。なお、ここではCSバスラインがCS幹線に接続されている構成を例に挙げたが、CSバスラインにそれぞれ独立にCS電圧を供給するように構成してもよく、この場合、ゲートドライバから各CS電圧を出力するようにしてもよい。

20

#### 【0141】

図13Bに他の例を示す。図13Bに、CS電圧の振動の周期が10H（M=10）であり、Nsv=20（=40）の場合の書き込み順（走査する画素行の順序）と、ソース信号電圧、ゲート信号電圧およびCS電圧のタイミングチャートを示している。ソース信号電圧の極性は奇数行を書き込むときは正で、偶数行を書き込むときは負であり、振幅は一定の場合を示している。ゲート信号電圧は、サブ垂直走査期間の最初と最後を含む一部のゲートオンパルスPwに対応する部分だけを図示している。ソース信号電圧の極性変化のシーケンスは図13Aと同じである。なお、図において、特に注目すべきデータ信号電圧の極性反転タイミングとデータ信号の極性反転後に対応するゲートバスラインに印加するゲートオンパルスを円で囲っている。

30

#### 【0142】

これは上記式においてk=2の場合に相当し、第1サブ垂直走査期間において第jゲートバスライン（例えば第1行、書き込み順は1）に供給されるゲート信号電圧がハイからローに変化した時点から、第2サブ垂直走査期間において第j+1ゲートバスライン（例えば第2行、書き込み順は21）に供給されるゲート信号電圧がハイからローに変化する時間までの間に、CS電圧の極性が偶数回変化している。ここでは、CS電圧の極性反転回数は、 $2 \times k = 2 \times 2 = 4$ 回である。このように、図13Bのように構成すると、CS電圧の種類は10のまま増やすことなく、ソース信号電圧（データ信号）の極性反転回数を少なくすることができます。

40

#### 【0143】

図13Cにさらに他の例を示す。CS電圧の振動の周期は14H（M=14）であり、Nsv=14（=28）である場合の書き込み順（走査する画素行の順序）と、ソース信号電圧、ゲート信号電圧およびCS電圧のタイミングチャートを示している。

50

## 【0144】

Nv-totalは1125本であるのに対し、CS電圧の振動の周期14Hでは割り切れない。このような場合には、図13Aおよび図13Bに例示した場合と異なり、CS電圧を一水平走査期間の正の整数倍の周期で振動する波形部分のみで構成することができない。そこで、図13Cに示すように、一垂直走査期間のCS電圧を、14Hの周期で振動する波形部分（「第1波形部分」ということがある。）と14Hとは異なる周期で振動する波形部分（「第2波形部分」ということがある。）とで構成する。ここでは、第2波形部分を10Hで振動する波形と12Hで振動する波形とで構成している。このとき、一垂直走査期間においてCS電圧がハイレベルにある期間とローレベルにある期間をできるだけ同じにすることが好ましい。ハイレベルにある期間とローレベルにある期間との差が大きすぎると画素行によって明暗の輝度バランスが崩れ、表示むらとなることがある。なお、第2波形部分は必ずしも振動波形である必要はない。

## 【0145】

このように、Nv-totalがNsV×2の整数倍でない場合には上記の複雑な処理が必要となる。有効表示期間V-Dispに含まれる水平走査期間の数Nv-Disp（ここでは1080）がNsV×2の整数倍でない場合には、垂直帰線期間V-BankにおけるCS電圧の波形を調整するだけでは対処できず、更に複雑な処理が必要になる。従って、Nv-totalがNsV×2の整数倍となるようにNsVを設定することが好ましく、さらに、Nv-DispがNsV×2の整数倍となるようにNsVを設定することが好ましい。

## 【0146】

図14Aは、NsV=5（=10）とした場合のタイミングチャートである。ここでは、ソース信号電圧の極性を10H毎に反転させている。具体的には1~10行までの偶奇行両方の画素を正極性とし、11~20行までの画素を負極性とし、21~30行を正極性、31~40行を負極性としている。このとき明副画素と暗副画素とが、図14Bに示すように、市松模様に配置されるので、ジャギー感を改善しつつ、NsV（= /2）を小さくできるのでコーミングも改善することができる。

## 【0147】

なお、10行目と11行目などにおいて、上下の異なる画素に属し且つ上下に隣接する副画素電極間にカップリング容量があると、上下の画素に印加されている電圧の極性が異なるため、TFTがオフになったとき電圧が変化し、スジが見える場合がある。この対策として、上下の画素の電圧差、カップリング容量、画素容量（画素を構成する副画素の液晶容量および補助容量の和）をパラメータとして、ソース信号電圧（データ信号電圧）を補正するのが望ましい。

## 【0148】

また、垂直走査期間の途中でソース信号電圧の極性を反転させているのは、同一極性のデータ信号が続くと、列毎のフリッカーやソースバスラインと画素の寄生容量に起因する縦シャドーという現象が発生するので、これを低減するためである。なお、図13Aおよび図13Bに示したように、奇数行の書き込みと偶数行の書き込み極性とを反転すれば、さらにフリッカーレベルを低減できる。

## 【0149】

## 〔ゲートドライバ〕

図1に示した液晶表示装置100が有するゲートドライバ130は、例えば以下のように構成され、上述の走査を実行することができる。図15~図22を参照して、ゲートドライバ130の構成と動作の例を説明する。

## 【0150】

まず、図15~図19を参照して、上述のソース反転駆動（図5Bまたは図8B参照）を行う場合について説明する。

## 【0151】

ゲートドライバ130は、ゲートスタートパルス信号GSP、ゲートクロック信号GC

10

20

30

40

50

K およびゲートドライバ出力制御信号 G O E r ( r = 1 , 2 , … , q ) に基づき、各ソース信号電圧(データ信号電圧) V s i ( i = 1 , 2 , … , m ) を各画素(各画素に含まる副画素の液晶容量および補助容量)に書き込むために、デジタル画像信号 D A の各フレーム期間(「入力映像信号の垂直走査期間」)においてゲートバスライン G j ( j = 1 , 2 , … , n ) をほぼ 1 水平走査期間ずつ 1 ラインごとに飛び越し選択する。ゲートドライバ 130 は、図 5 B および図 8 B に示したような画素データ書込パルス(ゲートオンパルス) P w を含む走査信号 V g j ( j = 1 , 2 , … , n ) をゲートバスライン G に供給する。パルス P w が印加されているゲートバスライン G j は選択状態となり、選択状態のゲートバスライン G j に接続された T F T がオン状態となる。もちろん、非選択状態のゲートバスライン G j に接続された T F T はオフ状態となる。図 5 B および図 8 B に示したようなパルス P w を印加することによって、前半 1 / 2 フレーム期間において、ゲートバスライン G j ( j = 1 , 2 , … , n ) の内の例えば奇数ライン G j ( j = 1 , 3 , 5 , … , n - 1 ) を選択し(すなわち、偶数ラインを飛び越して)、後半 1 / 2 フレーム期間において、偶数ライン G j ( j = 2 , 4 , 6 , … , n ) を選択する(すなわち、奇数ラインを飛び越す)。ここで、画素データ書込パルス P w は水平走査期間( H ) のうちデータ書込み期間に相当する有効走査期間(例えば水平走査期間の約 2 分の 1、すなわち約 H / 2 ) で H レベルとなる。  
10

#### 【 0152 】

図 15 ( A ) および図 15 ( B ) は、図 5 B および図 8 B に示したゲート信号電圧を出力することができるゲートドライバの一構成例を示すブロック図である。  
20

#### 【 0153 】

図 15 ( A ) に示すゲートドライバは、シフトレジスタを含む複数個( q 個)の部分回路としてのゲートドライバ用 IC ( Integrated Circuit ) チップ 411 , 412 , … , 41q を備えている。  
30

#### 【 0154 】

各ゲートドライバ用 IC チップ 411 ~ 14q は、図 15 ( B ) に示すように、シフトレジスタ 40 と、シフトレジスタ 40 の各段に対応して設けられた第 1 および第 2 の AND ゲート 41 , 43 と、第 2 の AND ゲート 43 の出力信号 g 1 ~ g p に基づき走査信号電圧 G 1 ~ G p を出力する出力部 45 とを備える。シフトレジスタ 40 は、外部からスタートパルス信号 S P i 、クロック信号 C K および出力制御信号 O E を受け取る。スタートパルス信号 S P i はシフトレジスタ 40 の入力端に与えられ、シフトレジスタ 40 の出力端からは、後続のゲートドライバ用 IC チップに入力されるべきスタートパルス信号 S P o を出力する。また、第 1 の AND ゲート 41 のそれぞれにはクロック信号 C K の論理反転信号が入力され、第 2 の AND ゲート 43 のそれぞれには出力制御信号 O E の論理反転信号が入力される。そして、シフトレジスタ 40 の各段の出力信号 Q k ( k = 1 ~ p ) は、当該段に対応する第 1 の AND ゲート 41 に入力され、当該第 1 の AND ゲート 41 の出力信号は当該段に対応する第 2 の AND ゲート 43 に入力される。  
30

#### 【 0155 】

本構成例によるゲートドライバは、図 15 ( A ) に示すように、複数( q 個)のゲートドライバ用 IC チップ 411 ~ 41q が縦続接続されることによって実現される。すなわち、ゲートドライバ用 IC チップ 411 ~ 41q 内のシフトレジスタ 40 が 1 つのシフトレジスタを形成するように(以下、このように縦続接続によって形成されるシフトレジスタを「結合シフトレジスタ」という)、各ゲートドライバ用 IC チップ内のシフトレジスタの出力端(スタートパルス信号 S P o の出力端子)が次のゲートドライバ用 IC チップ内のシフトレジスタの入力端(スタートパルス信号 S P i の入力端子)に接続される。ただし、先頭のゲートドライバ用 IC チップ 411 内のシフトレジスタ 40 の入力端には、表示制御回路 150 からゲートスタートパルス信号 G S P が入力され(図 1 参照)、最後尾のゲートドライバ用 IC チップ 41q 内のシフトレジスタの出力端は外部と未接続となっている。また、表示制御回路 150 からのゲートクロック信号 G C K は、各ゲートドライバ用 IC チップ 411 ~ 41q にクロック信号 C K として共通に入力される。一方、表  
40  
50

示制御回路 150において生成されるゲートドライバ出力制御信号 G O E は、第 1 ~ 第 q のゲートドライバ出力制御信号 G O E 1 ~ G O E q を含んでおり、これらのゲートドライバ出力制御信号 G O E 1 ~ G O E q は、ゲートドライバ用 I C チップ 411 ~ 41q に出力制御信号 O E としてそれぞれ個別に入力される。

#### 【0156】

次に、図 16 を参照して上記の構成を備えるゲートドライバ 130 の動作を説明する。図 16 ( a ) ~ ( g ) はゲートドライバ 130 の動作を説明するための各種信号の波形を示す図である。

#### 【0157】

表示制御回路 150 は、図 16 ( a ) に示すように、画素データ書込パルス P w に対応する期間 T s p w だけ H レベル ( アクティブ ) となる信号をゲートスタートパルス信号 G S P として生成するとともに、図 16 ( b ) に示すように、2 分の 1 水平走査期間 ( 「 1 / 2 垂直走査期間」あるいは「 H / 2 」と表記することがある。 ) 毎に所定期間だけ H レベルとなるゲートクロック信号 G C K を生成する。このようなゲートスタートパルス信号 G S P およびゲートクロック信号 G C K が図 15 に示したゲートドライバ 130 に入力されると、先頭のゲートドライバ用 I C チップ 411 のシフトレジスタ 40 の初段の出力信号 Q 1 として、図 16 ( c ) に示すような信号 Q 1 が出力される。この出力信号 Q 1 は、各 1 / 2 フレーム期間 ( F / 2 ) において、画素データ書き込みパルス P w に対応する 1 個のパルス P q w を含んでいる。このようなパルス P q w がゲートクロック信号 G C K に従ってゲートドライバ 130 内の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、図 16 ( c ) に示すような波形の信号が 1 / 2 水平走査期間 ( H / 2 ) ずつ順次ずれて出力される。

10

20

30

#### 【0158】

また、表示制御回路 150 は、既述のように、ゲートドライバ 130 を構成するゲートドライバ用 I C チップ 411 ~ 41q に与えるべきゲートドライバ出力制御信号 G O E 1 ~ G O E q を生成する。ここで、r 番目のゲートドライバ用 I C チップ 41r に与えるべきゲートドライバ出力制御信号 G O E r は、当該ゲートドライバ用 I C チップ 41r 内のシフトレジスタ 40 のいずれかの段から画素データ書き込みパルス P w に対応するパルス P q w が出力されている期間において、画素データ書き込みパルスを出力させたい場合 ( ここでは G ( 1 ) 、 G ( 3 ) に対応 ) に L レベルとなる。

30

#### 【0159】

例えば、先頭のゲートドライバ用 I C チップ 411 には、図 16 ( d ) に示すようなゲートドライバ出力制御信号 G O E 1 が与えられる。G ( 1 ) ( または、V g 1 と表記 ) に画素データ書き込みパルス P w を印加するために G O E 1 が L レベルとなり、G ( 2 ) ( または、V g 2 と表記 ) に P w を印加しないために G O E 1 が H レベルとなり、G ( 3 ) ( または、V g 3 と表記 ) に P w を印加するために G O E 1 が L レベルとなる。なお、画素データ書き込みパルス P w の調整のためにゲートドライバ出力制御信号 G O E 1 ~ G O E q に含まれるパルス ( これは上記所定期間で H レベルとなることに相当し、以下「書込期間調整パルス」という ) は、必要な画素データ書き込みパルス P w に応じて、ゲートクロック信号 G C K の立ち上がりよりも早く立ち上がったり、ゲートクロック信号 G C K の立ち下がりよりも遅く立ち下がったりする。また、このような書込期間調整パルスを使用せずに、ゲートクロック信号 G C K のパルスだけで画素データ書き込みパルス P w を調整するようにしてもよい。

40

#### 【0160】

各ゲートドライバ用 I C チップ 41r ( r = 1 ~ q ) では、上記のようなシフトレジスタ 40 各段の出力信号 Q k ( k = 1 ~ p ) 、ゲートクロック信号 G C K およびゲートドライバ出力制御信号 G O E r に基づき ( 図 15 ( B ) 参照 ) 、第 1 および第 2 の A N D ゲート 41 , 43 により、内部走査信号 g 1 ~ g p が生成され、それらの内部走査信号 g 1 ~ g p が出力部 45 でレベル変換されて、ゲートバスラインに印加すべき走査信号 G 1 ~ G p が出力される。これにより、図 16 ( e ) 、 ( f ) および ( g ) に示すように、1 フレ

50

ーム期間の前半  $F/2$ において、ゲートバスライン  $G_j$  ( $j = 1, 2, \dots, n$ )には、1 ラインごと、すなわち、奇数ライン  $G_j$  ( $j = 1, 3, 5, \dots, n - 1$ )に画素書き込みパルス  $P_w$ が印加される。

#### 【0161】

後半  $F/2$ においては、ゲートドライバ出力制御信号  $G_O E_1 \sim G_O E_q$  に含まれるパルスを偶数ライン  $G_j$  ( $j = 2, 4, 6, \dots, n$ )に  $P_w$ が印加されるように上記と同様の方法で制御する。なお、図16からわかるとおり、後半  $F/2$ の最初の  $H/2$ においても前半  $F/2$ の最初の  $H/2$ と同様に出力信号  $Q_1$ に含まれる  $P_{q w}$ を形成するが、 $G_1$ には画像書き込みパルスを出力しない。このような方法をとることで、例えばソースバスラインに印加されるソース信号電圧の極性が  $F/2$ ごとに反転する場合には、極性反転直後のソース信号電圧が鈍っても、この最初の  $H/2$ はソースバスラインを所望の電圧まで到達させるためのプリチャージ期間として利用することができる。10

#### 【0162】

以上のようにして、ゲートバスラインを1ラインずつ飛び越す走査を実現することができる。上述の駆動方法を採用すると、ゲートドライバの構成を比較的単純にできるという利点も得られる。例えば、単純に、図15(A)および(B)に示した構成を有するゲートドライバを2セット用意し、一方を奇数行のゲートバスラインに接続し、他方を偶数行のゲートバスラインに接続し、各サブ垂直走査期間に対応するゲートドライバにスタートパルスを入力することによって、ゲートバスラインを1ラインごとに飛び越し走査する構成に比べて、ゲートドライバの構成を単純にできる。20

#### 【0163】

しかしながら、上記の例では、画素データ書込パルス  $P_w$ の幅は  $H/2$ 期間以下に制限される。そのため、水平走査期間が短いと、画像データ書き込みを十分に行えないことがある。そこで、画素データ書込パルス  $P_w$ の幅を  $H/2$ 期間超1H期間以下と長くできる例を以下に説明する。

#### 【0164】

図17(b)に示すように、 $GCK$ のはじめの2つのパルス  $P_{ck1}$  および  $P_{ck2}$  のパルス幅は図16に示したものと同じであるが、それ以降( $P_{ck3}$ 以降)は、個々の  $GCK$ のパルス幅を狭くし、例えば、図16の1パルスの幅内に2つのパルスを印加する。また、図16において  $GCK$ パルスの  $P_{ck1}$  の立ち上がりと  $P_{ck2}$  の立ち上がりとの間隔は  $H/2$ となっていたのに対し、図17では、 $P_{ck1}$ の立ち上がりと  $P_{ck2}$ の立ち上がりとの間隔を1H(第1の間隔とする)とし、続いて  $P_{ck2}$ の立ち上がりと  $P_{ck3}$ の立ち上がりの間隔も第1の間隔(1H)とし、 $P_{ck3}$ の立ち上がりと  $P_{ck4}$ の立ち上がりの間隔(第2の間隔とする)を  $P_{CK1}$ のパルス幅以内とし、 $P_{ck3}$ と  $P_{ck4}$ を近接させる。例えば、 $P_{ck1}$ および  $P_{ck2}$ のパルス幅は  $2\mu s$ であるのに対し、 $P_{ck3}$ の幅は  $0.5\mu s$ とし、 $P_{ck4}$ のパルス幅は  $1.0\mu s$ とし、第2の間隔は  $1.0\mu s$ とする。その後、 $P_{ck3}$ との立ち上がりと  $P_{ck5}$ の立ち上がりの間隔は第1の間隔(1H)とする。30

#### 【0165】

1F内において、 $P_{ck3}$ 以降の  $GCK$ パルスには、 $P_{ck3}$ や  $P_{ck4}$ のようなパルス幅の短いパルスを用いる。 $P_{ck3}$ を基準に考えると、 $P_{ck3}$ の立ち上がりに対して第2の間隔で立ち上がる  $P_{ck4}$ を印加した後、 $P_{ck3}$ の立ち上がりに対して第1の間隔で立ち上がる  $P_{ck5}$ を印加する。その後、 $P_{ck5}$ の立ち上がりに対して第2の間隔で立ち上がる  $GCK$ パルスを印加した後、 $P_{ck5}$ の立ち上がりに対して第1の間隔で立ち上がる  $GCK$ パルスを印加する。このようにすることで、画像書き込みパルスを出力しないゲートラインに相当するシフトレジスタの出力段  $Q_k$ のパルス幅を短くできるので、画像書き込みパルスを1Hの幅で出力したいゲートラインに相当するシフトレジスタの出力段  $Q_k$ のパルス幅を1Hとすることができる。40

#### 【0166】

また、液晶表示パネルに、ゲートバスライン  $G_1$ の前に、表示に寄与する画素に接続さ50

れていないダミーゲートバスライン G<sub>0</sub> を設ける。なお、以下で用いられるゲートドライバは、図 15 (A) および (B) に示したゲートドライバの先頭のゲートドライバ用 I C チップ 411 のシフトレジスタ 40 の初段にダミーゲートバスライン G<sub>0</sub> ラインに対応する Q<sub>0</sub> および G<sub>0</sub> が付加される点以外は上記と同じ構成で良い。

#### 【0167】

表示制御回路 150 は、図 17 (a) に示すように、画素データ書き込みパルス P<sub>w</sub> に対応する期間 T<sub>s p w</sub> だけ H レベル (アクティブ) となる信号をゲートスタートパルス信号 G<sub>S P</sub> として生成するとともに、上述した通り、図 17 (b) に示すように、ゲートクロック信号 G<sub>C K</sub> が生成される。このようなゲートスタートパルス信号 G<sub>S P</sub> およびゲートクロック信号 G<sub>C K</sub> がゲートドライバに入力されると、先頭のゲートドライバ用 I C チップ 411 のシフトレジスタ 40 の初段の出力信号 (ダミーゲートバスライン G<sub>0</sub> に対応) として図 17 (c) に示す信号 Q<sub>0</sub> が出力される。この出力信号 Q<sub>0</sub> は、各 1 / 2 フレーム期間 (F / 2) において、画素データ書き込みパルス P<sub>w</sub> に対応する 1 個のパルス P<sub>q w</sub> を含んでいる。このようなパルス P<sub>q w</sub> がゲートクロック信号 G<sub>C K</sub> に従ってゲートドライバ内の結合シフトレジスタを順次転送される。それに応じて、結合シフトレジスタの各段から、図 17 (c) に示すような波形の信号がゲートクロック G<sub>C K</sub> の立ち上がりに連動して順次ずれて出力される。  
10

#### 【0168】

また、表示制御回路 150 は、既述のように、ゲートドライバ 130 を構成するゲートドライバ用 I C チップ 411 ~ 41q に与えるべきゲートドライバ出力制御信号 G<sub>O E 1</sub> ~ G<sub>O E q</sub> を生成する。ここで、前述の通り、r 番目のゲートドライバ用 I C チップ 41r に与えるべきゲートドライバ出力制御信号 G<sub>O E r</sub> は、当該ゲートドライバ用 I C チップ 41r 内のシフトレジスタ 40 のいずれかの段から画素データ書き込みパルス P<sub>w</sub> に対応するパルス P<sub>q w</sub> が出力されている期間において、画素データ書き込みパルスを出力させたい場合 (ここでは前半 F / 2 における G(0)、G(1)、G(3)、...、および後半 F / 2 における G(0)、G(2)、...、に対応) に L レベルとなる。また、画素データ書き込みパルスを出力させない場合 (ここでは前半 F / 2 における G(2)、...、および後半 F / 2 における、G(1)、G(3)、...、に対応) に H レベルとなる。例えば、G<sub>O E 1</sub> は G<sub>C K</sub> のパルス P<sub>c k 1</sub> の立下りに同期して H レベルから L レベルとなり、P<sub>c k 2</sub> の立ち上がりに同期して H レベルとなり P<sub>c k 2</sub> の立下りに同期して L レベルとなり、P<sub>c k 3</sub> の立ち上がりと立ち下りの中間で L レベルから H レベルとなり P<sub>c k 4</sub> の立ち上がりと立ち下りの中間で L レベルとなる (図 17 (d) 参照)。P<sub>c k 3</sub> と P<sub>c k 4</sub> との中間で G<sub>O E 1</sub> の H レベルと L レベルとの切り替えを行うのは、P<sub>c k 3</sub> と P<sub>c k 4</sub> との間で生成されるパルスを確実にマスクするためである。なお、ダミーゲートバスライン G<sub>0</sub> は信号 Q<sub>0</sub> によりパルス P<sub>q w</sub> を形成するために設けられているが、ダミーゲートバスライン G<sub>0</sub> は非表示領域 (額縁領域) に設けられており、G<sub>0</sub> に画素データ書き込みパルスが出力されても、表示には寄与しない。  
20  
30

#### 【0169】

例えば、先頭のゲートドライバ用 I C チップには、図 17 (d) に示すようなゲートドライバ出力制御信号 G<sub>O E 1</sub> が与えられる。G(0) (または V<sub>g 0</sub> と表記) には、G<sub>O E 1</sub> を H レベルとするため、画像データ書き込みパルス P<sub>w</sub> が印加される。G(1) (または、V<sub>g 1</sub> と表記) に画素データ書き込みパルス P<sub>w</sub> を印加するために G<sub>O E 1</sub> が L レベルとなり、G(2) (または、V<sub>g 2</sub> と表記) に P<sub>w</sub> を印加しないために G<sub>O E 1</sub> が H レベルとなり、G(3) (または、V<sub>g 3</sub> と表記) に P<sub>w</sub> を印加するために G<sub>O E 1</sub> が L レベルとなる。  
40

#### 【0170】

ゲートドライバ用 I C チップ 41r (r = 1 ~ q) では、上記のようなシフトレジスタ各段の出力信号 Q<sub>k</sub> (初段のみ k = 0 ~ p、それ以降 k = 1 ~ p)、ゲートクロック信号 G<sub>C K</sub> およびゲートドライバ出力制御信号 G<sub>O E r</sub> に基づき、第 1 および第 2 の A N D ゲートにより、内部走査信号 g<sub>k</sub> (初段のみ k = 0 ~ p、それ以降 k = 1 ~ p) が生成され  
50

、それらの内部走査信号  $g_k$  が出力部でレベル変換されて、ゲートバスラインに印加すべき走査信号  $G_0 \sim G_p$  、または  $G_1 \sim G_p$  が出力される。これにより、図 17 (e)、(f)、(g) および (h) に示すように、1 フレーム期間の前半  $F/2$  において、ゲートバスライン  $G_j$  ( $j = 1, 2, \dots, n$ ) の内の奇数ライン  $G_j$  ( $j = 1, 3, 5, \dots, n-1$ ) および  $G_0$  にのみ画素書き込みパルス  $P_w$  が印加される。すなわち、偶数ライン  $G_j$  ( $j = 2, 4, 6, \dots, n$ ) は飛び越される。

#### 【0171】

後半  $F/2$  においては、ゲートドライバ出力制御信号  $G_OE_1 \sim G_OE_q$  に含まれるパルスを偶数ライン  $G_j$  ( $j = 2, 4, 6, \dots, n$ ) および  $G_0$  に  $P_w$  が印加されるように制御する。上記の前半  $F/2$  と異なるのは、ゲートスタートパルス信号  $GSP$  とゲートクロック信号  $GCK$  のタイミングと、生成されるゲートクロック  $GCK$  信号である。すなわち、後半  $F/2$  で生成される  $GCK$  は全て  $Pck_3$  と  $Pck_4$  などの  $Pck_1$  や  $Pck_2$  よりパルス幅が狭い  $GCK$  であり、後半  $F/2$  の最初の  $Pck_3$  と  $Pck_4$  との間で  $GCK$  が L レベルとなっているときに、ゲートスタートパルス  $GSP$  が立ち上がるよう印加する。10

#### 【0172】

以上のようにして、各サブ垂直走査期間（ここでは前半  $1/2$  フレームと後半  $1/2$  フレーム）において、1 ラインごとの飛び越し走査駆動が実現できる。

#### 【0173】

図 17 に示したゲートドライバの動作の変形例を図 18 および図 19 に示す。図 18 および図 19 はそれぞれ (b) に示す  $GCK$  の波形以外は図 17 と同じである。20

#### 【0174】

図 18 (b) に示す  $GCK$  のように、各サブフレームの最初の  $GCK$  パルスをシングルパルス（すなわち  $Pck_1$ ）にしてもよい。あるいは、図 19 (b) に示す  $GCK$  のように、各サブフレームの最初の  $GCK$  パルスをダブルパルス（すなわち  $Pck_3$  および  $Pck_4$ ）にしてもよい。

#### 【0175】

図 17 ~ 図 19 を参照して説明したゲートドライバおよび動作方法を用いると、画素データ書き込みパルス  $Pw$  の幅を  $H/2$  期間超  $1H$  期間以下と長くできるので、例えば、2 倍速駆動（ $120\text{Hz}$  駆動）を行った場合にも、各画素に画像データ（ソース信号電圧）を十分に書き込むことができるという利点が得られる。もちろん、ゲートドライバの構成を比較的単純にできるという利点も得られる。30

#### 【0176】

次に、図 20 ~ 図 22 を参照して、ブロック反転駆動（図 12 参照）を行うことができるゲートドライバの構成と動作を説明する。以下に説明するゲートドライバも図 1 に示した液晶表示装置 100 が有するゲートドライバ 130 として用いられる。図 20 および図 21 は、ゲートドライバの構成例を示すブロック図であり、図 22 は、各種信号の波形およびタイミングを示す図である。説明の簡単のために図 15 (A) および (B) と共に符号を用いる。

#### 【0177】

図 20 に示すゲートドライバは、シフトレジスタを含む複数個（ $q$  個）の部分回路としてのゲートドライバ用 IC (Integrated Circuit) チップ  $411, 412, \dots, 41q$  を備えている。40

#### 【0178】

各ゲートドライバ用 IC チップ  $411 \sim 41q$  は、図 21 に示すように、2 つのシフトレジスタ  $a$  およびシフトレジスタ  $b$  を有している。シフトレジスタ  $a$  は、各段の出力信号  $Q_k$  の  $k$  が奇数である奇数段用シフトレジスタであり、シフトレジスタ  $b$  は各段の出力信号  $Q_k$  の  $k$  が偶数である偶数段用シフトレジスタである。各ゲートドライバ用 IC チップ  $411 \sim 41q$  は、さらに、シフトレジスタ  $a$  および  $b$  の各段に対応して設けられた第 1 の AND ゲート  $41$  および第 2 の AND ゲート  $42$  と、第 1 の AND ゲート  $41$  および第 50

2 の AND ゲート 42 の出力信号  $g_1 \sim g_p$  に基づき走査信号  $G_1 \sim G_p$  を出力する出力部とを備えている。シフトレジスタ a および b は、スタートパルス信号  $S_{Pi\,a}$  および  $S_{Pi\,b}$ 、クロック信号  $CK_a$  および  $CK_b$ 、ならびに出力制御信号  $OE$  を受け取る。スタートパルス信号  $S_{Pi\,a}$  および  $S_{Pi\,b}$ 、クロック信号  $CK_a$  および  $CK_b$  はそれぞれ対応するシフトレジスタ a および b の入力端に独立に与えられる。シフトレジスタ a および b のそれぞれの出力端からは、後続のゲートドライバ用 IC チップに入力されるべきスタートパルス信号  $S_{Po\,a}$  および  $S_{Po\,b}$  がそれぞれ出力される。

#### 【 0179 】

奇数段用シフトレジスタ a では、第 1 の AND ゲート 41 に、シフトレジスタ a の奇数段出力信号  $Q_k$  ( $k$  は奇数) と、出力制御信号  $OE$  の論理反転信号とが入力される。一方、偶数用シフトレジスタ b では、第 2 の AND ゲート 42 に、シフトレジスタ b の偶数段出力信号  $Q_k$  ( $k$  は偶数) と、インバータ 43 の出力信号すなわち出力制御信号  $OE$  の論理反転された信号の論理反転信号とが入力される。10

#### 【 0180 】

本構成例によるゲートドライバは、図 20 に示すように、上記構成の複数 ( $q$  個) のゲートドライバ用 IC チップ 411 ~ 41q が、縦続接続されることによって実現される結合シフトレジスタである。すなわち、ゲートドライバ用 IC チップ 411 ~ 41q 内のシフトレジスタが 1 つのシフトレジスタを形成するように、各ゲートドライバ用 IC チップ内のシフトレジスタの出力端 (スタートパルス信号  $S_{Po\,a}$ 、 $S_{Po\,b}$  の出力端子) が次のゲートドライバ用 IC チップ内のシフトレジスタの入力端 (スタートパルス信号  $S_{Pi\,a}$ 、 $S_{Pi\,b}$  の入力端子) に接続されている。ただし、先頭のゲートドライバ用 IC チップ 411 内のシフトレジスタ a および b のそれぞれの入力端には、表示制御回路 150 (図 1 参照) から対応するゲートスタートパルス信号  $G_{SP\,a}$  および  $G_{SP\,b}$  が入力され、最後尾のゲートドライバ用 IC チップ 41q 内のシフトレジスタの出力端は外部と未接続となっている。また、表示制御回路 150 からのゲートクロック信号  $CK_a$  および  $CK_b$  と出力制御信号  $OE$  は、各ゲートドライバ用 IC チップ 411 ~ 41q にクロック信号  $CK_a$ 、 $CK_b$ 、および出力制御信号  $OE$  として共通に入力される。20

#### 【 0181 】

次に、図 22 を参照して、上記ゲートドライバの動作を説明する。

#### 【 0182 】

表示制御回路 150 (図 1 参照) は、図 22 に示すように、画素データ書込パルス  $P_w$  に対応する期間  $T_{SP\,w}$  だけ H レベル (アクティブ) となる信号をゲートスタートパルス信号  $G_{SP\,a}$  と  $G_{SP\,b}$  として生成するとともに、1 水平走査期間 (1H) 每に所定期間だけ H レベルとなるゲートクロック信号  $CK_a$  と  $CK_b$  を生成する。ここで、ゲートスタートパルス  $G_{SP\,a}$  は奇数段用ゲートスタートパルスであり、 $G_{SP\,b}$  は偶数段用ゲートスタートパルスであり、何れも図 22 中 (d) として示している。ゲートクロック信号  $CK_a$  は奇数段用ゲートクロックであり、ゲートクロック信号  $CK_b$  は偶数段用ゲートクロックであり、何れも図 22 中 (e) として示している。30

#### 【 0183 】

このようなゲートスタートパルス信号  $G_{SP\,a}$ 、 $G_{SP\,b}$  およびゲートクロック信号  $CK_a$ 、 $CK_b$  がゲートドライバに入力されると、先頭のゲートドライバ用 IC チップ 411 のシフトレジスタ a およびシフトレジスタ b のそれぞれの初段の出力信号  $Q_1$  および  $Q_2$  が出力される。図 22 中に (f) として示すこの出力信号  $Q_1$ 、 $Q_2$  は、各フレーム期間において、画素データ書込パルス  $P_w$  に対応するパルス  $P_{q\,w}$  を含む。このようなパルス  $P_{q\,w}$  がゲートクロック信号  $CK_a$ 、 $CK_b$  に従ってゲートドライバ内の結合シフトレジスタを順次転送していく。それに応じて結合シフトレジスタの各段から、信号波形がゲートクロック信号  $CK_a$ 、 $CK_b$  の立ち上がりに合わせて H レベルとなり次のゲートクロック信号  $CK_a$ 、 $CK_b$  の立ち上がりに合わせて L レベルとなり、順次ずれて出力される。40

#### 【 0184 】

また、表示制御回路 150 は、上述のように、ゲートドライバを構成するゲートドライバ用 I C チップ 411 ~ 41q に与えるべきゲートドライバ出力制御信号 G O E ( 図 22 中 ( g ) ) を生成する。ここで、r 番目のゲートドライバ用 I C チップ 41r に与えるべきゲートドライバ出力制御信号 G O E は、ゲートドライバ用 I C チップ 41r 内のシフトレジスタのいずれかの段から画素データ書込パルス P w に対応するパルス P q w が出力されている期間で、画素データ書込パルス P w の調整のために L レベルまたは H レベルとなる。これは上記所定期間で H レベルとなることに相当し、以下「書込期間調整パルス」という。なお、画素データ書込パルス P w の調整のためにゲートドライバ出力制御信号 G O E に含まれるパルス ( 「書込期間調整パルス」 ) は、必要な画素データ書込パルス P w に応じて、適宜調整することができる。

10

#### 【 0185 】

さらに、ゲートクロック信号 G C K a および G C K b はいずれも、データ信号の極性 P O L が反転するのと同期して H レベルを維持し ( H レベルで休止し ) 、次にデータ信号の極性が再度反転するのと同期して、クロック信号が L レベルとなり、1 H 毎に所定期間だけ H レベルとなる動作を再開する。

#### 【 0186 】

このゲートクロック信号 G C K a および G C K b の動作に伴い、出力信号 Q k の波形 P q w の長さが変動することを利用して、各 P q w のうち画素データ書き込みパルス P w の出力させたい期間をそれぞれ出力制御信号 G O E ( 「書込期間調整パルス」 ) で制御する。

20

#### 【 0187 】

各ゲートドライバ用 I C チップ 41r ( r = 1 ~ q ) では、上記のようなシフトレジスタ各段の出力信号 Q k ( k = 1 ~ p ) ( 図 22 中 ( f ) で示す。 ) 、ゲートクロック信号 G C K a 、 G C K b およびゲートドライバ出力制御信号 G O E に基づき、第 1 の AND ゲート 41 および第 2 の AND ゲート 42 により、内部走査信号 g 1 ~ g p が生成され、それらの内部走査信号 g 1 ~ g p が出力部でレベル変換されて、ゲートバスラインに供給すべき走査信号電圧 G ( 1 ) ( または、 V g 1 と表記 ) ~ G ( p ) ( または、 V g q と表記 ) が出力される。これにより、図 22 ( i ) として示すように、ゲートバスライン G L 1 ~ G L m に順次、画素データ書込パルス P w が印加される。

#### 【 0188 】

30

##### [ データの並べ替え ]

次に、図 23 、図 24A および図 24B を参照して、データの並べ替え方法について説明する。ここでは、垂直走査期間 V - t o t a l が 1125H 、有効表示期間 V - D i s p が 1080H 、垂直帰線期間が 45H の例を示す。

#### 【 0189 】

図 23 は並べ替え回路を示す概略ブロック図である。図 24A はデータの並べ変えの方法を説明するための模式図であり、図 24B は図 24A の点線で囲った部分 y の拡大図である。

#### 【 0190 】

図 23 に示すように、並べ替え回路 550 は、並べ替え制御回路 552 、奇数ライン用並べ替え用メモリ 554A および偶数ライン用並べ替え用メモリ 554B を備えている。並べ替え回路 550 は、例えば図 1 に示した表示制御回路 150 内に設けられる。

40

#### 【 0191 】

並べ替え制御回路 552 には、表示すべき画像データと、画像データと同期する垂直同期信号および水平同期信号と、表示動作を制御するための制御信号とが入力される。入力された画像データをライン毎に奇数ラインと偶数ラインに分離し、それぞれの画像データを奇数ライン用の並べ替え用メモリ 554A と偶数ライン用の並べ替え用メモリ 554B とに書き込む。

#### 【 0192 】

一定期間、画像データを並べ替え用メモリ 554A および 554B へ書き込んだ後、並

50

並べ替え制御回路 552 は奇数ライン用の並べ替え用メモリ 554A からデータを連続して読み出し、その後続けて、偶数ライン用の並べ替え用メモリ 554B からデータを読み出す。

#### 【0193】

このときの、例えば、1フレームを第1サブフレームと第2サブフレームに分けるソースライン反転駆動では、少なくとも有効表示期間 V-Disp ( 例えれば 1080H ) の半分以上 ( 例えれば 540H 以上 ) の画像データを奇数・偶数ライン用の各並べ替え用メモリ 554A および 554B に書き込んだのちにデータの読み出しを開始するように、並べ替え制御回路 552 内でデータ数をカウントして制御する。ロック反転駆動においても、第1、第2、第3、第4の各サブフレームのライン数に応じて並べ替え制御回路 552 内でデータ数をカウントして、奇数・偶数の各並べ替え用メモリ 554A および 554B からデータを読み出すように設定しておく。

#### 【0194】

例として、図 24B の (a) 入力信号に示すように、並べ替え制御回路 552 に画像データが入力されると、(b) に示すように、奇数ライン用の並べ替え用メモリと偶数ライン用の並べ替え用メモリとに順次データを振り分けて書き込む。ここで示す例の場合、 $N_{sv} = 10$  であるため、少なくとも 10 ライン以上のデータを並べ替え用メモリに取り込んだ後に、順次入力されるデータを並べ替え用メモリに取り込む作業を継続したまま、奇数ライン用の並べ替え用メモリからのデータの読み出しを開始する。

#### 【0195】

このとき、まず奇数ライン用の並べ替え用メモリから 10 ライン分 ( 1、3、5、…、19 ) のデータを連続して読み出し、次に偶数ライン用の並べ替え用メモリから 10 ライン分 ( 2、4、6、…、20 ) のデータを連続して読み出す。その後もう一度、偶数ライン用の並べ替え用メモリから 10 ライン分 ( 22、24、26、…、40 ) のデータを連続して読み出し、再び、奇数ライン用の並べ替え用メモリから 10 ライン分 ( 21、23、25、…、39 ) のデータを連続して読み出す。この一連の動作を繰り返し行うように並べ替え制御回路 552 によって制御することで、最終行まで順次、並べ替え用メモリからの読み出しを行う。

#### 【0196】

なお、図 24A の例では、有効表示期間 V-Disp ( 1080H ) が ( 20H ) で割り切れるため、最終行付近の行のデータについても同じ手順で並べ替え可能である。V-Disp が で割り切れない場合は、V-Disp を で割った余りの行数分を偶数および奇数の行に分けて、各並べ替え用メモリにデータを書き込み、最終行付近の偶数・奇数ラインだけ読み出す周期を変更しておけばよい。

#### 【0197】

##### 〔テレビジョン受像機について〕

本発明に係る液晶表示装置をテレビジョン受像機に使用した例について説明する。

#### 【0198】

図 25 (a) は、テレビジョン受像機の表示装置 800 の構成を示すブロック図である。この表示装置 800 は、Y/C 分離回路 80 と、ビデオクロマ回路 81 と、A/D コンバータ 82 と、液晶コントローラ 83 と、液晶パネル 84 と、バックライト駆動回路 85 と、バックライト 86 と、マイコン ( マイクロコンピュータ ) 87 と、階調回路 88 とを備えている。なお、上記液晶パネル 84 は、アクティブマトリクス型の画素アレイからなる表示部と、その表示部を駆動するためのソースドライバおよびゲートドライバを含んでいる。

#### 【0199】

上記構成の表示装置 800 では、まず、テレビジョン信号としての複合カラー映像信号 S\_Cv が外部から Y/C 分離回路 80 に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路 81 にて光の 3 原色に対応するアナログ RGB 信号に変換され、さらに、このアナログ RGB 信号は A/D コンバータ 82 によ

10

20

30

40

50

り、デジタルRGB信号に変換される。このデジタルRGB信号は液晶コントローラ83に入力される。また、Y/C分離回路80では、外部から入力された複合カラー映像信号Scvから水平および垂直同期信号も取り出され、これらの同期信号もマイコン87を介して液晶コントローラ83に入力される。

#### 【0200】

液晶コントローラ83は、A/Dコンバータ82からのデジタルRGB信号（上記実施形態におけるデジタルビデオ信号Dvに相当）に基づきドライバ用データ信号を出力する。また、液晶コントローラ83は、液晶パネル84内のソースドライバおよびゲートドライバを上記実施形態と同様に動作させるためのタイミング制御信号を、上記同期信号に基づいて生成し、それらのタイミング制御信号をソースドライバおよびゲートドライバに与える。また、階調回路88では、カラー表示の3原色R,G,Bそれぞれの階調電圧が生成され、それらの階調電圧も液晶パネル84に供給される。10

#### 【0201】

液晶パネル84では、これらのドライバ用データ信号、タイミング制御信号および階調電圧に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号、走査信号等）が生成され、それらの駆動用信号に基づき内部の表示部にカラー画像が表示される。なお、この液晶パネル84によって画像を表示するには、液晶パネル84の後方から光を照射する必要がある。この表示装置800では、マイコン87の制御の下にバックライト駆動回路85がバックライト86を駆動することにより、液晶パネル84の裏面に光が照射される。20

#### 【0202】

上記の処理を含め、システム全体の制御はマイコン87が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号等も使用可能であり、この表示装置800では、様々な映像信号に基づいた画像表示が可能である。

#### 【0203】

上記構成の表示装置800でテレビジョン放送に基づく画像を表示する場合には、図25（b）に示すように、当該表示装置800にチューナ部90が接続される。このチューナ部90は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号Scvを取り出す。この複合カラー映像信号Scvは、既述のように表示装置800に入力され、この複合カラー映像信号Scvに基づく画像が当該表示装置800によって表示される。30

#### 【0204】

なお、上記の実施形態においては、互いに異なる画素に属し、且つ列方向に隣接副画素がCSバスラインを共有するタイプのマルチ画素構造を例示したが、本発明が適用できるマルチ画素構造はこれに限られず、副画素ごとに電気的に独立なCSバスラインを有する構成にも適用でき、CSバスラインと副画素との対応関係に制限を受けない。ただし、ここで例示したCSバスラインを隣接する副画素間で共有するタイプ以外のマルチ画素構造を採用した場合には、CS電圧の選択の自由度が高いので、個々のCS電圧の波形を個別に設定することができる。40

#### 【0205】

次に、図26および図27を参照して、副画素ごとに電気的に独立なCSバスラインを有する液晶表示装置に本発明を適用した場合の実施形態の1例を説明する。

#### 【0206】

図26は、ダミーゲートバスラインを有さず、 $Nsv = 10$ （ $= 20$ ）の場合について、画素行の番号（1～40）、書き込み順（走査する画素行の順序を示す番号（1～10、11～30、31～40））と、各画素行における明暗副画素の配置、ソース信号電圧、ゲート信号電圧およびCS電圧のタイミングチャートを示している。ゲート信号電圧50

は、ゲートオンパルス  $P_w$  に対応する部分だけを図示している。

#### 【0207】

この方法では、奇数行を + 極性で走査したあと、偶数行を - 極性で書き込む。簡単のためにソース信号電圧の振幅は一定としている。CS電圧の振幅は、隣接する行の2つの画素の一方の副画素において、共有しているCSバスライン、たとえば1行目の画素と2行目の画素で共有しているCS\_2ラインにおいて、前記2つの画素の書き込みが両方とも終わった後に、CS電圧をHレベル( $V_{CSH}$ )からLレベル( $V_{CSL}$ )に1回だけ変化させる。この例では、奇数行と偶数行の書き込みの間で、CS電圧のレベルを変化させない。例えば、2行目の画素を書き込むタイミングを示す $P_w$ (図中の丸で囲んでいる)の位置におけるCS電圧のレベルは、1行目の画素を書き込むタイミングを示す $P_w$ の位置におけるCS電圧のレベルと同じである。すなわち、CS電圧は、偶数行に書き込む期間(第1サブ垂直走査期間)において第jゲートバスラインに供給されるゲート信号電圧がハイからローに変化した時点から、奇数行に書き込む期間(第2サブ垂直走査期間)において第j+1ゲートバスラインに供給されるゲート信号電圧がハイからローに変化する時間までの間に、極性が変化しない。10

#### 【0208】

図13Aや図13Bに示した例では、第1サブ垂直走査期間において第jゲートバスライン(例えば第1行、書き込み順は1)に供給されるゲート信号電圧がハイからローに変化した時点から、第2サブ垂直走査期間において第j+1ゲートバスライン(例えば第2行、書き込み順は11)に供給されるゲート信号電圧がハイからローに変化する時間までの間に、CS電圧の極性が2回変化しているのに対し、図26に示した例では0回である。この場合においても、図26に示すように、明暗副画素の並びを明暗 明暗 明暗・・・の順にすることができる、ジャギーを防止できる。20

#### 【0209】

図13Aおよび13Bを参照するなどして、ソース信号電圧の極性が互いに異なる連続する2つのサブ垂直走査期間を含み、同じ垂直走査期間に属する第1サブ垂直走査期間と第2サブ垂直走査期間におけるソース信号電圧の極性が互いに異なる場合、CS電圧は、第1サブ垂直走査期間において第jゲートバスラインに供給されるゲート信号電圧がハイからローに変化した時点から、第2サブ垂直走査期間において第j+1ゲートバスラインに供給されるゲート信号電圧がハイからローに変化する時間までの間に、極性が偶数回(2回以上)変化すればよいことを説明したが、ここに示したように、副画素ごとに電気的に独立なCSバスラインを有する場合には、極性の変化は0回であってもよい。すなわち、偶数が0を含むと考えればよい。30

#### 【0210】

このような構成および駆動方法を採用すると、データ信号を同一極性で書き込む行数が少ないと有利となる。図13Aおよび図13Bの方式では、データ信号を同一極性で書き込む行数が少ないと、CS電圧の極性が反転する回数が多くなるので、CS電圧を生成するCSコントロール回路での消費電力が増大してしまう。これに対して、図26の方式では、CS電圧の極性が反転する回数が1回であり、CSコントロール回路での消費電力を抑えることができる。40

#### 【0211】

図27を参照して、図26に示した駆動方法の変形例を説明する。図27は、図26と同様に、ダミーゲートバスラインを有さず、 $N_{sv} = 10$ ( $= 20$ )の場合について、画素行の番号(1~40)、書き込み順(走査する画素行の順序を示す番号(1~10、11~30、31~40))と、各画素行における明暗副画素の配置、ソース信号電圧、ゲート信号電圧およびCS電圧のタイミングチャートを示している。ゲート信号電圧は、ゲートオンパルス $P_w$ に対応する部分だけを図示している。

#### 【0212】

図26に示した駆動方法では、先に書き込む行(例えば1行目)と後に書き込む行(例えば2行目)とで、ゲート信号電圧がハイからローに変化した後、CS電圧のレベルが最50

初に変化するまでの時間（突上げ／突き下げを受けるタイミング）が異なる。このため、画素に印加される実効電圧が1行ごとに異なり、その結果、1行毎に輝度むらが現れるおそれがあった。

#### 【0213】

上記問題を解決するためには、データ信号の極性反転周期を短くすることが考えられるが、そうするとデータ信号の極性反転回数が増えるので、データドライバでの消費電力が増加する、あるいは画素の充電がし難い行が増えるというデメリットがある。例えば、1水平期間（1H）の時間が短いと、データ信号の極性反転時に実際の電圧波形が鈍ってしまい、極性反転後に画素を充電し難くなる。

#### 【0214】

図27に示す駆動方法においては、隣接する偶奇行の2つの画素の書き込みの間（すなわち、第1サブ垂直走査期間において第jゲートバスラインに供給されるゲート信号電圧がハイからローに変化した時点から、第2サブ垂直走査期間において第j+1ゲートバスラインに供給されるゲート信号電圧がハイからローに変化する時間までの間）に、2つの画素行が共有しているCSバスラインに供給するCS電圧のレベルを2回変化させている（ここでは2回のレベル変化は2回の極性変化である。）。なお、CS電圧の上記レベル変化（極性変化）の回数は2回以上であっても良い。後の画素の書き込み終了後（j+1行）は、CS電圧のレベルをセンター電位Vcscにする。ここで、CS電圧のセンター電位Vcscは、Vcsの時間平均である。CS電圧の極性が変化する部分の波形が2つのレベル間を振動するデューティ比が1：1の振動波形である場合、センター電位Vcscは、CS電圧の高電圧側のレベルと低電圧側のレベルのちょうど中間のレベルである。典型的には、Vcscは、対向電極の電位であるVcomとほぼ等しい。

#### 【0215】

図27と図26とを比較すれば分かるように、図27の駆動方法においては、先に書き込む行（例えば1行目）と後に書き込む行（例えば2行目）とで、ゲート信号電圧がハイからローに変化した後、CS電圧のレベルが最初に変化するまでの時間（突上げ／突き下げを受けるタイミング）がほぼ等しくなっている。その結果、図26に示した駆動方法で発生するおそれのあった1行毎のむらは、図27の駆動方法によると抑制することができる。

#### 【0216】

上述した本発明の実施形態によると、マルチ画素技術にソースライン反転駆動法およびまたはブロック反転駆動法を適用しても、表示品位の低下が抑制され得る液晶表示装置が提供される。

#### 【0217】

一方、視点を変えると、上記の実施形態の液晶表示装置は、従来のブロック反転駆動において、列方向（ソースバスラインに沿った方向）に隣接する画素行ごとに生じる輝度むらが発生するという問題を解決している。以下に、従来のブロック反転駆動における問題点と、上記の実施形態の液晶表示装置がこの問題を解決する理由を説明する。

#### 【0218】

まず、図28および図29を参照して、画素分割構造を有しない従来の液晶表示装置においてブロック反転駆動を行った場合に列方向（ソースバスラインに沿った方向）に隣接する画素行ごとに生じる輝度むらが発生する原因を説明する。

#### 【0219】

図28は、画素分割構造を有しない従来の液晶表示装置をブロック反転駆動した場合の画素へのソース信号電圧の書き込み極性（括弧内の極性は前フレームの画素の極性）と、列方向に隣接する画素間のカップリングによる電圧変化（図中の矢印）とを示している。また、書き込みのタイミングを示すゲートオンパルスPwを模式的に示している。

#### 【0220】

図28の3行目の画素に着目する。現フレームで3行目の画素にソース信号電圧が+極性で書き込まれ、画素が保持する電圧が-極性から+極性に変化する。その後、上側に隣

接する 2 行目の画素にソース信号電圧が - 極性で書き込まれると、2行目の画素が保持する電圧は + 極性から - 極性に変化する。このとき、列方向に隣接する画素間のカップリング（容量結合）のために、3行目の画素の電圧は突き下げられる（図 28 中の矢印 A W 1 参照）。続いて、下側に隣接する4行目の画素にソース信号電圧が - 極性で書き込まれると、4行目の画素が保持する電圧は + 極性から - 極性に変化する。このときにも 3 行目の画素の電圧は突き下げられる（図 28 中の矢印 A W 2 参照）。このように、3行目の画素は、現フレームでソース信号電圧が書き込まれた後、上下に隣接する偶数行にソース信号電圧が逆極性で書き込まれる際に 2 回突き下げを受ける。すなわち、3行目の画素は 1 フレーム内で 2 回電圧の突き下げを受ける。その結果、1行ごとの輝度むらが観察されるおそれがある。

10

#### 【 0 2 2 1 】

次に図 28 の 10 行目の画素に着目する。現フレームで 10 行目の画素にソース信号電圧が - 極性で書き込まれ、画素が保持する電圧が + 極性から - 極性に変化する。その後、上側に隣接する 9 行目の画素にソース信号電圧が + 極性で書き込まれると、9 行目の画素が保持する電圧は - 極性から + 極性に変化する。このとき、列方向に隣接する画素間のカップリング（容量結合）のために、10 行目の画素の電圧は突き上げられる（図 28 中の矢印 A W 3 参照）。続いて、下側に隣接する 11 行目の画素にソース信号電圧が + 極性で書き込まれると、11 行目の画素が保持する電圧は - 極性から + 極性に変化する。このときにも 10 行目の画素の電圧は突き上げられる（図 28 中の矢印 A W 4 参照）。このように、10 行目の画素は、現フレームでソース信号電圧が書き込まれた後、上下に隣接する行の画素にソース信号電圧が逆極性で書き込まれる際に 2 回突き上げを受ける。すなわち、10 行目の画素は 1 フレーム内で 2 回電圧の突き上げを受ける。

20

#### 【 0 2 2 2 】

このように 10 行目の画素は、3 行目の画素とは逆に、1 フレーム内で 2 回電圧の突き上げを受けるので、3 行目の画素が属するブロックと 10 行目の画素が属するブロックとの間で輝度むらが生じるおそれがある。

#### 【 0 2 2 3 】

次に、図 28 の 8 行目の画素に着目する。現フレームで 8 行目の画素にソース信号電圧が書き込まれたとき、上側に隣接する 7 行目の画素へ書き込みは既に終わっているので、8 行目の画素に保持される電圧が 7 行目の画素の影響を受けることはない。一方、下側に隣接する 9 行目の画素に + 極性でソース信号電圧が書き込まれると、9 行目の画素が保持する電圧は - 極性から + 極性に変化するので、8 行目の画素の電圧は突き上げられる。このようにブロックの境界にある 8 行目の画素は、1 回だけ電圧の突き上げを受ける。このように、8 行目の画素のようにブロックの境界にある画素は、当該ブロック内のそれ以外の画素（例えば 10 行目）とは、電圧の突き上げを受ける回数が異なるので、輝度むらとして観察されるおそれがある。

30

#### 【 0 2 2 4 】

上述のような輝度むらが発生すると、例えば、図 29 に示すような、横筋むらとして観察されるおそれがある。図 29 は、従来の画素分割構造を有しない液晶表示装置をブロック反転駆動によって全面に中間調を表示したときのあるフレームの表示状態を模式的に示す図である。図 29 に示すように、従来の液晶表示装置にブロック反転駆動を行うと、1 行ごとの横筋が見られ、また、3 行目の画素が属するブロックと 10 行目の画素が属するブロックとの間の輝度むらも見られる。さらに、1 行目や 8 行目の画素のようにブロックの境界にある画素と当該ブロック内のそれ以外の画素との間の輝度むらも観察される。

40

#### 【 0 2 2 5 】

液晶表示装置をマルチ画素構造とすることによって上記の問題が軽減され、ブロック反転駆動を実用化できる。画素を電気的に互いに独立な複数の副画素に分割すると、列方向に隣接した画素に供給されるソース信号電圧の変化による、電圧の突き上げまたは突き下げは1つの副画素にしか影響しないからである。

#### 【 0 2 2 6 】

50

以下、図31に示す画素分割構造を有する液晶表示装置をブロック反転駆動する場合について図30を参照して説明する。

#### 【0227】

図31に示す画素分割構造において、第1副画素SP-1および第2副画素SP-2は、第1副画素SP-1および第2副画素SP-2が含まれる画素Pに関連付けられたゲートバスライン12を間に介して配列されており、図2に示した等価回路で表される。すなわち、図31に示す画素分割構造は、上記の実施形態の液晶表示装置と同じであり得る。共通の構成要素は同じ参照符号で示しここでは説明を省略する。

#### 【0228】

図30は図28に対応する図であり、画素分割構造を有する液晶表示装置にブロック反転駆動を行った場合の画素へのソース信号電圧の書き込み極性（括弧内の極性は前フレームの画素の極性）と、列方向に隣接する画素間のカップリングによる電圧変化（図中の矢印）とを示している。それぞれの画素Pは第1副画素SP-1と第2副画素SP-2とを有しており、書き込み極性および電圧変化を副画素ごとに示している。

10

#### 【0229】

図30の3行目の画素に着目する。現フレームで3行目の画素にソース信号電圧が+極性で書き込まれ、画素（すなわち2つの副画素SP-1とSP-2）が保持する電圧が-極性から+極性に変化する。その後、上側に隣接する2行目の画素にソース信号電圧が-極性で書き込まれると、2行目の画素（すなわち2つの副画素SP-1とSP-2）が保持する電圧は+極性から-極性に変化する。このとき、列方向に隣接する画素間のカップリング（容量結合）のために、3行目の画素の電圧は突き下げられる（図30中の矢印AW5参照）。ここで、3行目の画素と2行目の画素との間でカップリングしているのは、3行目の画素の第1副画素SP-1と2行目の画素の第2副画素SP-2とだけである。従って、2行目の画素の電圧の影響を受けて、電圧が突き下げられるのは第3行目の画素の第1副画素SP-1だけである。続いて、下側に隣接する4行目の画素にソース信号電圧が-極性で書き込まれると、4行目の画素が保持する電圧は+極性から-極性に変化する。このときにも3行目の画素の電圧は突き下げられる（図30中の矢印AW6参照）。ここで電圧の突き下げを受けるのは、3行目の画素の第2副画素SP-2だけである。

20

#### 【0230】

このように、3行目の画素は、画素全体としては、1フレーム内で2回電圧の突き下げを受けるが、1回目の突き下げは第1副画素SP-1だけであり、2回目の突き下げは第2副画素SP-2のみである。従って、電圧の変化（輝度の変化となって現れる）を面積平均で考えると、1つの画素が1回の突き下げを受けるのと同等である。したがって、画素分割構造を採用することによって、列方向（ソースバスラインに沿った方向）に隣接する2つの画素間のカップリングの影響による電圧の変動を低減させることができるので、結果として、画素全体の輝度変化を抑制し、上記の輝度むらの発生を抑制することができる。

30

#### 【0231】

なお、図31に示した画素分割構造において、CSバスライン13aおよび13bを電気的に互いに独立とすれば、上記の実施形態の液晶表示装置について説明したように、特性の視野角依存性を改善することができる。しかしながら、ブロック反転駆動における輝度むらを抑制するという観点からは、CSバスライン13aおよび13bを電気的に互いに独立とする必要はなく、副画素電極11aと11bとをそれぞれ独立なTFT16aと16bとを介してソースバスライン14に接続しておきさえすればよい。従って、副画素SP-1と副画素SP-2とが同じ輝度を表示するように構成してもよい。また、CSバスライン13a、13bをソースバスラインに沿って隣接する2つの画素の間に設けることによって、画素のカップリングを低減することができる。

40

#### 【0232】

ソースバスラインに沿って隣接する2つの画素の間のカップリングを低減するためには、CSバスライン13a、13bに代えて、所定の電位に制御される補助配線を設けても

50

良い。補助配線に供給する電圧は、対向電極に供給される電圧（Vcom）と同じであることが好ましい。なお、CSバスライン（または補助配線）13aおよび13bを省略することもできる。

#### 【0233】

また、図32に示す画素分割構造を採用しても良い。図32に示す画素は、第1副画素SP-1と第2副画素SP-2とを有しており、第2副画素電極11bは列方向において第1副画素電極11aに挟まれている。第1副画素電極11aは、第2副画素電極11bの上下に位置する部分を連結する部分を有しており、全体としてはコの字形状を有している。なお、第1副画素電極11aに接続されているTFT16aと第2副画素電極11bに接続されているTFT16bは、それぞれ独立のゲートバスライン12a、12bによってON/OFF制御される。10

#### 【0234】

図32に示す画素分割構造を採用すると、第1副画素SP-1だけが列方向に隣接する画素とカップリングするので、隣接画素による電圧の突き上げ、突き下げの影響は、第1副画素SP-1だけが受け、第2副画素SP-2は影響を受けない。従って、画素全体の輝度変化をさらに抑制できるので、輝度むらをさらに効果的に抑制することができる。もちろん、このような画素分割構造を採用した場合においても、第1副画素SP-1と第2副画素SP-2とに異なる輝度を表示させることによって、先の実施形態で説明した効果を得ることができる。20

#### 【0235】

次に、先の実施形態で説明した、副画素が互いに異なる輝度を呈することが出来るように構成した画素分割構造を液晶表示装置にブロック反転駆動を適用する場合の好ましい実施形態を説明する。以下では、TFTをオフするタイミングとCS電圧の位相との関係、具体的には、CS幹線と各CSバスラインとの接続関係について説明する。ここでは、CS電圧の振動周期を長くすることができるという利点を有している、特許文献3に記載されているCS幹線の接続形態を採用する。以下の説明において、特許文献3にならって、CS電圧が有する振動波形（典型的にはデューティ比が1：1）を発生するためCS幹線と各CSバスラインとの接続周期を $2 \times K \times L \times H$ （Kは正の整数、Lは電気的に独立なCS幹線の数、Hは一水平走査期間）で表することにする。CS電圧が有する振動波形の周期は最大で $2 \times K \times L \times H$ とすることができる。30

#### 【0236】

図33に示すCS幹線の接続形態は、 $L = 12$ 、 $K = 1$ でCS幹線と各CSバスラインとの接続周期が24本の場合である。

#### 【0237】

図33を見ると、各CSバスラインはCS1～CS12の12本のCS幹線のいずれかに接続されている。また、各CSバスラインは、互いに異なる画素に属し且つ列方向に隣接する2つの副画素に共通に関連付けられている。すなわち、各CSバスラインは、互いに異なる画素に属し且つ列方向に隣接する2つの副画素のそれぞれの補助容量対向電極に接続されている。

#### 【0238】

具体的にみると、第1行の画素の上側の副画素SP-1の補助容量対向電極が接続されているCSバスラインはCS幹線CS1に接続されており、第1行の画素の下側の副画素SP-2の補助容量対向電極が接続されているCSバスラインはCS幹線CS2に接続されている。第2行の画素の上側の副画素SP-1の補助容量対向電極が接続されているCSバスラインは、第1行の画素の下側の副画素SP-2の補助容量対向電極が接続されているCSバスラインと同じ（共通）である。第2行の画素の下側の副画素SP-2の補助容量対向電極が接続されているCSバスラインはCS幹線CS3に接続されており、これは、第3行の画素の上側の副画素SP-1の補助容量対向電極が接続されているCSバスラインと共にである。CS幹線CS4以降もこの関係を維持したまま、CS幹線CS12が第12行の画素の上側の副画素SP-1に関連付けられている。第12行の画素の下側4050

の副画素 S P - 2 に関連付けられた C S バスラインは、 C S 幹線 C S 2 に接続されており、第 1 3 行の画素の上側の副画素 S P - 1 にも関連付けられている。第 1 3 行の画素の下側の副画素 S P - 2 に関連付けられる C S バスラインは C S 幹線 C S 1 に接続されている。第 2 5 行 - 第 4 8 行以降の画素は、第 1 行 - 第 2 4 行の画素と同じ接続形態を周期的に繰り返す。すなわち、 C S バスラインの接続形態は 2 4 本の C S バスラインを 1 周期とする周期性を有している。

#### 【 0 2 3 9 】

この接続形態を表 5 にまとめる。表 5 において、 C S 幹線 C S 1 に接続される C S バスラインとして、 C S B L ( n - 1 ) B , ( n ) A と C S B L ( n + 1 2 ) B , ( n + 1 3 ) A と記載している。ここで、 C S B L ( n - 1 ) B , ( n ) A は、 n - 1 行の画素の B 副画素（下側副画素）および n 行の画素の A 副画素（上側副画素）に関連付けられた C S バスラインを表しており、 C S B L ( n + 1 2 ) B , ( n + 1 3 ) A は、 n + 1 2 行の画素の B 副画素（下側副画素）および n + 1 3 行の画素の A 副画素（上側副画素）に関連付けられた C S バスラインを表している。n は、 1 、 2 5 、 4 9 … であり、 n = 1 の場合が図 3 3 に示されている。10

#### 【 0 2 4 0 】

【表5】

 $L = 12, K = 1$ 

CS幹線	CS幹線に接続されるCSバスライン
CS1	CSBL_ ( n - 1 ) B, ( n ) A
	CSBL_ ( n + 12 ) B, ( n+13 ) A
CS2	CSBL_ ( n ) B, ( n + 1 ) A
	CSBL_ ( n + 11 ) B, ( n+12 ) A
CS3	CSBL_ ( n + 1 ) B, ( n + 2 ) A
	CSBL_ ( n + 14 ) B, ( n+15 ) A
CS4	CSBL_ ( n + 2 ) B, ( n + 3 ) A
	CSBL_ ( n + 13 ) B, ( n+14 ) A
CS5	CSBL_ ( n + 3 ) B, ( n + 4 ) A
	CSBL_ ( n + 16 ) B, ( n+17 ) A
CS6	CSBL_ ( n + 4 ) B, ( n + 5 ) A
	CSBL_ ( n + 15 ) B, ( n+16 ) A
CS7	CSBL_ ( n + 5 ) B, ( n + 6 ) A
	CSBL_ ( n + 18 ) B, ( n+19 ) A
CS8	CSBL_ ( n + 6 ) B, ( n + 7 ) A
	CSBL_ ( n + 17 ) B, ( n+18 ) A
CS9	CSBL_ ( n + 7 ) B, ( n + 8 ) A
	CSBL_ ( n + 20 ) B, ( n+21 ) A
CS10	CSBL_ ( n + 8 ) B, ( n + 9 ) A
	CSBL_ ( n + 19 ) B, ( n+20 ) A
CS11	CSBL_ ( n + 9 ) B, ( n+10 ) A
	CSBL_ ( n + 22 ) B, ( n+23 ) A
CS12	CSBL_ ( n + 10 ) B, ( n+11 ) A
	CSBL_ ( n + 21 ) B, ( n+22 ) A

但し  $n = 1, 25, 49, \dots$ 

【0241】

表5から、図33に示すCSバスラインの接続は、

CSBL\_ ( p ) B, ( p + 1 ) A

と

CSBL\_ ( p + 13 ) B, ( p + 14 ) A

あるいは

CSBL\_ ( p + 1 ) B, ( p + 2 ) A

10

20

30

40

50

と

$$C S B L \_ ( p + 1 2 ) B , ( p + 1 3 ) A$$

但し、 $p = 1, 3, 5, \dots$  もしくは  $p = 0, 2, 4, \dots$

の組が電気的に等しい C S バスラインとなっている事がわかる。

#### 【0242】

これを、前述のパラメータ L, K を用いて示せば、任意の p について、

$$C S B L \_ ( p + 2 \times ( K - 1 ) ) B , ( p + 2 \times ( K - 1 ) + 1 ) A$$

と

$$C S B L \_ ( p + 2 \times ( K - 1 ) + K \times L + 1 ) B , ( p + 2 \times ( K - 1 ) + K \times L + 2 ) A$$

10

或いは、

$$C S B L \_ ( p + 2 \times ( K - 1 ) + 1 ) B , ( p + 2 \times ( K - 1 ) + 2 ) A$$

と

$$C S B L \_ ( p + 2 \times ( K - 1 ) + K \times L ) B , ( p + 2 \times ( K - 1 ) + K \times L + 1 ) A$$

の何れかで表される C S バスラインの組を電気的に等価にすれば良いことがわかる。但し、p は  $p = 1, 3, 5, \dots$  もしくは  $p = 0, 2, 4, \dots$  である。

#### 【0243】

まず、図 3 3 に示す C S 幹線の接続形態を有する液晶表示装置をドット反転駆動する場合、C S 電圧（電気的に独立な C S 幹線の数は 12）の位相と TFT がオフされる（ゲートがオフされるともいう。）タイミングとの関係は図 3 4 に示すようになる。TFT がオフされるタイミングは、ゲートオンパルス Pw の立ち下りで示している。ここで例示する C S 電圧は、ハイレベルとローレベルの 2 つのレベルからなる矩形波（デューティ比 1 : 1）を含んでいる。ドット反転駆動の場合、C S 電圧が有する振動波形（デューティ比が 1 : 1）の周期は  $2 \times K \times L \times H$  で表され、図 3 4 に示す場合 L = 12, K = 1 で 24H となる。なお、対向電極の電位 Vcom を基準にすると、典型的には C S 電圧のハイレベルは正極性、ローレベルは負極性であるので、ここで例示する C S 電圧のレベルの変化は、C S 電圧の極性変化を伴う。

20

#### 【0244】

図 3 4 に示すように、ドット反転駆動する場合、ゲートが順次 ON していく。すなわち、ゲートオンパルス Pw が 1H ずつ遅れて順次に印加されていく。例えば、ゲートバスライン G1 から供給される Pw1 によって書き込みのタイミングが制御される 1 行目の画素の第 1 副画素 SP-1 の補助容量には C S 電圧 CS1（図 3 3 の C S 幹線 CS1 から供給される C S 電圧を意味する。以下同様）が供給され、副画素 SP-2 の補助容量には C S 電圧 CS2 が供給される。また、ゲートバスライン G2 から供給される Pw2 によって書き込みのタイミングが制御される 2 行目の画素の第 1 副画素 SP-1 の補助容量には C S 電圧 CS2 が供給され、副画素 SP-2 の補助容量には C S 電圧 CS3 が供給される。このとき、Pw1 が立ち下がってから CS1 の振動波形が立ち上がるまでの時間を t1、Pw2 が立ち下がってから CS2 の振動波形が立ち下がるまでの時間を t2、Pw2 が立ち下がってから CS3 の振動波形が立ち上がるまでの時間を t3 とする。

30

#### 【0245】

一方、図 3 3 に示した C S 幹線の接続形態を有する液晶表示装置をブロック反転駆動する場合、C S 電圧（電気的に独立な C S 幹線の数は 12）の位相と TFT がオフされるタイミングとの関係は図 3 5 に示すようになる。ブロック反転駆動では C S 電圧が有する振動波形（デューティ比が 1 : 1）の周期は  $K \times L \times H$ （K は正の整数、L は電気的に独立な C S 幹線の数、H は一水平走査期間）で表され、図 3 5 に示す場合 L = 12, K = 1 で 12H となる。すなわち、ブロック反転駆動を行うと、奇数ラインと偶数ラインで飛び越し走査を行うので、TFT がオフされるタイミング（Pw が立ち下がるタイミング）と C S 電圧のレベルが切り替わるタイミングとの差が小さくなる。

40

#### 【0246】

50

例えば、図35において、Pw2が立ち下がってからCS2の振動波形が立ち下がるまでの時間をt4、Pw2が立ち下がってからCS3の振動波形が立ち上がるまでの時間をt5とする。図34と図35とを比較すると、TFTがオフされた後にCS電圧の電圧レベルが最初に変化するまでの時間は、ドット反転駆動(図34)では、最大2H(t3-t2)異なるのに対し、ブロック反転駆動(図35)では、最大1H(t5-t4)であり、ブロック反転駆動の方が上記の時間の差が1H少ない。このように、ブロック反転駆動を行うと、ゲート信号電圧がハイからローに変化した時点からCS電圧のレベルが最初に変化するまでの時間の画素行による差がドット反転駆動の場合よりも小さくなる。ブロック反転駆動することで上記の差が小さくなるので、CS電圧のレベル変化による突き上げ突き下げ電圧を受けた画素電圧の1フレーム期間(1F)にわたっての実効値の各行の差を小さくでき、輝度むらを防止できる。

#### 【0247】

また、ブロック反転駆動を行う場合、CS電圧の振動波形の周期はドット反転駆動の場合の半分となる。従って、CS幹線の数(すなわちCS電圧の種類)を増やすずに、CS電圧の振動の周期を長くするために、図36に示すようなCS幹線の接続形態を採用することができる。

#### 【0248】

図36に示すCS幹線の接続形態は、L=12、K=2でCS幹線と各CSバスラインとの接続周期が48本の場合である。

#### 【0249】

図36を見ると、各CSバスラインはCS1～CS12の12本のCS幹線のいずれかに接続されている。また、各CSバスラインは、互いに異なる画素に属し且つ列方向に隣接する2つの副画素に共通に関連付けられている。すなわち、各CSバスラインは、互いに異なる画素に属し且つ列方向に隣接する2つの副画素のそれぞれの補助容量対向電極に接続されている。

#### 【0250】

具体的にみると、第1行の画素の上側の副画素SP-1の補助容量対向電極が接続されているCSバスラインはCS幹線CS1に接続されており、第1行の画素の下側の副画素SP-2の補助容量対向電極が接続されているCSバスラインはCS幹線CS2に接続されている。第2行の画素の上側の副画素SP-1の補助容量対向電極が接続されているCSバスラインは、第1行の画素の下側の副画素SP-2の補助容量対向電極が接続されているCSバスラインと同じ(共通)である。第2行の画素の下側の副画素SP-2の補助容量対向電極が接続されているCSバスラインはCS幹線CS1に接続されており、これは、第3行の画素の上側の副画素SP-1の補助容量対向電極が接続されているCSバスラインと共にである。第4行の画素の上側の副画素SP-1の補助容量対向電極が接続されているCSバスラインは、第3行の画素の下側の副画素SP-2の補助容量対向電極が接続されているCSバスラインと同じ(共通)である。第4行の画素の下側の副画素SP-2の補助容量対向電極が接続されているCSバスラインはCS幹線CS3に接続されており、これは、第5行の画素の上側の副画素SP-1の補助容量対向電極が接続されているCSバスラインと共にである。CSバスラインが接続されるCS幹線は、CSバスラインの1行目から順に、CS1、CS2、CS1、CS2、CS3、CS4、CS3、CS4、CS5…となっている。

#### 【0251】

この後、第25行の画素の上側の副画素SP-1の補助容量対向電極が接続されているCSバスラインはCS幹線CS2に接続されており、第25行の画素の下側の副画素SP-2の補助容量対向電極が接続されているCSバスラインはCS幹線CS1に接続されている(ここから不図示)。第26行の画素の上側の副画素SP-1の補助容量対向電極が接続されているCSバスラインは、第25行の画素の下側の副画素SP-2の補助容量対向電極が接続されているCSバスラインと同じ(共通)である。第26行の画素の下側の副画素SP-2の補助容量対向電極が接続されているCSバスラインはCS幹線CS2に

10

20

30

40

50

接続されており、これは、第27行の画素の上側の副画素S P - 1の補助容量対向電極が接続されているC Sバスラインと共通である。第28行の画素の上側の副画素S P - 1の補助容量対向電極が接続されているC Sバスラインは、第27行の画素の下側の副画素S P - 2の補助容量対向電極が接続されているC Sバスラインと同じ（共通）である。第28行の画素の下側の副画素S P - 2の補助容量対向電極が接続されているC SバスラインはC S幹線C S 4に接続されており、これは、第29行の画素の上側の副画素S P - 1の補助容量対向電極が接続されているC Sバスラインと共通である。C Sバスラインが接続されるC S幹線は、C Sバスラインの25行目から順に、C S 2、C S 1、C S 2、C S 1、C S 4、C S 3、C S 4、C S 3、C S 6・・・となっている。

【0252】

10

上述したC Sバスラインの接続形態は48本のC Sバスラインを1周期とする周期性を有している。この接続形態を表6にまとめる。表6において、C S幹線C S 1に接続されるC Sバスラインとして、C SBL (n - 1) B, (n) AとC SBL (n + 12) B, (n + 13) Aと記載している。ここで、C SBL (n - 1) B, (n) Aは、n - 1行の画素のB副画素（下側副画素）およびn行の画素のA副画素（上側副画素）に関連付けられたC Sバスラインを表しており、C SBL (n + 12) B, (n + 13) Aは、n + 12行の画素のB副画素（下側副画素）およびn + 13行の画素のA副画素（上側副画素）に関連付けられたC Sバスラインを表している。nは、1、49、97・・・であり、n = 1の場合の最初の25本のC Sバスラインが図36に示されている。

【0253】

20

【表6】

 $L=12, K=2$ 

CS幹線	CS幹線に接続されるCSバスライン
CS1	CSBL_ ( n - 1 ) B, ( n ) A
	CSBL_ ( n + 1 ) B, ( n+ 2 ) A
	CSBL_ ( n+24 ) B, ( n+25 ) A
	CSBL_ ( n+26 ) B, ( n+27 ) A
CS2	CSBL_ ( n ) B, ( n+ 1 ) A
	CSBL_ ( n + 2 ) B, ( n+ 3 ) A
	CSBL_ ( n+23 ) B, ( n+24 ) A
	CSBL_ ( n+25 ) B, ( n+26 ) A
CS3	CSBL_ ( n + 3 ) B, ( n+ 4 ) A
	CSBL_ ( n + 5 ) B, ( n+ 6 ) A
	CSBL_ ( n+28 ) B, ( n+29 ) A
	CSBL_ ( n+30 ) B, ( n+31 ) A
CS4	CSBL_ ( n + 4 ) B, ( n+ 5 ) A
	CSBL_ ( n + 6 ) B, ( n+ 7 ) A
	CSBL_ ( n+27 ) B, ( n+28 ) A
	CSBL_ ( n+29 ) B, ( n+30 ) A
CS5	CSBL_ ( n + 7 ) B, ( n+ 8 ) A
	CSBL_ ( n + 9 ) B, ( n+10 ) A
	CSBL_ ( n+32 ) B, ( n+33 ) A
	CSBL_ ( n+34 ) B, ( n+35 ) A
CS6	CSBL_ ( n + 8 ) B, ( n+ 9 ) A
	CSBL_ ( n + 10 ) B, ( n+11 ) A
	CSBL_ ( n+31 ) B, ( n+32 ) A
	CSBL_ ( n+33 ) B, ( n+34 ) A
CS7	CSBL_ ( n + 11 ) B, ( n+12 ) A
	CSBL_ ( n + 13 ) B, ( n+14 ) A
	CSBL_ ( n+36 ) B, ( n+37 ) A
	CSBL_ ( n+38 ) B, ( n+39 ) A
CS8	CSBL_ ( n + 12 ) B, ( n+13 ) A
	CSBL_ ( n + 14 ) B, ( n+15 ) A
	CSBL_ ( n+35 ) B, ( n+36 ) A
	CSBL_ ( n+37 ) B, ( n+38 ) A
CS9	CSBL_ ( n + 15 ) B, ( n+16 ) A
	CSBL_ ( n + 17 ) B, ( n+18 ) A
	CSBL_ ( n+40 ) B, ( n+41 ) A
	CSBL_ ( n+42 ) B, ( n+43 ) A
CS10	CSBL_ ( n + 16 ) B, ( n+17 ) A
	CSBL_ ( n + 18 ) B, ( n+19 ) A
	CSBL_ ( n+39 ) B, ( n+40 ) A
	CSBL_ ( n+41 ) B, ( n+42 ) A
CS11	CSBL_ ( n + 19 ) B, ( n+20 ) A
	CSBL_ ( n + 21 ) B, ( n+22 ) A
	CSBL_ ( n+44 ) B, ( n+45 ) A
	CSBL_ ( n+46 ) B, ( n+47 ) A
CS12	CSBL_ ( n + 20 ) B, ( n+21 ) A
	CSBL_ ( n + 22 ) B, ( n+23 ) A
	CSBL_ ( n+43 ) B, ( n+44 ) A
	CSBL_ ( n+45 ) B, ( n+46 ) A

但し  $n = 1, 49, 97 \dots$ 

【0254】

表6から、図36に示すCSバスラインの接続は、

$$\begin{aligned} & CSBL\_ ( p ) B, ( p + 1 ) A \\ & CSBL\_ ( p + 2 ) B, ( p + 3 ) A, \end{aligned}$$

と

10

20

30

40

50

$C S B L \_ ( p + 25 ) B, ( p + 26 ) A,$   
 $C S B L \_ ( p + 27 ) B, ( p + 28 ) A$

或いは、

$C S B L \_ ( p + 1 ) B, ( p + 2 ) A,$   
 $C S B L \_ ( p + 3 ) B, ( p + 4 ) A$

と

$C S B L \_ ( p + 24 ) B, ( p + 25 ) A,$   
 $C S B L \_ ( p + 26 ) B, ( p + 27 ) A$

但し、 $p = 1, 3, 5, \dots$  もしくは  $p = 0, 2, 4, \dots$

の組が電気的に等しい CS バスラインとなっている事がわかる。

10

### 【0255】

これを、前述のパラメータ  $L, K$  を用いて示せば、任意の  $p$  について

$C S B L \_ ( p + 2 \times (1 - 1) ) B, ( p + 2 \times (1 - 1) + 1 ) A$   
 $C S B L \_ ( p + 2 \times (K - 1) ) B, ( p + 2 \times (K - 1) + 1 ) A$

と

$C S B L \_ ( p + 2 \times (1 - 1) + K \times L + 1 ) B, ( p + 2 \times (1 - 1) + K \times L + 2 ) A$

$C S B L \_ ( p + 2 \times (K - 1) + K \times L + 1 ) B, ( p + 2 \times (K - 1) + K \times L + 2 ) A$

或いは、

$C S B L \_ ( p + 2 \times (1 - 1) + 1 ) B, ( p + 2 \times (1 - 1) + 2 ) A$

、

$C S B L \_ ( p + 2 \times (K - 1) + 1 ) B, ( p + 2 \times (K - 1) + 2 ) A$

と

$C S B L \_ ( p + 2 \times (1 - 1) + K \times L ) B, ( p + 2 \times (1 - 1) + K \times L + 1 ) A$

$C S B L \_ ( p + 2 \times (K - 1) + K \times L ) B, ( p + 2 \times (K - 1) + K \times L + 1 ) A$

の何れかで表される CS バスラインの組を電気的に等価にすれば良いことがわかる。但し  $p$  は  $p = 1, 3, 5, \dots$  もしくは  $p = 0, 2, 4, \dots$  である。

30

### 【0256】

上記では、パラメータ  $K$  及び  $L$  に関して、 $K = 1, L = 12$  および  $K = 2, L = 12$  の場合について述べたが、本発明を好適に適用できる CS バスラインの接続形態はこれに限定されない。 $K$  の値は正の整数、即ち  $K = 1, 2, 3, 4, 5, 6, 7, 8, 9, \dots$  であればよく、 $L$  の値は偶数、即ち  $L = 2, 4, 6, 8, 10, 12, 14, 16, 18, \dots$  であればよく、且つ  $K$  及び  $L$  は前記それぞれの範囲から独立に設定することが出来る。

### 【0257】

この場合の CS 幹線と CS バスラインの接続については前述の規則に従えばよい。

### 【0258】

即ち、前記パラメータ  $K, L$  の値がそれぞれ  $K, L$  のとき ( $K = K, L = L$ )、同一の幹線に接続される CS バスライン、即ち、電気的に等価の CS バスラインを

$C S B L \_ ( p + 2 \times (1 - 1) ) B, ( p + 2 \times (1 - 1) + 1 ) A$

$C S B L \_ ( p + 2 \times (2 - 1) ) B, ( p + 2 \times (2 - 1) + 1 ) A$

$C S B L \_ ( p + 2 \times (3 - 1) ) B, ( p + 2 \times (3 - 1) + 1 ) A$

•

•

•

$C S B L \_ ( p + 2 \times (K - 1) ) B, ( p + 2 \times (K - 1) + 1 ) A$

と、

50

$C S B L \_ ( p + 2 \times (1 - 1) + K \times L + 1 ) B, ( p + 2 \times (1 - 1) + K \times L + 2 ) A,$

$C S B L \_ ( p + 2 \times (2 - 1) + K \times L + 1 ) B, ( p + 2 \times (2 - 1) + K \times L + 2 ) A,$

$C S B L \_ ( p + 2 \times (3 - 1) + K \times L + 1 ) B, ( p + 2 \times (3 - 1) + K \times L + 2 ) A,$

.

.

.

$C S B L \_ ( p + 2 \times (K - 1) + K \times L + 1 ) B, ( p + 2 \times (K - 1) + K \times L + 2 ) A$  10

或いは

$C S B L \_ ( p + 2 \times (1 - 1) + 1 ) B, ( p + 2 \times (1 - 1) + 2 ) A$

,

$C S B L \_ ( p + 2 \times (2 - 1) + 1 ) B, ( p + 2 \times (2 - 1) + 2 ) A$

,

$C S B L \_ ( p + 2 \times (3 - 1) + 1 ) B, ( p + 2 \times (3 - 1) + 2 ) A$

,

.

.

.

$C S B L \_ ( p + 2 \times (K - 1) + 1 ) B, ( p + 2 \times (K - 1) + 2 ) A$  20  
と

$C S B L \_ ( p + 2 \times (1 - 1) + K \times L ) B, ( p + 2 \times (1 - 1) + K \times L + 1 ) A,$

$C S B L \_ ( p + 2 \times (2 - 1) + K \times L ) B, ( p + 2 \times (2 - 1) + K \times L + 1 ) A,$

$C S B L \_ ( p + 2 \times (3 - 1) + K \times L ) B, ( p + 2 \times (3 - 1) + K \times L + 1 ) A,$

.

30

.

.

$C S B L \_ ( p + 2 \times (K - 1) + K \times L ) B, ( p + 2 \times (K - 1) + K \times L + 1 ) A$

とすれば良い。但し  $p$  は  $p = 1, 3, 5, \dots$  もしくは  $p = 0, 2, 4, \dots$  である。

### 【0259】

更に、前記パラメータ  $K, L$  の値がそれぞれ  $K, L$  のとき ( $K = K, L = L$ )、 $C S$  バスラインに印加する振動電圧の振動の周期は水平走査時間の  $2 \times K \times L$  倍とすれば良い。

### 【0260】

図36に示すように各  $C S$  バスラインと  $C S$  幹線とを接続すると、ドット反転駆動を行う場合の、 $TFT$  がオフされるタイミングと  $C S$  電圧の位相との関係は例えば図37に示すようになる。図37を図34と比較すれば明らかのように、ドット反転駆動の場合においても、図36の接続形態を採用することによって、 $C S$  電圧の振動波形の周期を長くすることができる。しかしながら、この場合、 $TFT$  がオフされた後に  $C S$  電圧レベルが最初に変化するまでの時間は、最大  $4H$  ( $t'5 - t'4$ ) となる。

### 【0261】

このような時間のずれ (2H超のずれ) は、副画素に印加される電圧の実効値の違いとなり、結果的には、輝度の違いとして現れる。図39は、図36に示す  $C S$  幹線の接続形態を有する液晶表示装置をドット反転駆動することによって全面に中間調を表示したとき

40

50

のあるフレームの表示状態を模式的に示す図であり、図39に示すような4ライン幅でグラデーションのかかった横スジとなる。すなわち、各副画素行においてTFTがオフされてからCS電圧の電圧レベルが最初に変化するまでの時間が異なると、CS電圧の振動波形が、1フレーム期間において、Hレベルをとる期間とLレベルをとる期間との割合が1:1からずれるので、副画素に印加される電圧に対する突き上げまたは突き下げの影響が実効値として異なるためである。図40(a)~(d)を参照して簡単に理由を説明する。

#### 【0262】

図40は、TFTがオフされてからCS電圧の電圧レベルが最初に変化するまでの時間が異なる場合のゲートオンパルスとCS電圧の振動波形との関係を模式的に示している。  
(a)は、TFTがオフされた直後にCS電圧の電圧レベルが変化する場合、(b)はTFTがオフされてからCS電圧の電圧レベルが最初に変化するまでの時間が1Hの場合、(c)はTFTがオフされてからCS電圧の電圧レベルが最初に変化するまでの時間が2Hの場合、(d)はTFTがオフされてからCS電圧の電圧レベルが最初に変化するまでの時間が3Hの場合をそれぞれ示している。

10

#### 【0263】

ここで、(a)と(b)を比較すると、(b)のa2部の左斜線ハッチングに示すようにCS信号のLレベル期間が1H増加し、b2部の右斜線ハッチングに示すようにCS信号のHレベルが1H減少している。同様に、(a)と(c)とを比較すると、(c)のa3部においてCS信号のLレベルが2H増加し、b3部においてHレベルが2H減少している。(a)と(d)とを比較すると、a4部ではCS信号のLレベルが3H増加し、b4部ではHレベルが3H減少している。

20

#### 【0264】

したがって、1フレーム期間(1F)におけるCS電圧の実効値の増加比率は、(Lレベル増加時間+Hレベル減少時間)/(1F期間)で表され、具体的には1フレームが1125H( $=Nv - tota1$ )の場合、図40中の(b)のとき $(1H + 1H) / 1125H = 0.0018$ 、(c)のとき $(2H + 2H) / 1125H = 0.0036$ 、(d)のとき $(3H + 3H) / 1125H = 0.0053$ となる。

#### 【0265】

このようにCS電圧の1フレーム期間の実効値が異なるため、画素に印加される電圧の1フレーム期間の実効値にも差が生じる結果、図39に示すようなグラデーションのかかった横筋が現れる。

30

#### 【0266】

一方、ブロック反転駆動を行うと、図38に示すように、CS電圧の振動波形の周期が図37に比べ短くなるが、図35に比べると長くなる。ブロック反転駆動ではCS電圧が有する振動波形(デューティ比が1:1)の周期は $K \times L \times H$ (Kは正の整数、Lは電気的に独立なCS幹線の数、Hは一水平走査期間)で表され、図38に示す場合 $L = 12$ 、 $K = 2$ で $24H$ となる。また、TFTがオフされてからCS電圧の電圧レベルが最初に変化するまでの時間は最大で $2H(t'8 - t'7)$ であり、これまでの評価結果から、輝度むらとして視認されない。

40

#### 【0267】

このように、図36に示したCS幹線の接続形態とブロック反転駆動とを組み合わせると、CS幹線の数を増やすことなくCS電圧の振動波形の周期を長くできるとともに、ゲートがオフされてからCS信号の電圧レベルが最初に変化するまでの時間のばらつきが小さくなるので、CS電圧の到達度の差やCS信号の実効値の差に起因する輝度むらの発生が抑制されるという利点が得られる。上記理由から高周波駆動や高解像度の液晶表示装置に適している。なお、1フレーム期間に含まれる水平走査期間の数( $Nv - tota1$ )が少ないと、上記時間の差が $2H$ であっても、輝度むらとして視認される可能性があるが、この場合は、図33に示したCS幹線の接続形態を採用し図35を参照して説明したようなブロック反転駆動を行えばよい。

50

**【0268】**

上記の実施形態においては、ドメイン規制手段として画素電極のスリットと対向電極のスリットとの組み合わせを用いた例を示したが、本発明はこれに限られず、画素電極のスリットと対向電極のスリットとの組み合わせを用いた液晶表示装置（特に、PVA：Patterned Vertical Alignment方式と呼ばれることがある。）にも適用できるし、さらには、CPA（Continuous Pinwheel Alignment）モードなど他のVAモードの液晶表示装置にも適用できる。

**【0269】**

また、ここでは、ソースバスラインの延設方向が列方向（表示画面の垂直方向）であり、ゲートバスラインの延設方向が行方向（表示画面の水平方向）である例を説明したが、本発明による実施形態はこれに限られず、例えば、表示画面を90°回転した液晶表示装置も本発明による実施形態に含まれることは言うまでもない。

10

**【産業上の利用可能性】****【0270】**

本発明の液晶表示装置およびその駆動方法は、液晶テレビ等の高品位の表示が求められる用途に好適に用いられる。

**【符号の説明】****【0271】**

100 液晶表示装置

20

110 液晶パネル

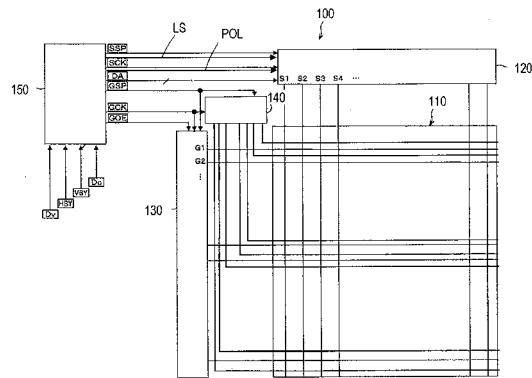
120 ソースドライバ

130 ゲートドライバ

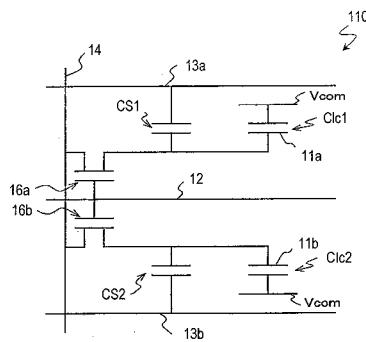
140 CSコントロール回路

150 表示制御回路

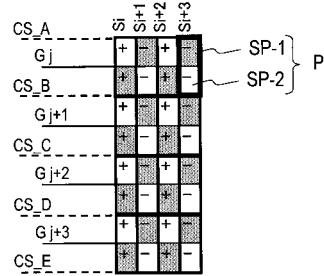
【図1】



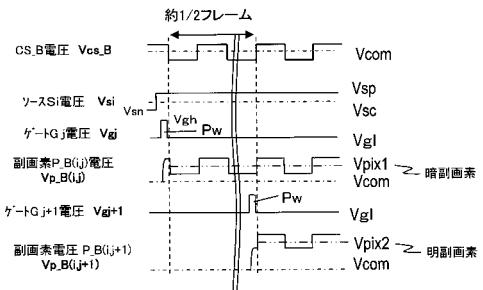
【図2】



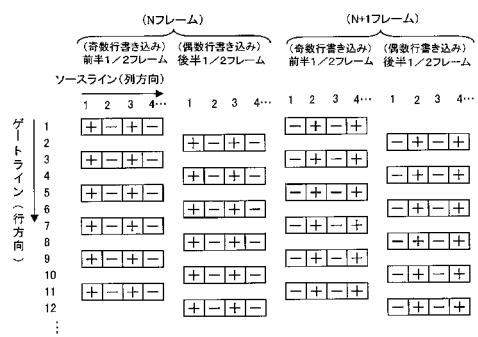
【図3】



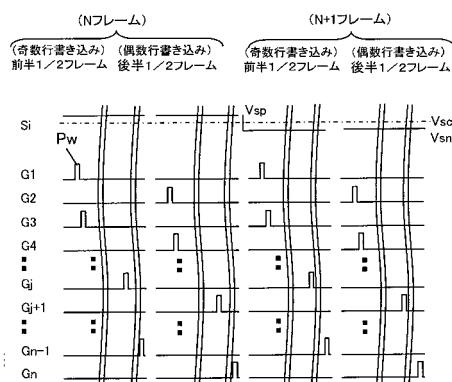
【図4】



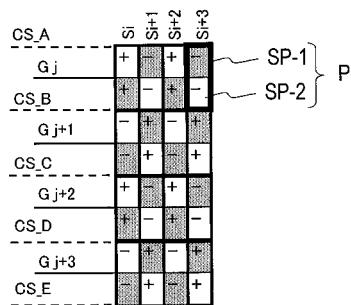
【図5 A】



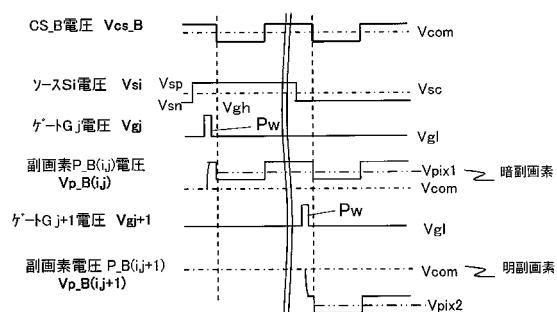
【図5 B】



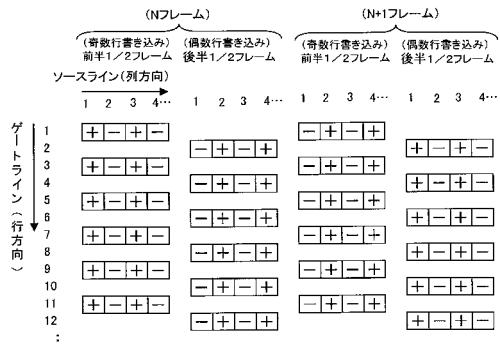
【図6】



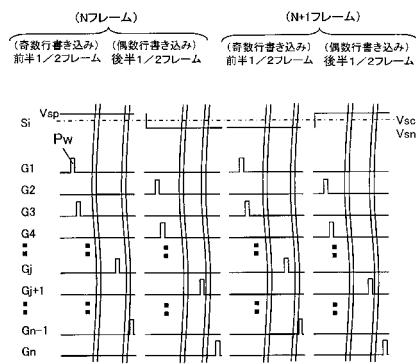
【図7】



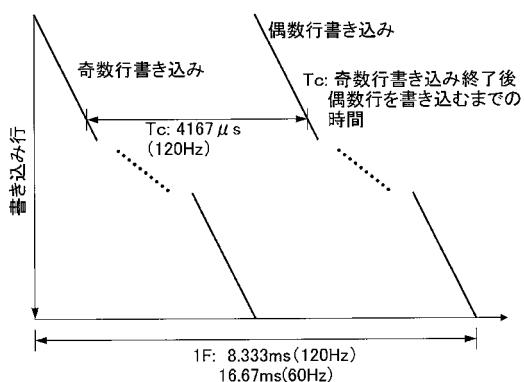
【図 8 A】



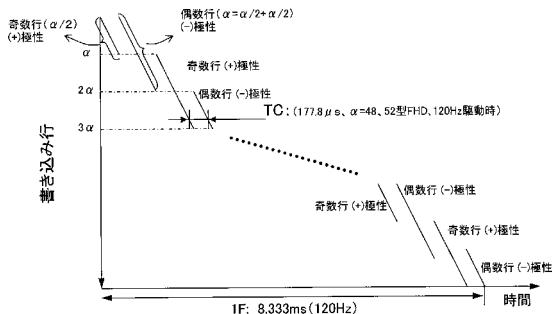
【図 8 B】



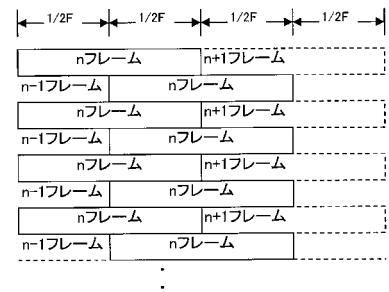
【図 11】



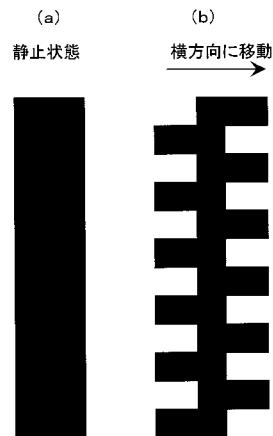
【図 12】



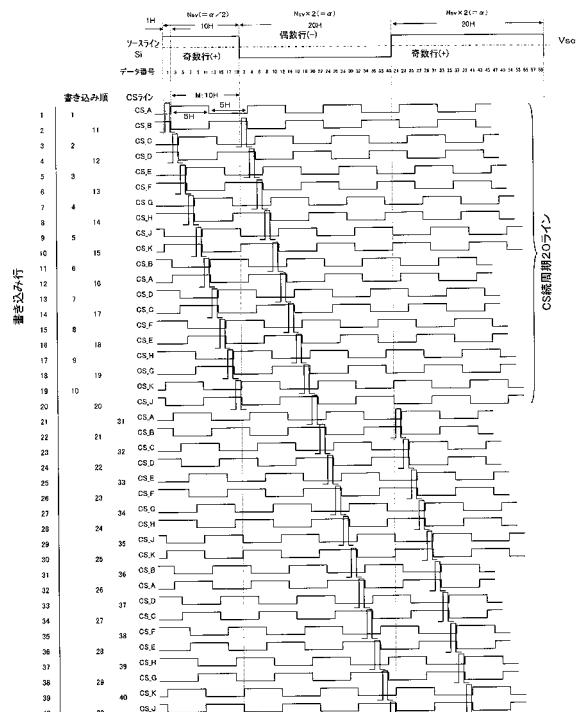
【図 9】



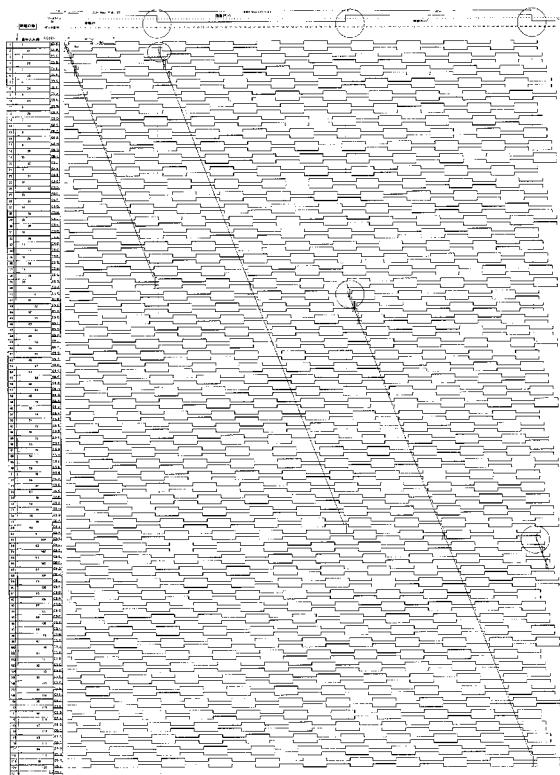
【図 10】



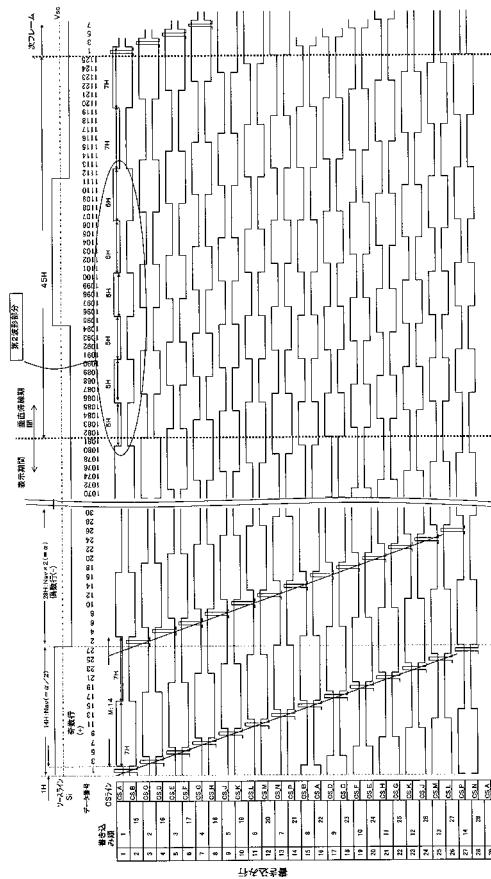
【図 13 A】



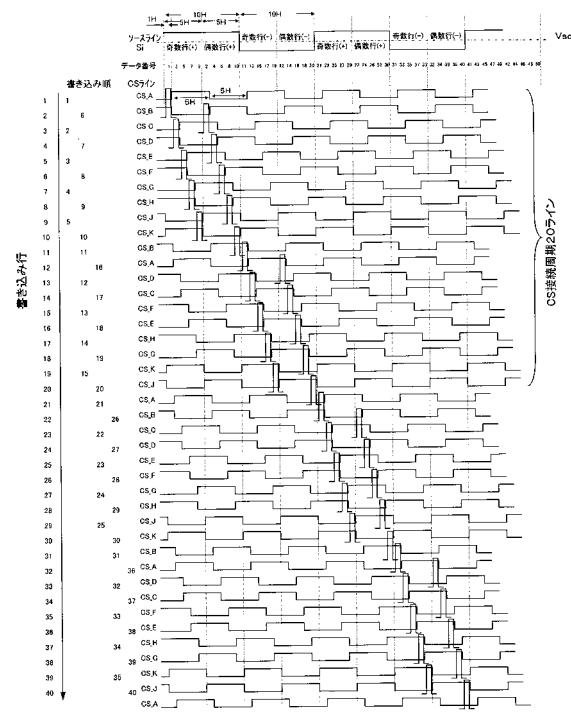
【図13B】



【図13C】



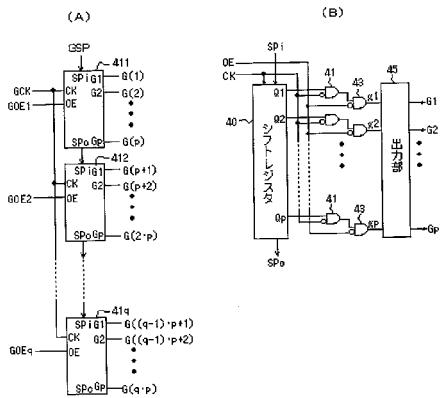
【図14A】



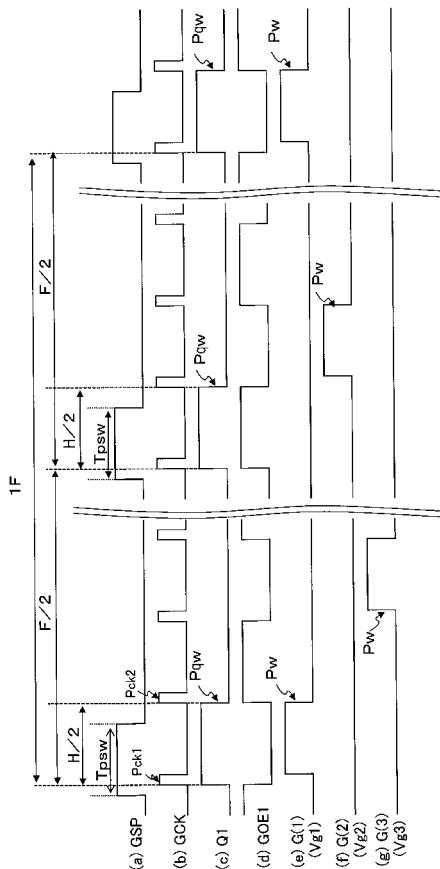
【図14B】

		SP-1	SP-2
CS_A	G1	+	+
CS_B		-	-
CS_C	G2	+	+
CS_D		-	-
CS_E	G3	+	+
CS_F		-	-
CS_G	G4	+	+
CS_H		-	-
CS_I	G5	+	+
CS_J		-	-
CS_K	G6	+	+
CS_L		-	-
CS_M	G7	+	+
CS_N		-	-
CS_O	G8	+	+
CS_P		-	-
CS_Q	G9	+	+
CS_R		-	-
CS_S	G10	+	+
CS_T		-	-
CS_U	G11	+	+
CS_V		-	-
CS_W	G12	-	+
CS_X		-	-
CS_Y	G13	-	+
CS_Z		-	-
CS_A	G14	-	+
CS_B		-	-
CS_C	G15	-	+
CS_D		-	-
CS_E	G16	-	+
CS_F		-	-
CS_G	G17	-	+
CS_H		-	-
CS_I	G18	-	+
CS_J		-	-
CS_K	G19	-	+
CS_L		-	-
CS_M	G20	-	+
CS_N		-	-

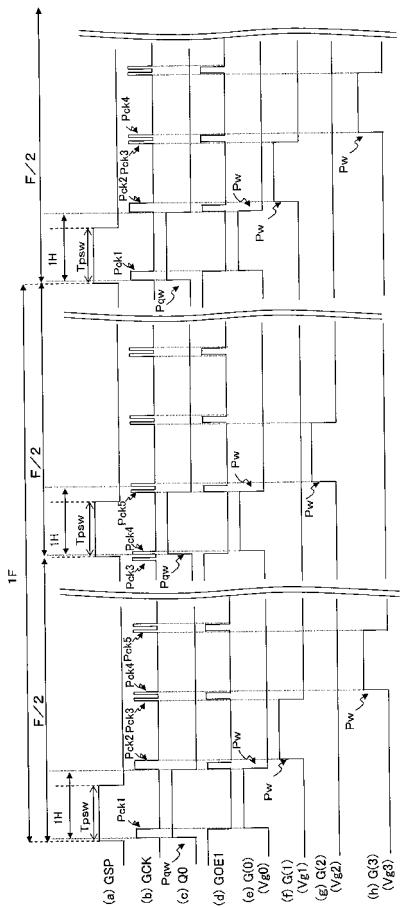
【図15】



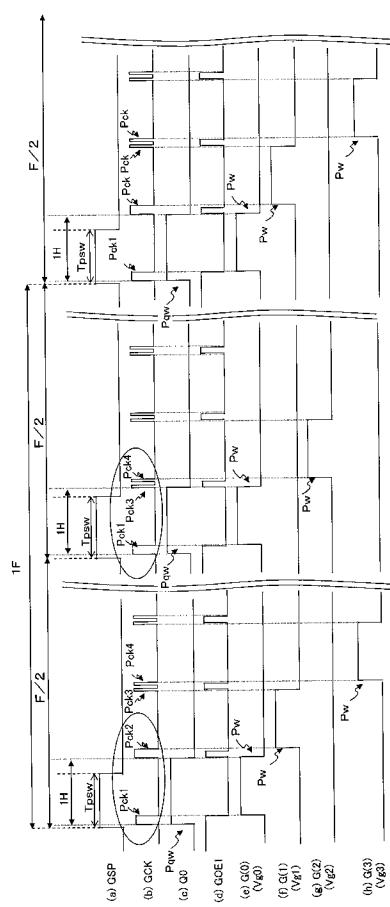
【図16】



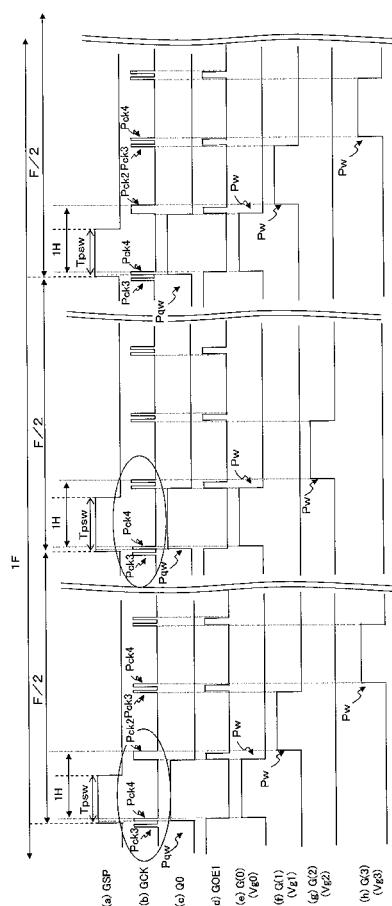
【図17】



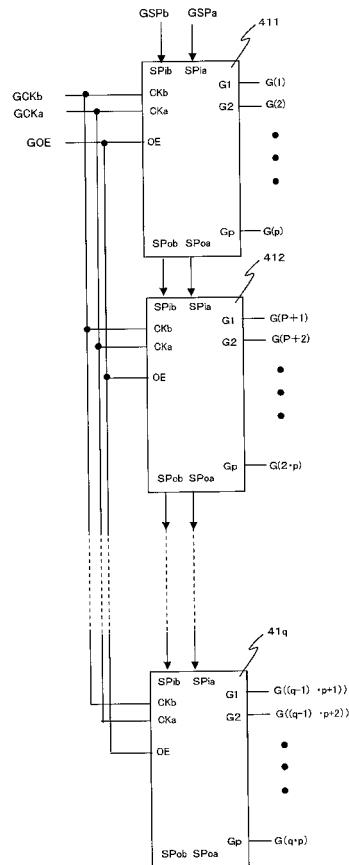
【図18】



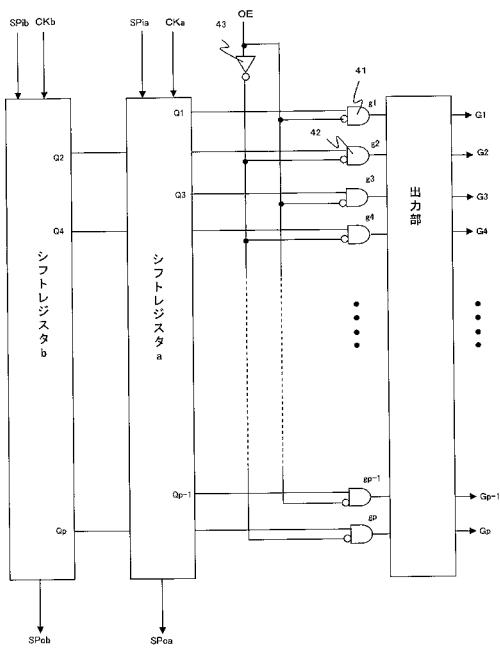
【図19】



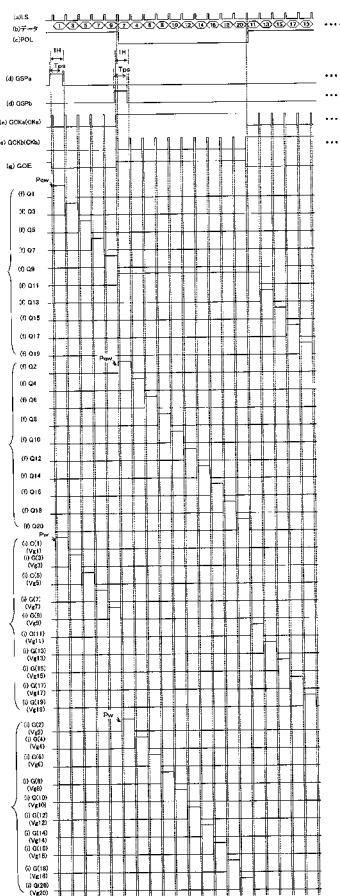
【図20】



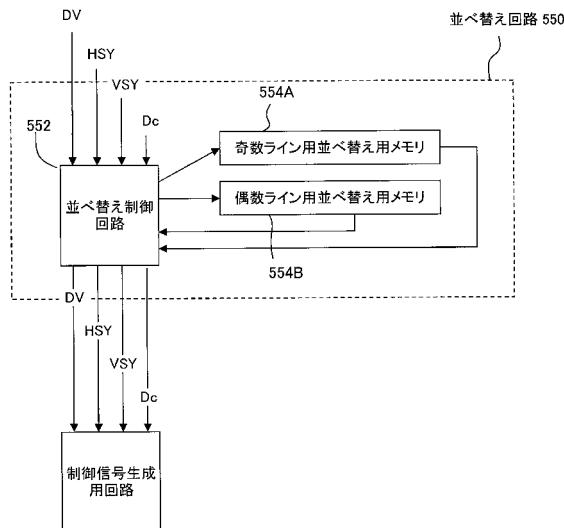
【図21】



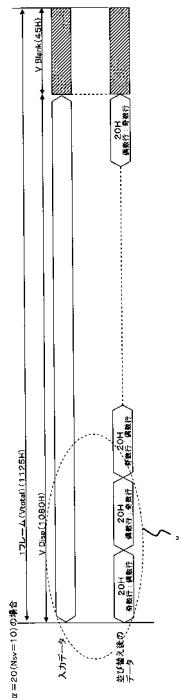
【図22】



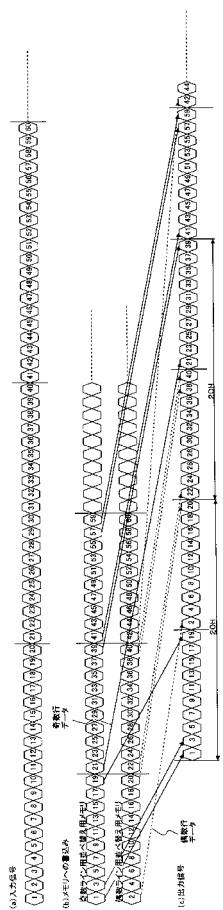
【図23】



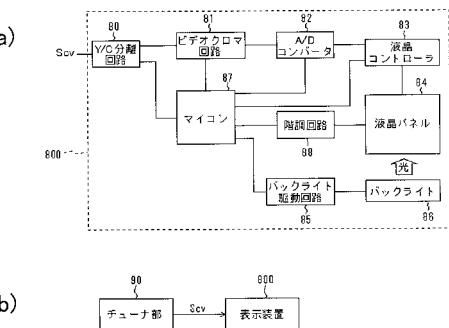
【図24 A】



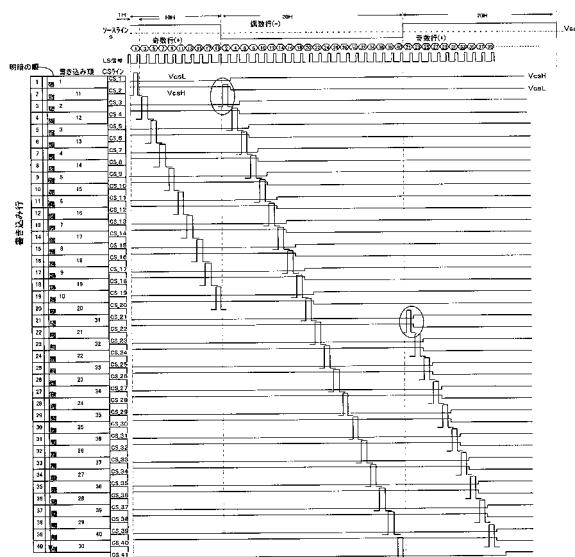
【図24 B】



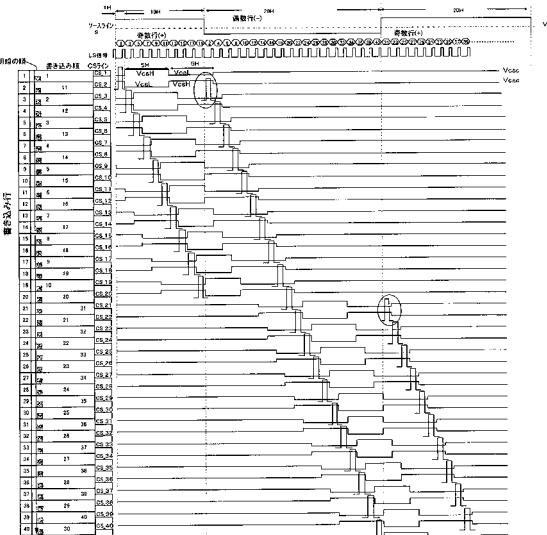
【図25】



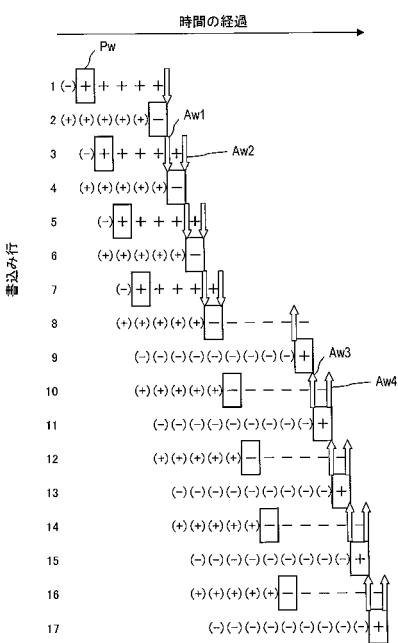
【図26】



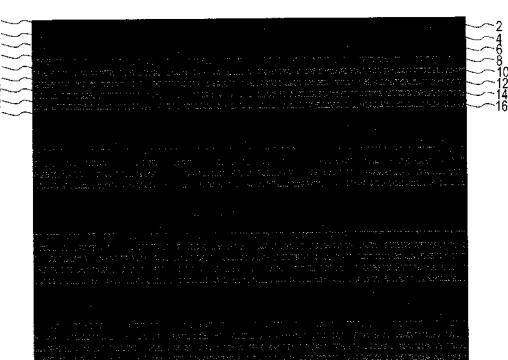
【図27】



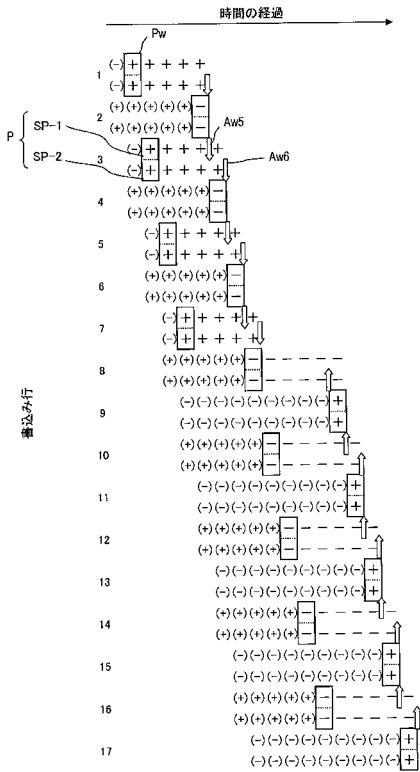
【図28】



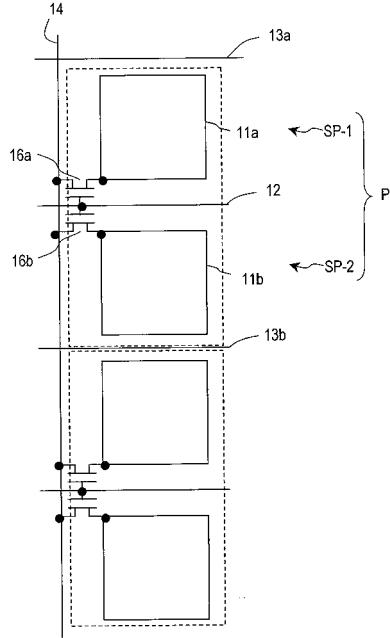
【図29】



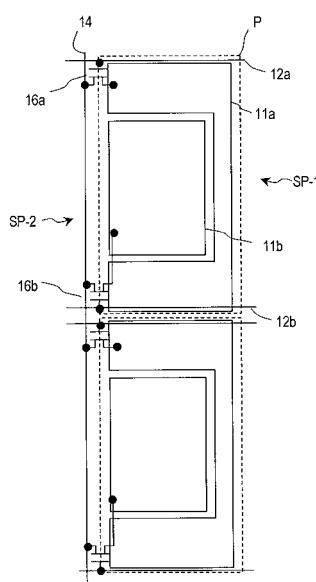
【図30】



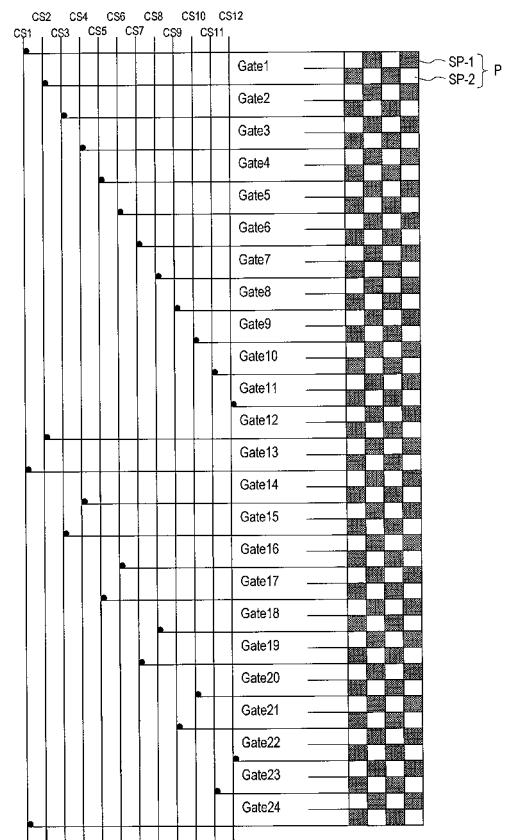
【図31】



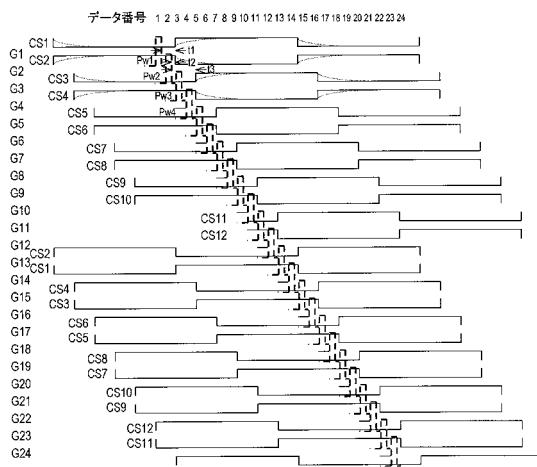
【図32】



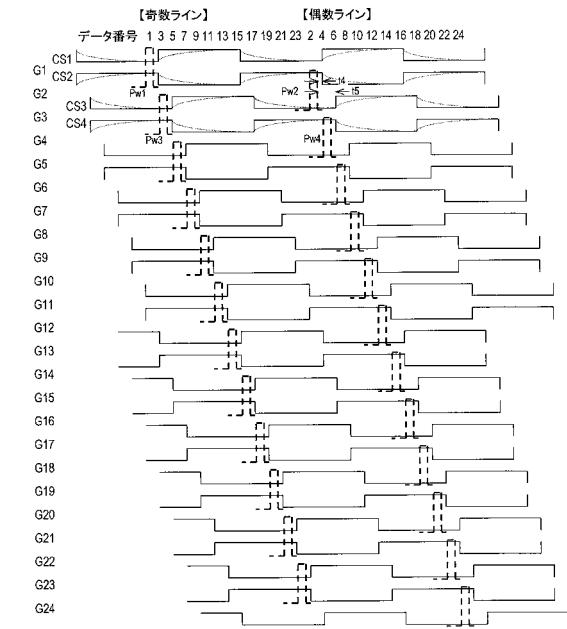
【図33】



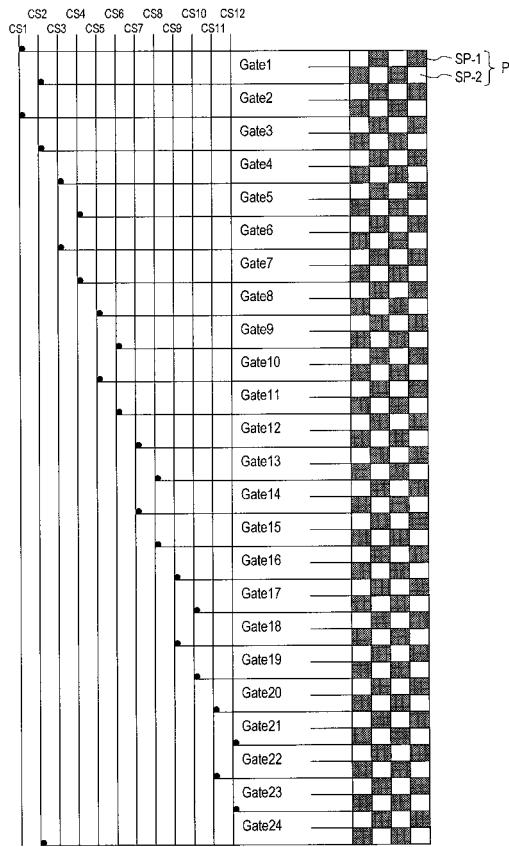
【図34】



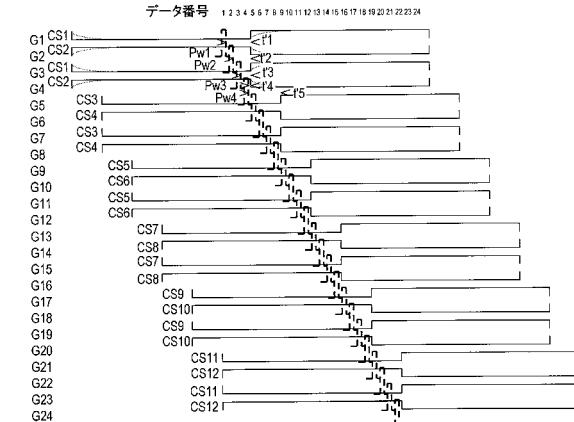
【図35】



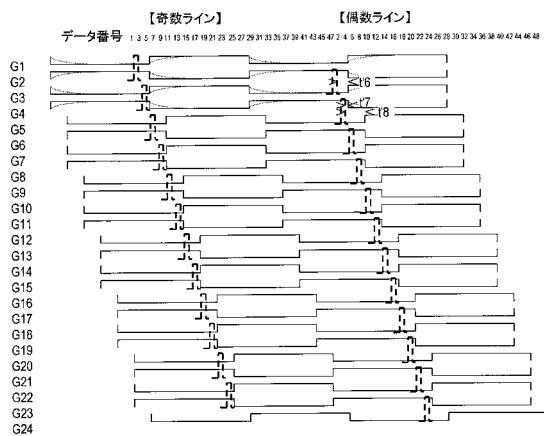
【図36】



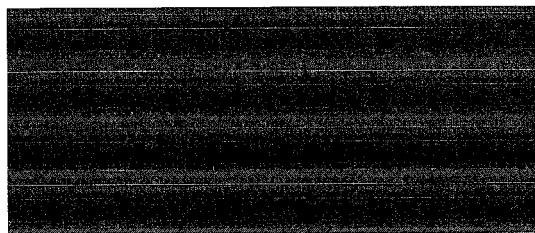
【図37】



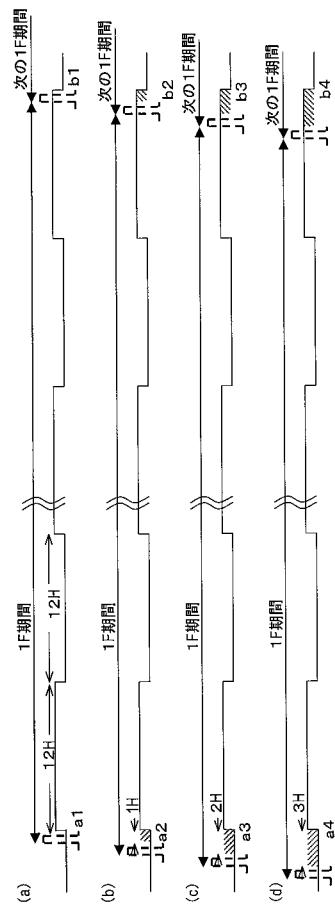
【図 3 8】



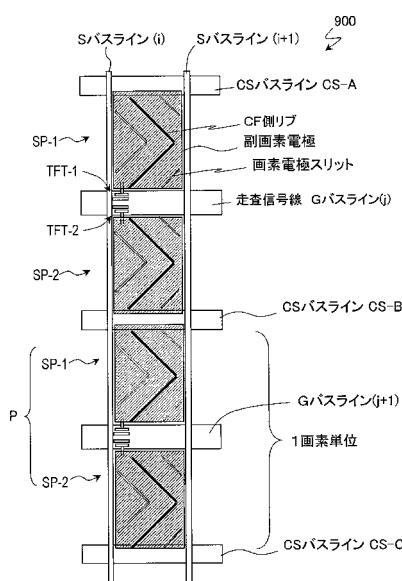
【図 3 9】



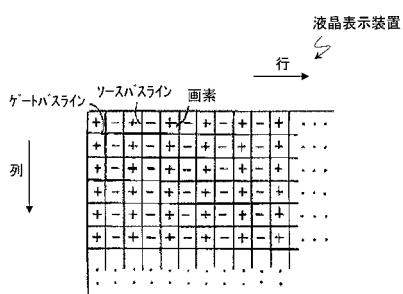
【図 4 0】



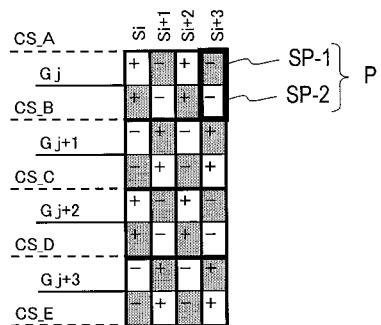
【図 4 1】



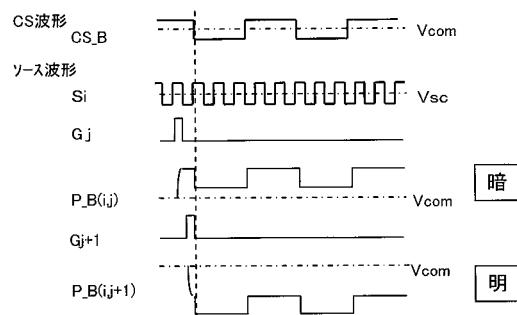
【図 4 2】



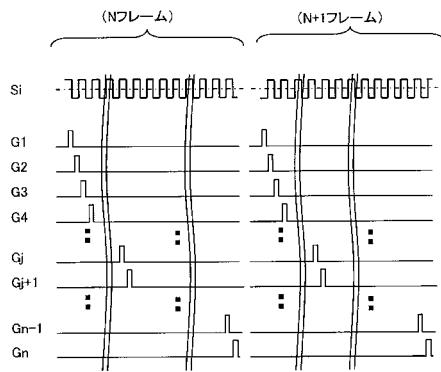
【図 4 3】



【図44】



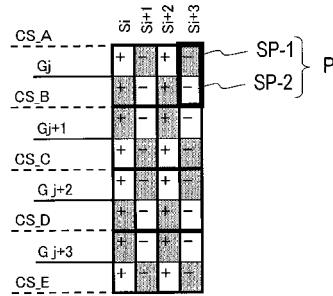
【図45B】



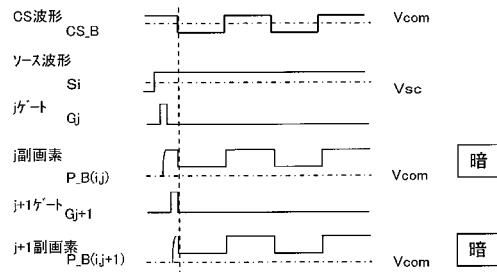
【図45A】

	(Nフレーム)	(N+1フレーム)
1	+ - + -	- + - +
2	- + - +	+ - + -
3	+ - + -	- + - +
4	- + - +	+ - + -
5	+ - + -	- + - +
6	- + - +	+ - + -
7	+ - + -	- + - +
8	- + - +	+ - + -
9	+ - + -	- + - +
10	- + - +	+ - + -
11	+ - + -	- + - +
12	- + - +	+ - + -

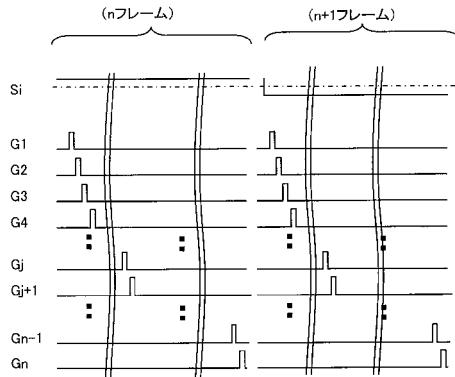
【図46】



【図47】



【図48B】



【図48A】

	(Nフレーム)	(N+1フレーム)
1	+ - + -	- + - +
2	- + - +	+ - + -
3	+ - + -	- + - +
4	- + - +	+ - + -
5	+ - + -	- + - +
6	- + - +	+ - + -
7	+ - + -	- + - +
8	- + - +	+ - + -
9	+ - + -	- + - +
10	- + - +	+ - + -
11	+ - + -	- + - +
12	- + - +	+ - + -

---

 フロントページの続き

(51) Int.CI.

F I

G 0 9 G	3/20	6 2 2 M
G 0 9 G	3/20	6 5 0 E
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 1 1 D
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 4 1 R
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5
G 0 2 F	1/133	5 7 5
H 0 4 N	5/66	1 0 2 B

(72) 発明者 北山 雅江

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 下敷領 文一

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 入江 健太郎

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 津幡 俊英

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 山田 直

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 中川 英俊

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

審査官 一宮 誠

(56) 参考文献 特開2001-013928 (JP, A)

特開2003-215538 (JP, A)

特開2004-054295 (JP, A)

特開2004-062146 (JP, A)

特開2006-221182 (JP, A)

特開2006-171342 (JP, A)

(58) 調査した分野(Int.CI., DB名)

G09G 3/00 - 3/38

G02F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP4943505B2</a>	公开(公告)日	2012-05-30
申请号	JP2009513992	申请日	2008-04-22
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	北山雅江 下敷領文一 入江健太郎 津幡俊英 山田直 中川英俊		
发明人	北山 雅江 下敷領 文一 入江 健太郎 津幡 俊英 山田 直 中川 英俊		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/3677 G02F1/133707 G02F1/134336 G02F1/1362 G02F1/1368 G02F2001/134345 G02F2201 /122 G02F2201/123 G09G3/2077 G09G3/3614 G09G3/3655 G09G3/3666 G09G3/3688 G09G2300 /0413 G09G2300/0426 G09G2300/0443 G09G2300/0447 G09G2300/0876 G09G2310/0224 G09G2310 /0286 G09G2310/06 G09G2310/08 G09G2320/0233 G11C19/00		
FI分类号	G09G3/36 G09G3/20.641.G G09G3/20.624.E G09G3/20.621.B G09G3/20.622.N G09G3/20.622.M G09G3/20.650.E G09G3/20.623.U G09G3/20.624.D G09G3/20.622.D G09G3/20.680.G G09G3/20.611.A G09G3/20.642.A G09G3/20.611.E G09G3/20.611.D G09G3/20.622.Q G09G3/20.641.R G02F1/133.550 G02F1/133.525 G02F1/133.575 H04N5/66.102.B		
代理人(译)	奥田诚治 三宅明子		
审查员(译)	一宫诚		
优先权	2007117606 2007-04-26 JP 2007262695 2007-10-05 JP		
其他公开文献	<a href="#">JPWO2008139693A1</a>		
外部链接	<a href="#">Espacenet</a>		

**摘要(译)**

每个像素包括第一和第二子像素。连接到第一和第二子像素的相应存储电容器的CS总线彼此电独立。CS电压具有至少每帧反转其极性的波形，其包括用于顺序扫描一系列奇数行的第一子帧(SF)和用于顺序扫描在第一SF期间已跳过的行的第二SF。源信号电压变化以具有两个具有彼此相反极性的帧或子帧。CS电压的波形对连接到第j扫描线的像素的子像素的有效电压具有完全相反的结果，该第j扫描线在第一子帧期间被选择，并且与连接到(j+1)的像素的另一子像素的有效电压相反)。1)在第二子帧期间要选择的扫描线。以这种方式，可以最小化将源线反转驱动或块反转驱动应用于多像素技术时引起的显示质量的劣化。

The image displays a grid of 4 columns and 15 rows. Each row contains a unique binary pattern consisting of vertical black bars of varying widths on a white background. The patterns are separated by thin vertical lines representing column boundaries.