

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4850057号
(P4850057)

(45) 発行日 平成24年1月11日(2012.1.11)

(24) 登録日 平成23年10月28日(2011.10.28)

(51) Int.Cl.		F I	
GO2F	1/1368 (2006.01)	GO2F	1/1368
GO9F	9/30 (2006.01)	GO9F	9/30 338
GO9F	9/35 (2006.01)	GO9F	9/35
HO1L	29/786 (2006.01)	HO1L	29/78 618C
HO1L	21/336 (2006.01)	HO1L	29/78 627C

請求項の数 6 (全 19 頁)

(21) 出願番号	特願2006-351676 (P2006-351676)	(73) 特許権者	501426046
(22) 出願日	平成18年12月27日(2006.12.27)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2007-298947 (P2007-298947A)		ミテッド
(43) 公開日	平成19年11月15日(2007.11.15)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成19年1月12日(2007.1.12)		イドードン 20
(31) 優先権主張番号	10-2006-0040062	(74) 代理人	100094112
(32) 優先日	平成18年5月3日(2006.5.3)		弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100064447
			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、少なくとも二つの階段形状を有する、ポリシリコンからなる半導体層と、

半導体層を覆うゲート絶縁膜と、

ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極と、

前記半導体層と接触するソース電極及びドレイン電極と、

前記ドレイン電極と接触する画素電極とを含み、

前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と実質的に同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さであることを特徴とする液晶表示装置。

10

【請求項 2】

前記半導体層は、前記チャンネル部と前記オーミックコンタクト部との間に位置するLDD部をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、少なくとも二つの階段形状を有する、ポリシリコンからなる半導体層を形成する段階と、

半導体層を覆うゲート絶縁膜を形成する段階と、

20

ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極を形成する段階と

、
前記半導体層と接触するソース電極及びドレイン電極を形成する段階と、
前記ドレイン電極と接触する画素電極を形成する段階とを含み、
前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さであることを特徴とする液晶表示装置の製造方法。

【請求項 4】

前記少なくとも二つの階段形状を形成する段階は、
前記ポリシリコン層上にフォトレジストパターンを形成する段階と、
前記フォトレジストパターンを使用して、前記ポリシリコン層に対して第 1 ドライエッチングを行う段階と、
前記フォトレジストパターンをアッシングする段階と、
前記アッシングされたフォトレジストパターンを使用して、前記第 1 ドライエッチングされたポリシリコン層に対して第 2 ドライエッチングを行う段階とを含み、
前記第 1 ドライエッチング、アッシング、第 2 ドライエッチングは、少なくとも一度は繰り返すことを特徴とする請求項 3 に記載の液晶表示装置の製造方法。

10

【請求項 5】

前記オーミックコンタクト部を形成する段階は、前記少なくとも二つの階段を形成した後、前記ゲート電極をドーピングマスクとして使用して、 n^+ 又は p^+ に前記半導体層をドーピングする段階を含むことを特徴とする請求項 4 に記載の液晶表示装置の製造方法。

20

【請求項 6】

前記半導体層を形成する段階は、前記チャンネル部と前記オーミックコンタクト部との間に L D D 部を形成する段階をさらに含むことを特徴とする請求項 3 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、液晶表示装置及びその製造方法に関する。

【背景技術】

30

【0002】

最近、液晶表示装置は、消費電力が低く、携帯性が良好な技術集約的で付加価値の高い次世代の先端ディスプレイ装置として脚光を浴びている。

液晶表示装置は、薄膜トランジスタ (T F T) を含むアレイ基板とカラーフィルター基板との間に液晶を注入して、液晶の異方性による光の屈折率の差を利用して映像効果を得る非発光画像表示装置に当たる。

【0003】

現在は、薄膜トランジスタと画素電極が行列方式に配列された能動行列液晶表示装置 A M - L C D が解像度及び動画の具現能力が優れて最も注目を浴びている。薄膜トランジスタ素子としては、水素化された非晶質シリコン a - S i : H が主に利用されるが、これは

40

【0004】

ところが、水素化された非晶質シリコン a - S i : H は、原子配列が無秩序であるために、弱い結合 (weak Si - Si bond) 及びダングリングボンド (dangling bond) が存在して、光の照射や電場の印加時、準安定状態に変化され薄膜トランジスタ素子として安全性が問題になって、電気的特性 (低い電界効果移動度 : $0.1 \sim 1.0 \text{ cm}^2 / \text{V s}$) が悪くて駆動回路として使用し難い。

【0005】

従って、一般的には、別途に製作された駆動素子を液晶パネルに連結して使用している。代表的な例として、駆動素子を T C P で製作して液晶パネルに付着して使用する。この

50

時、TCPは、PCBと液晶パネル間に付着して、PC基板から入力される信号を受けて液晶パネルに伝達する。

【0006】

ところが、駆動ICの実装費用が液晶表示装置の原価の殆どであって、液晶パネルの解像度が高くなって、アレイ基板のゲート配線及びデータ配線をTCPに連結する基板外部の패드ピッチが小さくなり、TCPボンディング自体が難しくなっている。

【0007】

従って、最近は、非晶質シリコンを利用した薄膜トランジスタより電界効果移動度等の優れた駆動素子として動作できるポリシリコンを半導体層とするポリシリコン薄膜トランジスタを備える液晶表示装置が提案されている。

10

【0008】

ポリシリコンは、非晶質シリコンa-Siに比べて電界効果移動度等の電気的特性が優れている。従って、ポリシリコンを利用してアレイ基板に直接駆動回路を形成することによって別途の駆動ICを付着しなくても良いために、費用が減少して実装も簡単になる。

【0009】

図1と図2は、各々従来のポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向と幅手方向に沿って切断した断面図である。

【0010】

図1と図2に示したように、基板15上にバッファ層18が形成されており、その上に、ポリシリコンで形成された半導体層23がスイッチング領域TrAに形成される。この時、スイッチング領域TrAの半導体層23は、一定な厚さを有して、中央の純粋ポリシリコンで構成されるチャンネル部23aと、チャンネル部23aの両側に不純物がドーピングされたオーミックコンタクト部23bを含む。オーミックコンタクト部23bがn型の不純物でドーピングされたn型のオーミックコンタクト部23bである場合、チャンネル部23aとn型のオーミックコンタクト部23bとの間に、低濃度不純物がドーピングされたLDD(lightly doped drain)部23cが形成される。

20

【0011】

半導体層23上にゲート絶縁膜28が全面に形成されており、ゲート絶縁膜28上に、半導体層23の中央のチャンネル部23aに対応するゲート電極35が形成される。

【0012】

ゲート電極35が形成されたゲート絶縁膜28上に、ゲート絶縁膜28より厚く形成されて、オーミックコンタクト部23bを各々露出させる半導体層コンタクトホール45a、45bを有する層間絶縁膜43が全面に形成される。層間絶縁膜43上に半導体層23、さらに正確には、半導体層23のうち、不純物がドーピングされ形成されたオーミックコンタクト部23bと各々接触して、相互に離隔するソース電極48及びドレイン電極53が形成される。

30

【0013】

ソース電極48及びドレイン電極53と露出された層間絶縁膜43上に、ドレイン電極53を露出させるドレインコンタクトホール63を有する保護層60が全面に形成される。保護層60上にドレインコンタクトホール63を通じてドレイン電極53と接触する画素電極65が形成される。

40

【0014】

前述した従来のアレイ基板において、半導体層23及びその上部に形成されたゲート絶縁膜28とゲート電極35の構造をより詳しく説明する。半導体層23は、純粋ポリシリコンで構成されたチャンネル部23aと不純物がドーピングされ形成されたオーミックコンタクト部23b及びLDD部23cが同一な厚さで形成される。さらに、半導体層23の端側、すなわち、エッジ部Aの側面がバッファ層18の表面に対して80°以上の高いテーパ角 θ_1 を有して、基板15に対して実質的に、垂直な状態で形成される。

【0015】

このような半導体層23の構造によって、その上部に比較的薄い厚さのゲート絶縁膜

50

28は、半導体層23のエッジ部Aの上部では、蒸着特性上、ステップカバレッジが悪い。従って、半導体層23のエッジ部Aに近接したゲート絶縁膜28は、半導体層23の段差を反映して、半導体層23の中央部Bに近接したゲート絶縁膜28の厚さ t_1 より薄い厚さ t_2 で形成される。

【0016】

このような構造に影響を受けて金属物質のスパッタリングによって形成されるゲート電極35また半導体層23のエッジ部Aに対応する部分での厚さ t_3 が他の部分での厚さ t_4 に比べて、薄く形成される。

【0017】

半導体層23のエッジ部Aで、その上部のゲート絶縁膜28とゲート電極35が他の部分に比べて薄い厚さ t_2 、 t_3 で形成されるので、フリンジ効果によって半導体層23のエッジ部Aで電界が強く形成され、これにより、チャンネル部23aの幅手方向に沿って強いサイド電流が流れる。従って、電界が歪曲される現象が発生する。

【0018】

これに関連して、ゲート電圧の変化によるドレイン電流の変化を示したトランスファーカーブ(LDD部の幅は、 $1\mu\text{m}$ 、チャンネル比(W/L)、すなわち、チャンネル部の幅と長さは、各々 $4\mu\text{m}$ 、 $4\mu\text{m}$ で形成される)の特性を示した図3を参照する。ゲート電圧が0Vから3Vになる区間、すなわち、線形領域では、ドレイン電流が線形的に増加しなければならないが、前述したフリンジ効果によって半導体層のエッジ部に強い電界が形成されサイド電流が流れる。サイド電流は、ドレイン電流の流れを邪魔するので、ドレイン電流の変化量が急激に落ちて線形的に変化しない部分、すなわち、ハンプ(hump)が発生する。

ハンプが発生すると、薄膜トランジスタのオン/オフ時間の遅延が長引いて、スイッチング素子としての特性低下が発生する。

【発明の開示】

【発明が解決しようとする課題】

【0019】

本発明は、前述したような問題を解決するために、薄膜トランジスタの特性を向上させる液晶表示装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0020】

本発明は、前述したような目的を達成するために、基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、テーパ状である半導体層と；半導体層を覆うゲート絶縁膜と；ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極と；前記半導体層と接触するソース電極及びドレイン電極と；前記ドレイン電極と接触する画素電極とを含むことを特徴とする液晶表示装置を提供する。

【0021】

ここで、前記エッジ部の側面は、前記基板面と 30° ないし 60° を成して、前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と実質的に同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さである。

前記半導体層は、ポリシリコンを含み、また、前記半導体層は、前記チャンネル部と前記オーミックコンタクト部間に位置するLDD部をさらに含む。

【0022】

また、本発明は、基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、少なくとも二つの階段を有する半導体層と；半導体層を覆うゲート絶縁膜と；ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極と；前記半導体層と接触するソース電極及びドレイン電極と；前記ドレイン電極と接触する画素電極とを含むことを特徴とする液晶表示装置を提供する。

【0023】

ここで、前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と実質的に同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さである。

前記半導体層は、ポリシリコンを含み、また、前記半導体層は、前記チャンネル部と前記オーミックコンタクト部間に位置するLDD部をさらに含む。

【0024】

一方、本発明は、基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、テーパ状である半導体層を形成する段階と；半導体層を覆うゲート絶縁膜を形成する段階と；ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極を形成する段階と；前記半導体層と接触するソース電極及びドレイン電極を形成する段階と；前記ドレイン電極と接触する画素電極を形成する段階とを含むことを特徴とする液晶表示装置の製造方法を提供する。

10

【0025】

ここで、前記エッジ部の側面は、前記基板面と30°ないし60°を成す。

前記テーパ状の側面部を形成する段階は、ポリシリコン層を形成する段階と；前記ポリシリコン層上にフォトリソパターンを形成する段階と；前記ポリシリコン層に対するドライエッチングと前記フォトリソパターンに対するアッシングを同時に行う段階とを含む。

【0026】

前記オーミックコンタクト部を形成する段階は、前記テーパ状の側面部を形成した後、前記ゲート電極をドーピングマスクとして使用して、 n^+ または p^+ に前記半導体層をドーピングする段階を含む。

20

【0027】

前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と実質的に同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さである。

【0028】

前記半導体層を形成する段階は、前記チャンネル部と前記オーミックコンタクト部間にLDD部を形成する段階をさらに含む。

30

【0029】

さらに、本発明は、基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、少なくとも二つの階段を有する半導体層を形成する段階と；半導体層を覆うゲート絶縁膜を形成する段階と；ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極を形成する段階と；前記半導体層と接触するソース電極及びドレイン電極を形成する段階と；前記ドレイン電極と接触する画素電極を形成する段階とを含むことを特徴とする液晶表示装置の製造方法を提供する。

【0030】

ここで、前記少なくとも二つの階段を形成する段階は、ポリシリコン層を形成する段階と；前記ポリシリコン層上にフォトリソパターンを形成する段階と；前記フォトリソパターンを使用して、前記ポリシリコン層に対して第1ドライエッチングを行う段階と；前記フォトリソパターンをアッシングする段階と；前記アッシングされたフォトリソパターンを使用して、前記第1ドライエッチングされたポリシリコン層に対して第2ドライエッチングを行う段階とを含み、前記第1ドライエッチング、アッシング、第2ドライエッチングは、少なくとも一度繰り返す液晶表示装置の製造方法を提供する。

40

【0031】

ここで、前記オーミックコンタクト部を形成する段階は、前記少なくとも二つの階段を形成した後、前記ゲート電極をドーピングマスクとして使用して、 n^+ または p^+ に前記半導体層をドーピングする段階を含む。

【0032】

50

前記エッジ部の周辺の前記ゲート絶縁膜の段差部は、前記ゲート絶縁膜の他の部分と同一な厚さであって、前記エッジ部の周辺の前記ゲート電極の段差部は、前記ゲート電極の他の部分と実質的に同一な厚さである。

【0033】

前記半導体層を形成する段階は、前記チャンネル部と前記オーミックコンタクト部間にLDD部を形成する段階をさらに含む。

【0034】

また、本発明は、基板上に、チャンネル部と、チャンネル部の両側のオーミックコンタクト部を有して、エッジ部の側面は、外側の方向に厚さが減少する半導体層と；半導体層を覆うゲート絶縁膜と；ゲート絶縁膜上に位置して、前記チャンネル部に対応するゲート電極と；前記半導体層と接触するソース電極及びドレイン電極と；前記ドレイン電極と接触する画素電極とを含むことを特徴とする液晶表示装置を提供する。

ここで、前記エッジ部は、少なくとも二つの階段を有したり、側面がテーパ状であったりする。

【0035】

以下、添付された図を参照して、本発明の実施例を説明する。

【発明の効果】

【0036】

本発明によるポリシリコンを利用した液晶表示装置は、ポリシリコンの半導体層を、そのエッジ部が基板面に対して緩やかなテーパ角になるように形成したり、または多段構造で形成したりして、半導体層のエッジ部でゲート絶縁膜の厚さの減少を防ぐ。これによって、フリンジ効果を減少させハンプの発生を抑制して、薄膜トランジスタの特性が向上する。

【実施例1】

【0037】

図4と図5は、各々本発明の実施例1によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向と幅手方向に沿って切断した断面図である。ここで、チャンネル部の長手方向は、ソース電極とドレイン電極との間の方向であって、チャンネル部の幅手方向は、長手方向に垂直な方向であって、ゲート電極の延長方向に当たる。

【0038】

図4と図5に示したように、基板101上の全面にバッファ層105が形成されている。バッファ層105上に各画素領域P内のスイッチング領域TrAにおいて、その中央部Bは、一定な厚さt5であって、エッジ部Aは、バッファ層105と成す角 θ_2 が従来の80°よりは小さい値、例えば、30°以上60°以下の値であって、厚さは、外側の方向に行くほど緩やかに減少するテーパ状で半導体層115が形成される。

【0039】

半導体層115は、高濃度の不純物がドーピングされたポリシリコンで構成されたオーミックコンタクト部115bと純粋ポリシリコンで構成されたチャンネル部115aを含む。また、チャンネル部115aとオーミックコンタクト部115bとの間には、低濃度の不純物がドーピングされたポリシリコンで構成されたLDD部115cが形成される。これは、n型の不純物をドーピングしてn型のオーミックコンタクト部を有するn型の薄膜トランジスタを形成したものである。

【0040】

p型の不純物をドーピングしてp型のオーミックコンタクト部を形成する場合、LDD部を形成しなくても良い。このような形態の半導体層115を形成する方法は、以下に示す製造方法を説明する時、具体的に示す。

【0041】

前述したように、エッジ部Aで所定の角 θ_2 に緩やかに厚さが減少するテーパ状の半導体層115上にゲート絶縁膜120が形成される。ゲート絶縁膜120上にチャンネル

10

20

30

40

50

部 1 1 5 a に対応してゲート電極 1 3 5 が形成される。ゲート電極 1 3 5 は、幅手方向に沿ってチャンネル部 1 1 5 a を完全に覆う。但し、ゲート絶縁膜 1 2 0 は、ゲート電極 1 3 5 の下部のみ形成される。

【 0 0 4 2 】

ゲート絶縁膜 1 2 0 は、半導体層 1 1 5 のエッジ部 A が、最外角から緩やかに中央部 B に向って徐々に厚くなる形態であって、急激な段差が生成されないことによって半導体層 1 1 5 が形成された部分と、半導体層 1 1 5 の外部に露出されたバッファ層 1 0 5 に対して同一な厚さ t_6 をで形成される。

【 0 0 4 3 】

ゲート絶縁膜 1 2 0 の上部に形成されたゲート電極 1 3 5 も、ゲート絶縁膜 1 2 0 が半導体層 1 1 5 に対して緩やかな段差を有して形成されるために、これを反映して比較的均一な厚さ t_7 で形成される。ゲート電極 1 3 5 は、幅手方向に沿ってチャンネル部 1 1 5 a を完全に覆う。尚、実施例 1 でのゲート絶縁膜 1 2 0 は、半導体層 1 1 5 全面に形成されて、オーミックコンタクト部 1 1 5 b の一部を露出させる半導体層コンタクトホール 1 4 5 a、1 4 5 b を有して形成されているが、ゲート電極 1 3 5 が形成された部分のみに形成される場合もある。

10

【 0 0 4 4 】

ゲート電極 1 3 5 及び外部に露出されたゲート絶縁膜 1 2 0 上に、半導体層 1 1 5 のうち、チャンネル部 1 1 5 a の両側に各々位置したオーミックコンタクト部 1 1 5 b の一部を各々露出させる半導体層コンタクトホール 1 4 5 a、1 4 5 b を有する層間絶縁膜 1 4 0 が形成される。ゲート絶縁膜 1 2 0 は、層間絶縁膜 1 4 0 と半導体層コンタクトホール 1 4 5 a、1 4 5 b を共通に有する。

20

【 0 0 4 5 】

層間絶縁膜 1 4 0 上に、半導体層コンタクトホール 1 4 5 a、1 4 5 b を通じて露出されたオーミックコンタクト部 1 1 5 b と各々接触して、相互に離隔するソース電極 1 5 0 及びドレイン電極 1 5 3 が形成される。下部のポリシリコンの半導体層 1 1 5 からソース電極 1 5 0 及びドレイン電極 1 5 3 まで形成されることによって、この間に形成されたゲート絶縁膜 1 2 0 とゲート電極 1 3 5 と、さらにスイッチング素子である薄膜トランジスタを構成する。

30

【 0 0 4 6 】

相互に離隔したソース電極 1 5 0 及びドレイン電極 1 5 3 上に、全面にドレイン電極 1 5 3 の一部を露出させるドレインコンタクトホール 1 6 3 を有する保護層 1 6 0 が形成される。保護層 1 6 0 上に、ドレインコンタクトホール 1 6 3 を通じてドレイン電極 1 5 3 と接触する画素電極 1 7 0 が画素領域 P に形成される。

【 0 0 4 7 】

前述した断面構造においては、ゲート配線とデータ配線は、図面には示していないが、ゲート配線は、ゲート電極 1 3 5 と同一層に同一物質で形成され、データ配線は、ゲート配線と交差して画素領域 P を定義し、ソース電極 1 5 0 及びドレイン電極 1 5 3 と同一層に同一物質で形成されて、ソース電極 1 5 0 に連結される。

40

【 0 0 4 8 】

実施例 1 によるポリシリコン半導体層 1 1 5 を有する薄膜トランジスタを備える液晶表示装置用アレイ基板は、半導体層 1 1 5 において、角 α_2 が十分に小さいエッジ部 A を構成する。これによって、その上部に形成されるゲート絶縁膜 1 2 0 とゲート電極 1 3 5 が半導体層 1 1 5 の中央部 B とエッジ部 A で各々一定な厚さ t_6 、 t_7 になる。すなわち、ゲート絶縁膜 1 2 0 とゲート電極 1 3 5 の段差部の厚さは各々、他の部分の厚さと実質的に同一になる。

【 0 0 4 9 】

このように、半導体層 1 1 5 のエッジ部 A でのゲート絶縁膜 1 2 0 の厚さの減少によってフリッジ効果に基づいた電界の集中を防いで、チャンネル部の幅手方向に沿うサイド電流が減少する。さらに、半導体層 1 1 5 のエッジ部 A が中央部 B に比べて薄く形成される

50

ことによって半導体層 115 の内部で移動する正孔または電子等のキャリア数が減少して、サイド電流が減少する。従って、ドレイン電流は正常に流れて、ハンプの発生が抑制される。結局、薄膜トランジスタの信頼性が向上する。

【実施例 2】

【0050】

図 6 と図 7 は、各々本発明の実施例 2 によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向と幅手方向に沿って切断した断面図である。

この時、半導体層、ゲート絶縁膜とゲート電極を除いた他の構成要素は、実施例 1 と類似であるので、半導体層、ゲート絶縁膜とゲート電極の構成要素の構造を主に説明する。

【0051】

図 6 と図 7 に示したように、基板 201 上にバッファ層 205 が形成されている。バッファ層 205 上に、各画素領域 P 内のスイッチング領域 TrA には、エッジ部 A を除いた部分の厚さ t_{11} が実質的に同一なポリシリコンの半導体層 215 が形成される。半導体層 215 のエッジ部 A は、多段構造であって、外側の方向に厚さが減少する。例えば、エッジ部 A は、少なくとも二つの階段を有している。このうち、下部の階段の厚さ t_{12} は、中央部 B の厚さ t_{11} の $1/2$ に当たり、上部の階段の厚さは、中央部 B の厚さ t_{11} の $1/2$ に当たる。尚、下部の階段の厚さ t_{12} は、上部の階段の厚さと異なる場合がある。

【0052】

このような構成の半導体層 215 上にゲート絶縁膜 220 を形成する時、半導体層 215 のエッジ部 A でバッファ層 205 との段差が減少されることによって実質的にゲート絶縁膜 220 のステップカバレッジが向上する。すなわち、半導体層 215 のエッジ部 A に対応する領域を含み、基板の全領域において、比較的同一な厚さ t_{13} をゲート絶縁膜 220 を構成することができる。

【0053】

このように、半導体層 215 のエッジ部 A でのゲート絶縁膜 220 の厚さの減少によってフリンジ効果に基づいた電界の集中を防いで、チャンネル部の幅手方向に沿うサイド電流が減少する。さらに、半導体層 215 のエッジ部 A が中央部 B に比べて薄く形成されることによって半導体層 215 の内部で移動する正孔または電子等のキャリア数が減少して、サイド電流が減少する。従って、ドレイン電流は、正常に流れて、ハンプの発生が抑制される。結局、薄膜トランジスタの信頼性が向上する。

【0054】

図 8 は、本発明の実施例 2 による構造の半導体層を基板上に形成した後、拡大して撮った SEM (scanning electron microscope) 写真であって、図 9 は、本発明の実施例 2 による液晶表示装置用アレイ基板において、ゲート電圧の変化によるドレイン電流の変化を示したトランスファーカーブ (LDD 部の幅は、 $1\ \mu\text{m}$ 、チャンネル比 (W/L)、すなわち、チャンネルの幅と長さは、各々 $4\ \mu\text{m}$ 、 $4\ \mu\text{m}$ で形成される) の特性を示したグラフである。

【0055】

図 8 と図 9 に示したように、中央部 B に比べてエッジ部 A が薄い厚さで基板上に半導体層を形成して薄膜トランジスタを完成した場合、ゲート電圧が $0\ \text{V}$ から $2\ \text{V}$ の区間、すなわち、線形領域でドレイン電流は線形的に増加して、ハンプは発生しない。

【0056】

さらに、従来のように同一な厚さまたはエッジ部の角が 80° 以上のポリシリコンの半導体層を形成したアレイ基板のトランスファーカーブ特性のグラフにおいては、ハンプの発生領域を含む線形領域は、ゲート電圧が $0\ \text{V}$ から $3\ \text{V}$ の間の領域 ($V_{ds} = 9\ \text{V}$ の場合) になる (図 3 参照)。

【0057】

ところが、エッジ部 A と中央部 B の厚さを異なるようにした半導体層を有する本発明に

10

20

30

40

50

よるアレイ基板のトランスファーカーブ特性のグラフ(図8参照)では、線形領域は、ゲート電圧が0Vから1.5Vの間の領域($V_{ds} = 9V$ の場合)になる。すなわち、線形領域のゲート電圧の変化の幅がさらに減少することによってスイッチング素子としての特性がさらに向上する。

【0058】

スイッチング素子としての動作は、薄膜トランジスタのオン/オフ動作をさらに速く行うので、線形領域で傾きが急激になるほど有利であって、このような速いスイッチングは、ゲート配線の信号の遅延を防ぐ効果がさらにあるために、液晶表示装置用アレイ基板の特性を向上させる。

【実施例3】

【0059】

図10は、実施例2に提示した半導体層の変形例であって、本発明の実施例3によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向に沿って切断した断面図である。

【0060】

図10に示したように、半導体層315のエッジ部Aを3段以上の多段構造で形成することもできる。この場合、半導体層315のエッジ部Aは、実施例2(図6参照)に提示した半導体層よりさらに多い多段形態の段差で構成される。例えば、半導体層315のエッジ部Aで三つの階段が形成された場合、各階段の厚さ t_{14} 、 t_{16} 、 t_{17} は、中央部Bの厚さ t_{15} の $1/3$ になる。尚、各階段の厚さ t_{14} 、 t_{16} 、 t_{17} は、相互に異

【0061】

以後、本発明の実施例1ないし3によるポリシリコンの半導体層を有する液晶表示装置用アレイ基板の製造方法を説明する。

実施例1ないし3の場合、半導体層の形成方法だけに一部の差があって、それ以外の構成要素に対する製造方法は、類似に行われるため、実施例2を基準にその製造方法を説明する。また、実施例1及び実施例3については、構造が異なる半導体層の形成段階において、差異のある部分を主に説明する。

【0062】

図11Aないし図11Lは、本発明の実施例2によるポリシリコンの半導体層を有する液晶表示装置用アレイ基板を製造する方法を示した断面図である。

【0063】

図11Aに示したように、透明な絶縁基板201上に無機絶縁物質である窒化シリコン SiN_x または酸化シリコン SiO_2 を蒸着してバッファ層205を形成する。非晶質シリコン $a-Si$ をポリシリコンに結晶化する場合、レーザーの照射または熱処理時に発生する熱によって基板201の内部に存在するアルカリイオン、例えば、カリウムイオン K^+ 、ナトリウムイオン Na^+ 等が発生する。バッファ層205は、このようなアルカリイオンによってポリシリコンで構成された半導体層の膜の特性の低下を防ぐためのものである。尚、バッファ層205が省略される構造とする場合もある。

【0064】

バッファ層205上に非晶質シリコン $a-Si$ を蒸着して非晶質シリコン層を全面に形成して、エキシマーレーザーを利用したELA(Excimer Laser Annealing)法またはSLSS(Sequential lateral Solidification)結晶化法または熱処理法またはMILC(metal induced lateral crystallization)法等の結晶化工程を行って非晶質シリコン層をポリシリコン層212に結晶化する。

【0065】

次いで、ポリシリコン層212上にフォトレジストを全面に塗布してフォトレジスト層を形成する。フォトレジスト層(図示せず)にマスクを利用して露光を実施した後、露光さ

10

20

30

40

50

れたフォトリソ層(図示せず)を現像することによって各画素領域Pのスイッチング領域TrAに対応して第3厚さ t_{21} 及び第1幅 w_{21} を有する第1フォトリソパターン281を形成する。

【0066】

図11Bに示したように、第3厚さ t_{21} 及び第1幅 w_{21} を有する第1フォトリソパターン281をエッチングマスクとして利用して、第1ドライエッチングを実施する。これによって、第1フォトリソパターン281の外部に露出されたポリシリコン層(図11Aの212)を除去して、第1フォトリソパターン281と同一な第1幅 w_{21} を有するポリシリコンの半導体層215を形成する。この時、半導体層215は、全体的に同一な第1厚さ t_{11} を有して形成される。

10

【0067】

ポリシリコン層のドライエッチングは、HBr、 Cl_2 、 SF_6 、 Br_2 ガスまたはこれらガスが2種またはそれ以上を混合した混合ガスで満たされた真空のチェンバー内でプラズマ処理することによって行われる。この場合、ポリシリコン層と反応するガスは、第1フォトリソパターン281とは反応しないので、第1ドライエッチングの前後においてその形態にほとんど変化がない。第1ドライエッチングは、異方性を有する。

【0068】

図11Cに示したように、前述したガス及びプラズマ処理による第1ドライエッチングを実施した基板201を、同一なチェンバー内でガスを O_2 に変えた後、プラズマ処理してアッシングする。これによって、第3厚さ t_{21} 及び第1幅 w_{21} を有する第1フォトリソパターン281で、その厚さ及び幅が減少した第4厚さ t_{22} 及び第2幅 w_{22} を有する第2フォトリソパターン282を形成する。

20

【0069】

この時、アッシングは、等方性を有して行われることによって第3厚さ t_{21} 及び第1幅 w_{21} を有する第1フォトリソパターン281の上部及び側面を同時に除去する。 O_2 ガスの濃度を一定にした状態でアッシングの時間を調節することによって、その除去される量(幅の大きさ)を決める。

【0070】

また、アッシングによって第1フォトリソパターン281の幅と厚さが減少した第4厚さ t_{22} 及び第2幅 w_{22} を有する第2フォトリソパターン282が形成されるために、第1フォトリソパターン281が覆っていた半導体層215のエッジ部Aが第2フォトリソパターン282の外部に露出される。

30

【0071】

図11Dに示したように、第4厚さ t_{22} 及び第2幅 w_{22} を有する第2フォトリソパターン282の外部に露出された半導体層215のエッジ部Aをチェンバー内のガスを O_2 から、HBr、 Cl_2 、 SF_6 、 Br_2 ガスまたはこれらガスの混合ガスにまた変えて、所定時間、例えば、第1ドライエッチングの進行時間よりは短い時間の間、第2ドライエッチングを実施する。これによって、露出された半導体層215のエッジ部Aを部分的に除去して、第1厚さ t_{11} より薄い第2厚さ t_{12} になる。この時、第2ドライエッチングの時間を適切に調節することによって、例えば、第2厚さ t_{12} を第1厚さ t_{11} の $1/2$ 程度にすることができる。

40

【0072】

この時、半導体層215のエッジ部Aの厚さを減少させるために行う第2ドライエッチングは、異方性特性を有するドライエッチングである。

【0073】

図11Eに示したように、半導体層215上に残っている第2フォトリソパターン(図11Dの282)をアッシングまたはストリップを行って除去する。これによって、本発明の実施例2によるエッジ部Aに二つの階段を有する半導体層215が形成される。

【0074】

この場合、第2フォトリソパターンを除去する前に、アッシングとドライエッチン

50

グをもう一度行くと、実施例3のように、エッジ部Aに三つの階段を有する半導体層を形成することができる。これと類似な方法として、アッシングとドライエッチングをさらに行うと、エッジ部Aにさらに多い数の多段構造を有する半導体層を形成することができる。

【0075】

実施例1で提示した、エッジ部の側面がテーパ状である半導体層の形成方法を図12Aないし図12Cを参照して説明する。

図12Aに示したように、ポリシリコン層112上に第5厚さ t_{31} 及び第3幅 w_{31} を有するフォトレジストパターン181を形成する。

図12Bと図12Cに示したように、フォトレジストパターン181及びその外部に露出されたポリシリコン層112が形成された基板101を真空のチェンバーに移動させた後、チェンバー内にポリシリコンと反応するガス、すなわち、 HBr 、 Cl_2 、 SF_6 、 Br_2 ガスまたはこれらガスの2種以上を混合した混合ガスとフォトレジストパターン181と反応する O_2 を少量注入した後、プラズマ処理を行ってドライエッチングを実施する。

【0076】

この時、チェンバーの内部は、ポリシリコン層112と反応するガスと、フォトレジストパターン181と反応する酸素 O_2 が少量混合された雰囲気によって、実際には、ドライエッチングだけが行われるのではなく、アッシングまで行われる。従って、フォトレジストパターン181の外部に露出されたポリシリコン層112が除去されると同時に、フォトレジストパターン181の厚さと幅が、所定程度に除去される。 $(t_{31} \quad t_{32} \quad t_{33}$ と $w_{31} \quad w_{32} \quad w_{33})$

【0077】

フォトレジストパターン181がアッシングによって徐々に除去されると同時に、半導体層は、アッシングされているフォトレジストパターン181をエッチングマスクとして利用してドライエッチングが徐々に行われる。従って、最初のフォトレジストパターン(図12Aの181)の外郭線の下部からアッシングが完了されたフォトレジストパターン(図12Cの181)の外郭線の下部までの半導体層112のエッチングの時間とエッチングの程度は、連続的に減少する。エッチングが完了する時点は、最初のフォトレジストパターンの外郭線の下部の半導体層112が完全に除去される時点である。このように、半導体層115のエッジ部Aがドライエッチングの時間の差があることによって最外角部から中央部Bに行くほど徐々に厚い厚さの形態で、すなわち、バッファ層105の表面に対して所定の角 θ_2 を有して形成される。

【0078】

例えば、半導体層115のエッジ部Aがバッファ層105の表面と成す角 θ_2 は、 30° 以上 60° 以下になる。半導体層115のエッジ部Aの所定の角 θ_2 の大きさは、ポリシリコン層112と反応するガスと混合される酸素 O_2 の量によって調節される。

【0079】

次いで、図11Fないし図11Lをさらに参照して、半導体層及びそれ以外の構成要素の形成方法を説明する。

【0080】

前述した方法のように、エッジ部Aが多段構造の半導体層(図11Eの215)または緩やかな角(図12Cの θ_2)を有するエッジ部Aを含む半導体層(図12Cの115)を形成した後、図11Fに示したように、半導体層215上に、全面に無機絶縁物質、例えば、酸化シリコン SiO_2 または窒化シリコン SiN_x を蒸着することによってゲート絶縁膜220を形成する。

【0081】

ゲート絶縁膜220は、蒸着の特性上、従来においては、バッファ層と半導体層が比較的大きい段差を有することによって、段差を有する半導体層のエッジ部Aの上部では他の領域に比べてその厚さが薄くなっていた。

10

20

30

40

50

【0082】

ところが、本発明の実施例のように、多段構造(またはテーパー状)によって半導体層215のエッジ部Aの厚さが外側の方向に減少されゲート絶縁膜220は、実質的に同一な厚さt13を有する。

【0083】

尚、ゲート絶縁膜220を構成する物質、すなわち、酸化シリコンSiO₂または窒化シリコンSiN_xのステップカバレッジ特性が十分にカバーできる程度になって、ゲート絶縁膜の厚さは、わずかな誤差範囲、例えば、ゲート絶縁膜の厚さの10-15%以内で形成される。

【0084】

半導体層215との段差を克服して全体的に、適正誤差範囲内の一定な厚さt13のゲート絶縁膜220上に、金属物質を蒸着して金属層(図示せず)を形成する。この時、金属層(図示せず)は、ゲート絶縁膜220の上部で比較的に一定な厚さで形成される。これは、ゲート絶縁膜220がその下部の半導体層215から影響を受けて、それ自体がエッジ部Aで緩やかな角を有して形成されることによって、その上部に形成される金属層もゲート絶縁膜220に形成された緩やかな段差を克服して、比較的に同一な厚さで形成される。

【0085】

さらに、金属物質の場合、無機絶縁物質より段差に対するステップカバレッジが優れていて、より段差部での厚さの減少なしに均一な厚さで形成される。

【0086】

図11Gに示したように、全体的に、比較的均一な厚さで形成された金属層(図示せず)に対してマスク工程によってパターンニングし、ゲート絶縁膜220上に一方向に延長するゲート配線(図示せず)を形成すると同時に、スイッチング領域TrAにゲート配線(図示せず)から分岐したゲート電極235を形成する。

【0087】

この時、図11Gでは、ゲート電極235が半導体層215のエッジ部Aに形成されないように示しているが、図7では、半導体層215のエッジ部Aに対応してゲート絶縁膜220の上部に形成されるゲート電極235を示している。

【0088】

この場合、ゲート絶縁膜220が半導体層215のエッジ部Aと中央部Bで実質的に同一な厚さで形成されたように、ゲート電極235も実質的に同一な厚さで形成される。

【0089】

図11Hに示したように、ゲート電極235をドーピングマスクとして利用して、半導体層215に高ドーズ量を有するイオン注入によってn⁺型またはp⁺型へのドーピングをしてオーミックコンタクト部215bを形成する。この時、ゲート電極235によってドーピングされてない半導体層領域には、チャンネル部215aが形成される。

【0090】

ここで、n⁺型ヘドーピングすることによってn型のオーミックコンタクト部215bを形成した場合、ゲート電極235の下部のチャンネル部215aとオーミックコンタクト部215bとの間に、低ドーズ量でドーピングされたLDD部215cをさらに形成することができる。

【0091】

このようなLDD部215cの形成は、ゲート電極235を形成する際に、ゲート電極235よりさらに幅の広いゲートパターンを形成した後、ゲートパターンの上部にフォトレジストパターンが残っている状態で、ゲートパターン及びその上部のフォトレジストパターンをドーピングマスクとして利用して、高濃度でn⁺型へのドーピングを実施してn型のオーミックコンタクト部215bを形成する。次いで、等方性のアッシングを行ってフォトレジストパターンの側面を所定幅除去してゲートパターンの両端の一部を露出させて、アッシングされたフォトレジストパターンの外部に露出されたゲートパターンをエッ

10

20

30

40

50

チングしてゲート電極 235 を形成する。この状態で、低濃度で n-型へのドーピングを実施することによってチャンネル部 215 a とオーミックコンタクト部 215 b との間に、LDD 部 215 c を形成することができる。

【0092】

また、図面には示していないが、多数の画素領域 P で構成され画像を表示する表示領域以外の非表示装置に構成される駆動回路部において、CMOS タイプのインバーターを構成する場合、n⁺ 及び p⁺ ドーピングを両方実施する。この時、n⁺ ドーピングを実施する場合、p⁺ ドーピングされた p 型のオーミックコンタクト部を有する p 型の薄膜トランジスタが形成される部分には、フォトレジスト等でドーピングマスクを形成した後、n⁺ ドーピングを実施する。逆に、p⁺ ドーピングを実施する場合、n 型の薄膜トランジスタが形成される部分には、フォトレジスト等でドーピングマスクを形成した後、p⁺ ドーピングを実施することによって n 型及び p 型のオーミックコンタクト部を形成する。

10

【0093】

図 11 I に示したように、ゲート電極 235 とゲート配線(図示せず)上に、全面に無機絶縁物質である酸化シリコン SiO₂ または窒化シリコン SiN_x を蒸着したり、または有機絶縁物質であるベンゾシクロブテン BCB またはアクリル系樹脂を塗布したりして層間絶縁膜 240 を形成する。また、層間絶縁膜 240 をパターンニングすることによって両側のオーミックコンタクト部 215 b を各々露出させる半導体層コンタクトホール 245 a、245 b を形成する。この時、層間絶縁膜 240 のエッチング時、その下部のゲート絶縁膜 220 まで同時にエッチングすることによって半導体層コンタクトホール 245 a、245 b は、オーミックコンタクト部 215 b を露出させる。

20

【0094】

図 11 J に示したように、半導体層コンタクトホール 245 a、245 b を備えた層間絶縁膜 240 上に、全面に金属物質を蒸着して、マスク工程によってパターンニングして、層間絶縁膜 240 上に下部のゲート配線(図示せず)と交差して画素領域 P を定義するデータ配線(図示せず)を形成すると同時に、スイッチング領域 Tr A には、データ配線(図示せず)から分岐して半導体層コンタクトホール 245 a を通じてオーミックコンタクト部 215 b と接触するソース電極 250 と、ソース電極 250 と離隔して他の半導体層コンタクトホール 245 b を通じてオーミックコンタクト部 215 b と接触するドレイン電極 253 を形成する。

30

【0095】

図 11 K に示したように、データ配線(図示せず)とソース電極 250 及びドレイン電極 253 上に、全面に無機絶縁物質である窒化シリコン SiN_x または酸化シリコン SiO₂ を蒸着したり、または有機絶縁物質であるベンゾシクロブテン BCB またはアクリル系樹脂を塗布したりして保護層 260 を形成する。保護層 260 をマスク工程によってパターンニングして、スイッチング領域 Tr A にドレイン電極 253 を露出させるドレインコンタクトホール 263 を形成する。

【0096】

図 11 L に示したように、ドレインコンタクトホール 263 が形成された保護層 260 上に、透明導電性物質であるインジウムスズオキサイド ITO またはインジウムジニクオキサイド IZO を全面に蒸着する。透明導電性物質をマスク工程によってパターンニングして、ドレインコンタクトホール 263 を通じてドレイン電極 253 と接触する画素電極 270 を形成する。

40

前述したような工程を行って、本発明の実施例による液晶表示装置用アレイ基板を完成する。

【図面の簡単な説明】

【0097】

【図 1】従来のポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向に沿って切断した断面図である。

【図 2】従来のポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ

50

基板をチャンネル部の幅手方向に沿って切断した断面図である。

【図3】従来のポリシリコン薄膜トランジスタのゲート電圧の変化によるドレイン電流の変化を説明するためのグラフである。

【図4】本発明の実施例1によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向に沿って切断した断面図である。

【図5】本発明の実施例1によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の幅手方向に沿って切断した断面図である。

【図6】本発明の実施例2によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向に沿って切断した断面図である。

【図7】本発明の実施例2によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の幅手方向に沿って切断した断面図である。

【図8】本発明の実施例2による構造の半導体層を基板上に形成した後、拡大して撮ったSEM写真である。

【図9】本発明の実施例2による液晶表示装置用アレイ基板において、ゲート電圧の変化によるドレイン電流の変化を説明するためのグラフである。

【図10】本発明の実施例3によるポリシリコンを使用した薄膜トランジスタを有する液晶表示装置用アレイ基板をチャンネル部の長手方向に沿って切断した断面図である。

【図11A】本発明の実施例2によるポリシリコンの半導体層を有する液晶表示装置用アレイ基板を製造する方法を説明するための断面図である。

【図11B】図11Aに続く製造工程を示す断面図である。

【図11C】図11Bに続く製造工程を示す断面図である。

【図11D】図11Cに続く製造工程を示す断面図である。

【図11E】図11Dに続く製造工程を示す断面図である。

【図11F】図11Eに続く製造工程を示す断面図である。

【図11G】図11Fに続く製造工程を示す断面図である。

【図11H】図11Gに続く製造工程を示す断面図である。

【図11I】図11Hに続く製造工程を示す断面図である。

【図11J】図11Iに続く製造工程を示す断面図である。

【図11K】図11Jに続く製造工程を示す断面図である。

【図11L】図11Kに続く製造工程を示す断面図である。

【図12A】本発明の実施例1によるテーパ状の半導体層を形成する方法を説明するための断面図である。

【図12B】図12Aに続く製造工程を示す断面図である。

【図12C】図12Bに続く製造工程を示す断面図である。

【符号の説明】

【0098】

201：基板

205：バッファ層

215：半導体層

215a：チャンネル部

215b：オーミックコンタクト部

215c：LDD部

220：ゲート絶縁膜

235：ゲート電極

240：層間絶縁膜

245a、245b：半導体層コンタクトホール

250：ソース電極

253：ドレイン電極

10

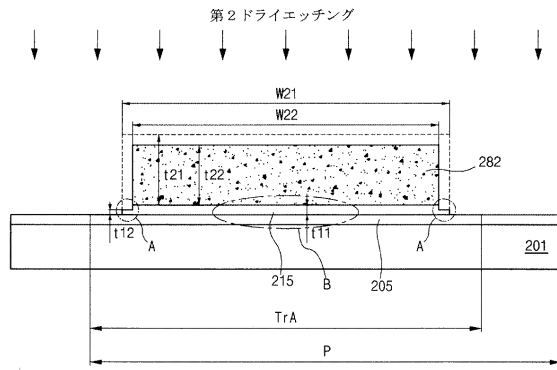
20

30

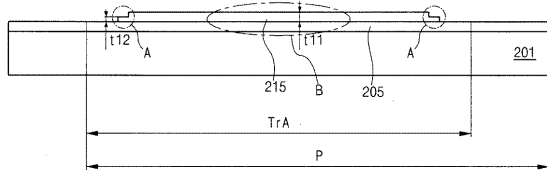
40

50

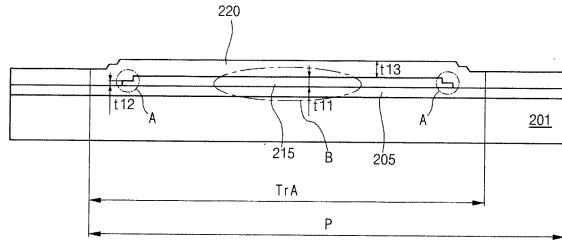
【図11D】



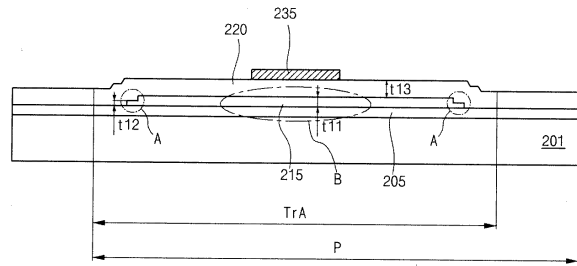
【図11E】



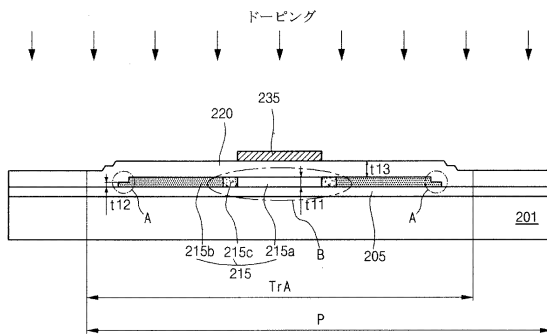
【図11F】



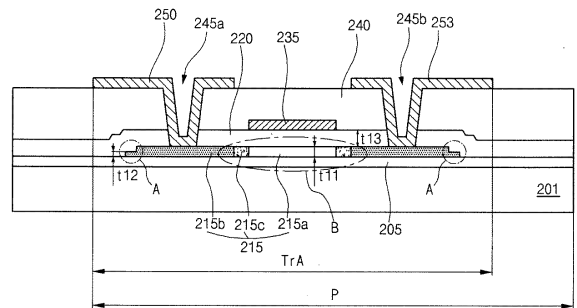
【図11G】



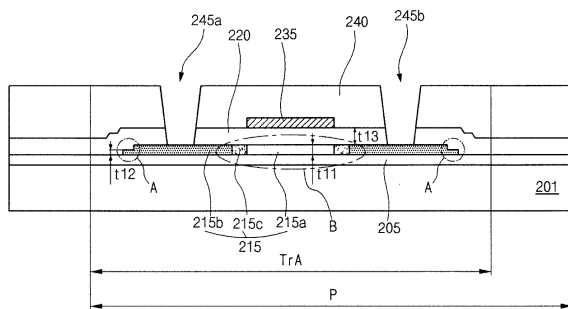
【図11H】



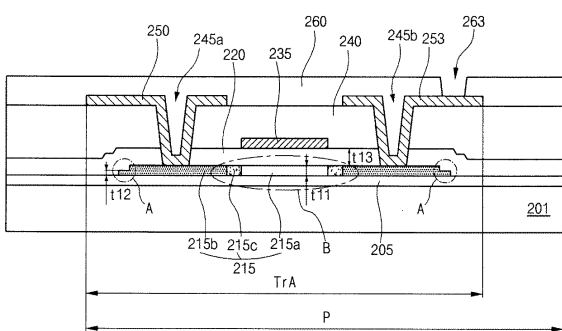
【図11J】



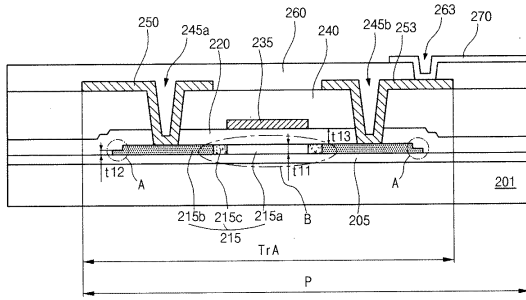
【図11I】



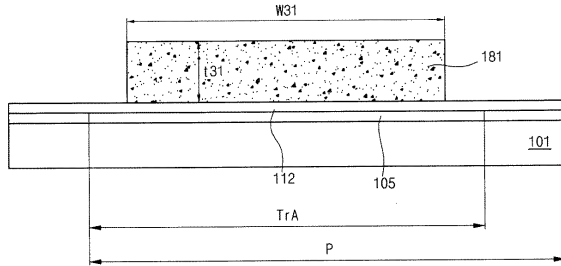
【図11K】



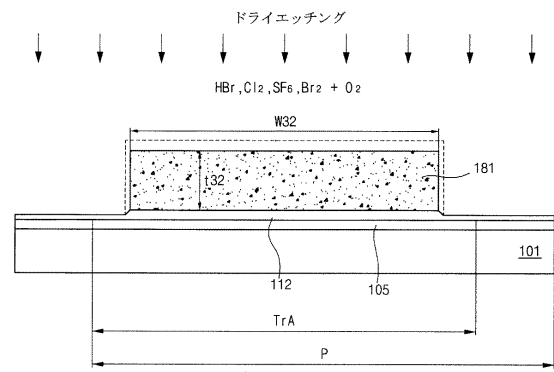
【図 11 L】



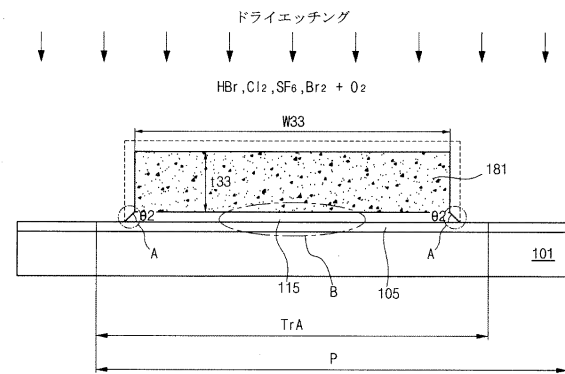
【図 12 A】



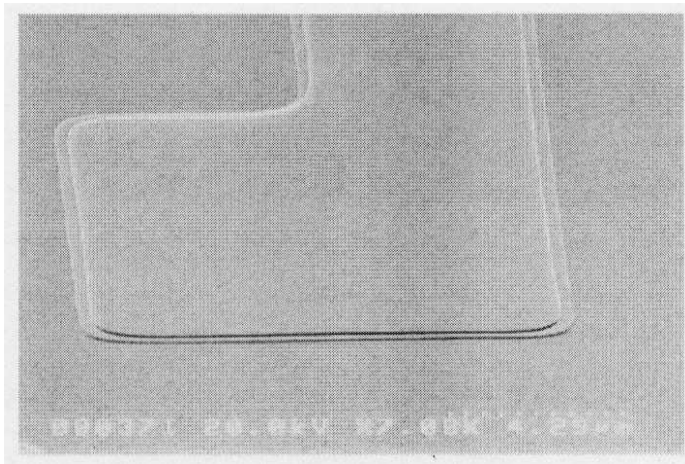
【図 12 B】



【図 12 C】



【図 8】



フロントページの続き

- (74)代理人 100104352
弁理士 朝日 伸光
- (74)代理人 100128657
弁理士 三山 勝巳
- (72)発明者 ヤン ジュンヨン
大韓民国 420-031 キョンギ プチョンシ ウォンミグ サン1ドン ヘンボクハンメウ
ル ソヘ アパート 2407/1304
- (72)発明者 オウ ジェヨン
大韓民国 437-081 キョンギ ウィワンシ ネソン1ドン ポイル アパート 101/
210
- (72)発明者 キム スプル
大韓民国 463-827 キョンギ ソンナムシ ブンダング ヤタッドン ヒョンデ 1パー
ク 105/801

審査官 藤田 都志行

- (56)参考文献 特開平08-125195(JP,A)
特開2003-174036(JP,A)
特開平11-238887(JP,A)
特開2000-031493(JP,A)
特開2003-258262(JP,A)
特開2004-064060(JP,A)
特開2005-057042(JP,A)
特開2000-077665(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G09F 9/30
G09F 9/35
H01L 21/336
H01L 29/786

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4850057B2	公开(公告)日	2012-01-11
申请号	JP2006351676	申请日	2006-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ヤンジユンヨン オウジェヨン キムスプル		
发明人	ヤン ジュンヨン オウ ジェヨン キム スプル		
IPC分类号	G02F1/1368 G09F9/30 G09F9/35 H01L29/786 H01L21/336		
CPC分类号	H01L27/1288 H01L27/1214		
FI分类号	G02F1/1368 G09F9/30.338 G09F9/35 H01L29/78.618.C H01L29/78.627.C		
F-TERM分类号	2H092/GA59 2H092/JA25 2H092/JA28 2H092/JA29 2H092/JA33 2H092/JA36 2H092/JA44 2H092/JA46 2H092/KA04 2H092/KA10 2H092/KA18 2H092/MA15 2H092/MA18 2H092/MA27 2H092/MA41 2H092/NA21 2H192/AA24 2H192/BC35 2H192/CB02 2H192/CB34 2H192/CB42 2H192/CB82 2H192/HA63 5C094/AA53 5C094/BA03 5C094/BA43 5C094/DB01 5C094/FA03 5C094/FB14 5C094/GB10 5F110/AA06 5F110/AA30 5F110/BB01 5F110/BB04 5F110/CC02 5F110/DD13 5F110/DD14 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG13 5F110/GG22 5F110/GG28 5F110/GG29 5F110/GG42 5F110/HJ13 5F110/HM15 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN36 5F110/NN72 5F110/PP01 5F110/PP03 5F110/QQ01 5F110/QQ04		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020060040062 2006-05-03 KR		
其他公开文献	JP2007298947A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其制造方法，其中改善了薄膜晶体管的特性。解决方案：液晶显示装置可以包括在基板201上：包括半导体层215的半导体层215在沟道部分215a两侧的沟道部分215a和欧姆接触部分215b，其中半导体层的边缘部分具有锥形的侧表面；栅极绝缘层220覆盖半导体层215；栅电极235位于栅极绝缘层220上并对应于沟道部分215a；源电极和漏电极250和253与半导体层215接触；像素电极270与漏电极253接触。

【 3 図】

