

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4775850号  
(P4775850)

(45) 発行日 平成23年9月21日(2011.9.21)

(24) 登録日 平成23年7月8日(2011.7.8)

(51) Int.Cl.

F I

<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/133</b>	<b>550</b>
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	<b>G09G</b>	<b>3/20</b>	<b>611E</b>
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	<b>G09G</b>	<b>3/20</b>	<b>621M</b>
			<b>G09G</b>	<b>3/20</b>	<b>624D</b>
			<b>G09G</b>	<b>3/20</b>	<b>642P</b>

請求項の数 4 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2006-242903 (P2006-242903)  
 (22) 出願日 平成18年9月7日(2006.9.7)  
 (65) 公開番号 特開2008-65058 (P2008-65058A)  
 (43) 公開日 平成20年3月21日(2008.3.21)  
 審査請求日 平成21年8月13日(2009.8.13)

(73) 特許権者 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100102864  
 弁理士 工藤 実  
 (72) 発明者 田中 義之  
 滋賀県大津市晴嵐二丁目9番1号 関西日  
 本電気株式会社内

審査官 藤田 都志行

(56) 参考文献 特開2004-226737 (JP, A)  
 )  
 特表2005-538407 (JP, A)  
 )

最終頁に続く

(54) 【発明の名称】 液晶表示装置及び駆動回路

(57) 【特許請求の範囲】

【請求項1】

複数の画素を有する液晶パネルを駆動する駆動回路であって、  
 前記液晶パネルの液晶容量及び保持容量の容量値を検出するパネル容量検出回路と、  
 前記検出された容量値に応じて、前記複数の画素に対して共通に設けられた共通電極に  
 印加される駆動電位を可変に設定する駆動電位調整回路と

を備え、

前記パネル容量検出回路は、

前記容量値に応じて周波数が変化するクロック信号を生成するクロック発振器と、

所定の期間、前記クロック信号のパルス数をカウントするカウンタと、

前記所定の期間のパルス数と基準値との比較を行うコンパレータと

を有し、

前記パネル容量検出回路は、前記比較の結果に基づいて前記容量値を検出する

駆動回路。

【請求項2】

請求項1に記載の駆動回路であって、

前記パネル容量検出回路は、前記比較の結果を示すデジタルデータを前記駆動電位調整  
 回路に出力し、

前記駆動電位調整回路は、

所定の電位を生成する電位生成回路と、

前記デジタルデータに応じた前記駆動電位を前記所定の電位に基づいて生成するD/Aコンバータと  
を有する  
駆動回路。

【請求項3】

請求項1又は2に記載の駆動回路であって、  
前記所定の期間のパルス数が前記基準値より大きくなるほど、前記駆動電位調整回路は、  
前記駆動電位をより高く設定する  
駆動回路。

【請求項4】

請求項1乃至3のいずれかに記載の駆動回路と、  
前記液晶パネルと  
を具備する  
液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。特に、本発明は、液晶パネルにおいて複数の画素に対して共通に設けられた共通電極の駆動電位を制御する技術に関する。

【背景技術】

【0002】

液晶表示装置の液晶パネルは、マトリックス状に配置された複数の画素を有している。図1は、アクティブマトリックス方式の液晶表示装置における、1つの画素1の構成を概略的に示している(特許文献1参照)。

【0003】

画素1は、TFT(Thin Film Transistor)2、液晶セル(液晶容量)LC、保持容量(Storage Capacitor)SCを有している。TFT2のゲート電極2aはゲート線(走査線)3に接続されている。TFT2のソース電極/ドレイン電極の一方はデータ線(信号線)4に接続されており、他方は画素電極5に接続されている。画素電極5は、液晶セルLCの一端と保持容量SCの一端に接続されている。液晶セルLCの他端は、第1共通電極(対向電極)6に接続されている。また、保持容量SCの他端は、第2共通電極7に接続されている。第1共通電極6及び第2共通電極7は、複数の画素1に対して共通に設けられている。

【0004】

第1共通電極6には、共通電極電位VCOM1が印加される。つまり、共通電極電位VCOM1は、複数の画素1のそれぞれの液晶容量LCに対して共通に印加される。また、第2共通電極7には、共通電極電位VCOM2が印加される。つまり、共通電極電位VCOM2は、複数の画素1のそれぞれの保持容量SCに対して共通に印加される。

【0005】

TFT2を通して液晶容量LC及び保持容量SCに画素電位が設定された後、ゲート線3の電位がハイレベルからローレベルに変化する。この際、TFT2のゲート容量と、液晶容量LC及び保持容量SCの合計容量との容量分圧により、画素電位が下がる現象(フィードスルー)が起きる。このフィードスルーが画素駆動の正側と負側とで逆の方向になるため、正側と負側とで画素電圧が異なる現象が発生する。この現象は、表示上はフリッカとして認識される表示装置の問題点である。これを防ぐためには、第1共通電極6及び第2共通電極7の電位をそのフィードスルー分下げる(オフセットを与える)必要がある。このフィードスルーは液晶容量LCと保持容量SCの合計値が小さいほど大きくなる。

【0006】

特許文献1には、共通電極電位VCOM1のオフセットを設定するために可変抵抗器が用いられる場合、その可変抵抗器が液晶表示装置の小型化を妨げることが記載されている

10

20

30

40

50

。そのため、特許文献 1 に記載された技術によれば、共通電極電位  $V_{COM1}$  のオフセットを設定する手段として、可変抵抗器に代えて D/A コンバータが用いられる。より詳細には、ガラス基板の外部に設けられた ROM に、液晶パネル固有の電位降下分に対応したデジタルデータが予め格納されており、D/A コンバータは、そのデジタルデータに基づいて共通電極電位  $V_{COM1}$  を調整する。

【0007】

【特許文献 1】特開 2004 - 361758 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本願発明者は、次の点に着目した。画素 1 におけるデータの表示特性は、TF T 2 の負荷容量（液晶容量 LC や保持容量 SC）に依存する。従って、液晶容量 LC や保持容量 SC の製造ばらつきは、表示特性のばらつきを引き起こす。すなわち、液晶パネルの製造ばらつきは、液晶パネル間の表示特性のばらつきを引き起こす。このような表示特性のばらつきは、歩留まりの低下を招く。

【0009】

液晶パネル間の表示特性のばらつきを抑制するために、共通電極に印加される電位を調整することが考えられる。特許文献 1 に記載された技術によれば、共通電極電位  $V_{COM1}$  のオフセットを調整するためのデジタルデータが、液晶パネルごとに予め決定され、ガラス基板の外部に設けられた ROM に予め格納される。この手法と同様の手法を、表示特性のばらつきを抑制するために適用することも考えられる。しかしながらその場合、液晶パネルごとにデジタルデータを予め決定し ROM に格納する必要があるため、作業工程が増大し、効率が悪い。

【課題を解決するための手段】

【0010】

以下に、[発明を実施するための最良の形態] で使用される番号・符号を用いて、[課題を解決するための手段] を説明する。これらの番号・符号は、[特許請求の範囲] の記載と [発明を実施するための最良の形態] との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

【0011】

本発明の第 1 の観点において、液晶表示装置 (10) の駆動回路 (30) が提供される。液晶表示装置 (10) は、複数の画素 (1) を有する液晶パネル (20) を備える。駆動回路 (30) は、複数の画素 (1) に対して共通に設けられた共通電極 (6, 7) に駆動電位 ( $V_{COM1}$ ,  $V_{COM2}$ ) を印加する。より詳細には、本発明に係る駆動回路 (30) は、液晶パネル (20) の液晶容量 (LC) 及び保持容量 (SC) の容量値を検出するパネル容量検出回路 (50) と、駆動電位調整回路 (60) とを備える。駆動電位調整回路 (60) は、パネル容量検出回路 (50) によって検出された容量値に応じて、共通電極 (6, 7) に印加される駆動電位 ( $V_{COM1}$ ,  $V_{COM2}$ ) を可変に設定する。

【0012】

このように、本発明に係る駆動回路 (30) には、液晶パネル (20) の液晶容量 (LC) 及び保持容量 (SC) の容量値を検出するパネル容量検出回路 (50) が内蔵されている。その内蔵のパネル容量検出回路 (50) によって検出された容量値に基づき、共通電極 (6, 7) に印加される駆動電位 ( $V_{COM1}$ ,  $V_{COM2}$ ) は自動的に調整される。言い換えれば、上記構成を有する駆動回路 (30) を液晶表示装置 (10) に汎用的に搭載することによって、各液晶パネル (20) における駆動電位 ( $V_{COM1}$ ,  $V_{COM2}$ ) を自動的に調整することが可能となる。液晶パネル (20) ごとにデジタルデータを予め決定し ROM に格納する必要はない。余計な作業工程は必要なく、共通電極 (6, 7) の駆動電位 ( $V_{COM1}$ ,  $V_{COM2}$ ) は液晶パネル (20) ごとに効率良く調整される。また、共通電極 (6, 7) の駆動電位 ( $V_{COM1}$ ,  $V_{COM2}$ ) が調整されるため

10

20

30

40

50

、液晶パネル(20)間の表示特性のばらつきが抑制される。その結果、歩留まりが向上し、また、最適な液晶駆動が実現される。

【0013】

本発明の第2の観点において、液晶表示装置(10)が提供される。その液晶表示装置(10)は、上述の駆動回路(30)と、その駆動回路(30)によって駆動される液晶パネル(20)を備える。つまり、駆動回路(30)は、液晶パネル(20)の液晶容量(LC)及び保持容量(SC)の容量値に応じて、共通電極(6,7)の駆動電位(VCOM1, VCOM2)を可変に設定する。

【発明の効果】

【0014】

本発明によれば、液晶パネルの共通電極に印加される駆動電位は自動的に調整される。従って、液晶パネル間の表示特性のばらつきを効率良く抑制することが可能となる。その結果、歩留まりが向上し、また、最適な液晶駆動が実現される。

【発明を実施するための最良の形態】

【0015】

添付図面を参照して、本発明の実施の形態に係る液晶表示装置を説明する。

【0016】

図2は、本実施の形態に係るアクティブマトリックス型の液晶表示装置10の構成を示すブロック図である。液晶表示装置10は、液晶パネル20、ゲートドライバ21、及び液晶パネル駆動IC30を備えている。

【0017】

液晶パネル20は、マトリックス状に配置された複数の画素1を有している。各画素1は、図1で示された構成を有している。すなわち、各画素1は、TFT2、液晶セル(液晶容量)LC、保持容量SCを有している。TFT2のゲート電極2aはゲート線3に接続されている。TFT2のソース電極/ドレイン電極の一方はデータ線4に接続されており、他方は画素電極5に接続されている。画素電極5は、液晶セルLCの一端と保持容量SCの一端に接続されている。液晶セルLCの他端は、第1共通電極(対向電極)6に接続されている。また、保持容量SCの他端は、第2共通電極7に接続されている。第1共通電極6及び第2共通電極7は、複数の画素1に対して共通に設けられている。尚、第1共通電極6と第2共通電極7の電位は等しくてもよい。

【0018】

図3Aは、図2中の線A-A'に沿った断面構造を示しており、画素1の断面構造の一例を示している。図3Aに示されるように、液晶パネル20は、ガラス基板101と対向ガラス基板102を有しており、ガラス基板101と対向ガラス基板102の間には液晶103が挟まれている。ガラス基板101上には、TFT2と画素電極5が形成されている。TFT2は、ゲート電極2aと、ゲート電極2a上に形成されたゲート絶縁膜2bと、ゲート絶縁膜2b上に形成された拡散層2cを有している。拡散層2cは、データ線4と画素電極5に接続されている。画素電極5上には、絶縁膜8を介して第2共通電極7が形成されている。また、対向ガラス基板102上には、第1共通電極6が形成されている。第1共通電極6、液晶103、及び画素電極5によって液晶容量LCが形成されている。また、第2共通電極7、絶縁膜8、及び画素電極5によって保持容量SCが形成されている。

【0019】

再度図2を参照して、ゲートドライバ21は、液晶パネル20のゲート線3に接続されている。ゲートドライバ21は、表示対象の画素1に接続されたゲート線3を駆動する。

【0020】

液晶パネル駆動IC30は、液晶パネル20を駆動するためのICであり、液晶パネル20に接続されている。図2に示される液晶パネル駆動IC30は、ソースドライバ31、共通電極ドライバ32、電源33、タイミングコントローラ(T/C)34を内蔵している。タイミングコントローラ34は、マスタークロック、水平同期信号、垂直同期信号

10

20

30

40

50

に基づいて、各種ドライバの動作に必要な各種タイミングパルスを生成する。ソースドライバ31は、液晶パネル20のデータ線4に接続されており、表示対象の画素1に接続されたデータ線4を駆動する。

#### 【0021】

共通電極ドライバ32は、液晶パネル20の第1共通電極6及び第2共通電極7に接続されており、それら第1共通電極6及び第2共通電極7を駆動する。より詳細には、共通電極ドライバ32は、第1共通電極6に駆動電位（共通電極電位）VCOM1を印加し、第2共通電極7に駆動電位（共通電極電位）VCOM2を印加する。駆動電位VCOM1は、複数の画素1のそれぞれの液晶セルLCに対して共通に印加される。また、駆動電位VCOM2は、複数の画素1のそれぞれの保持容量SCに対して共通に印加される。

10

#### 【0022】

画素1におけるデータの表示特性は、TFT2の負荷容量（液晶容量LCや保持容量SC）に依存する。従って、液晶容量LCや保持容量SCの製造ばらつきは、表示特性のばらつきを引き起こす。つまり、液晶パネル20の製造ばらつきは、液晶パネル20間の表示特性のばらつきを引き起こす。このような表示特性のばらつきを抑制するために、共通電極6、7に印加される駆動電位VCOM1、VCOM2は、液晶パネル20の液晶容量LC及び保持容量SCの容量値に基づいて調整される。すなわち、本実施の形態に係る共通電極ドライバ32は、液晶パネル20の液晶容量LC及び保持容量SCの容量値に応じて、駆動電位VCOM1、VCOM2を可変に設定する。

#### 【0023】

より詳細には、共通電極ドライバ32は、液晶パネル20の液晶容量LC及び保持容量SCの容量値を自動的に検出（測定）する機能を有する。液晶パネル20の液晶容量LC及び保持容量SCの容量値を検出するために、液晶パネル20のガラス基板101上には、被検出容量40が形成されている。この被検出容量40は、ある画素1の液晶容量LCや保持容量SCとは別に設けられる「ダミー容量」である。

20

#### 【0024】

図3Bは、図2中の線B-B'に沿った断面構造を示しており、被検出容量40の断面構造の一例を示している。図3Bに示されるように、ガラス基板101上にはダミー画素電極45が形成されている。ダミー画素電極45上には、絶縁膜48を介して第2ダミー共通電極47が形成されている。また、対向ガラス基板102上には、第1ダミー共通電極46が形成されている。ダミー画素電極45、第1ダミー共通電極46、第2ダミー共通電極47、及び絶縁膜48のそれぞれは、画素電極5、第1共通電極6、第2共通電極7、及び絶縁膜8と同じ工程で製造される。

30

#### 【0025】

ダミー画素電極45に対する第1ダミー共通電極46の容量値と第2ダミー共通電極47の容量値との比率が、画素電極5に対する第1共通電極6の容量値と第2共通電極7の容量値との比率と等しくなるように設計が行われる。第1ダミー共通電極46及び第2ダミー共通電極47は電氣的に接続され、1つの端子として共通電極ドライバ32に接続される。また、ダミー画素電極45は他方の端子として共通電極ドライバ32に接続される。

40

#### 【0026】

共通電極ドライバ32は、このような被検出容量40に接続されており、その被検出容量40の容量値を自動的に検出する。画素単位の容量値（液晶容量LCや保持容量SC）は数pFと小さいため、液晶パネル20毎に変動する容量値を精度良く検出することは困難である。一方、画素1とは別に設けられた被検出容量40（ダミー容量）40を用いることによって、液晶パネル20の液晶容量LC及び保持容量SCの容量値を精度良く検出することが可能となる。共通電極ドライバ32は、検出された容量値に応じて、共通電極6、7に印加される駆動電位VCOM1、VCOM2を可変に設定する。

#### 【0027】

図4は、本実施の形態に係る共通電極ドライバ32の具体的な構成の一例を示している

50

。共通電極ドライバ32は、パネル容量検出回路50と駆動電位調整回路60を備えている。パネル容量検出回路50は、液晶パネル20の被検出容量40に接続されており、液晶パネル20の液晶容量LC及び保持容量SCの容量値を検出する。駆動電位調整回路60は、パネル容量検出回路50によって検出された容量値に応じて、駆動電位VCOM1、VCOM2を調整する。パネルの容量は一度液晶パネル20と液晶パネル駆動IC30との組み合わせが決まると、頻繁に変化するものではないため、例えば電源投入時に1回だけパネルの容量値に応じた共通電極6,7の駆動電位の調節を行えばよい。

【0028】

図4において、パネル容量検出回路50は、クロック発振器51、リファレンスカウンタ52、カウンタ53、及びコンパレータ54を有している。

10

【0029】

クロック発振器51は、被検出容量40に接続されている。クロック発振器51は、その被検出容量40に対する充放電によって三角波を生成し、その三角波に基づいて発振クロック信号CLKを生成する。発振クロック信号CLKの周波数は、被検出容量40の容量値に応じて変化する。被検出容量40の容量値が小さいほど、発振クロック信号CLKの周波数は大きくなる。このクロック発振器51は、液晶パネル駆動IC30をONさせる電源ON信号PWにตอบสนองして活性化される。

【0030】

リファレンスカウンタ52は、電源ON信号PWにตอบสนองして活性化される。このリファレンスカウンタ52は、液晶表示装置10の源発振クロック信号DOTCLKを受け取り、また、カウンタ53を活性化させるカウンタイネーブル信号CTENを出力する。より詳細には、リファレンスカウンタ52は、源発振クロック信号DOTCLKのパルス所定の数だけカウントし、そのカウント期間のみカウンタイネーブル信号CTENを活性化する。つまり、リファレンスカウンタ52は、カウンタ53が活性化される“所定の期間”を規定するために設けてあると言える。

20

【0031】

カウンタ53は、クロック発振器51から発振クロック信号CLKを受け取り、また、リファレンスカウンタ52からカウンタイネーブル信号CTENを受け取る。そして、カウンタ53は、カウンタイネーブル信号CTENが活性化される“所定の期間”のみ活性化され、その“所定の期間”のみ発振クロック信号CLKのパルス数をカウントする。カウンタイネーブル信号CTENが非活性化されると、クロック発振の停止を指示する発振停止信号STOPが、カウンタ53からクロック発振器51に出力される。また、上記所定の期間にカウントされたパルス数を示すカウント値CNTが、カウンタ53からコンパレータ54に出力される。

30

【0032】

被検出容量40の容量値が小さいほど、発振クロック信号CLKの周波数は大きくなり、所定の期間のカウント値CNTは大きくなる。一方、被検出容量40の容量値が大きいほど、発振クロック信号CLKの周波数は小さくなり、所定の期間のカウント値CNTは小さくなる。標準の被検出容量40の場合のカウント値CNTは、設計時に算出され、所定の基準値REFとして回路内に記憶される。従って、コンパレータ54は、カウント値CNTとその基準値REFとの比較を行うことによって、被検出容量40の容量値を判定することができる。コンパレータ54は、比較結果に対応したデジタルデータDATAを、駆動電位調整回路60に出力する。このデジタルデータDATAは、判定された被検出容量40の容量値に応じた駆動電位VCOM1、VCOM2を示す制御信号であり、駆動電位調整回路60に駆動電位VCOM1、VCOM2の調整を指示する制御信号である。尚、駆動電位VCOM1、VCOM2が独立して調整される場合、デジタルデータDATAは、駆動電位VCOM1の調整用のデジタルデータDATA1と、駆動電位VCOM2の調整用のデジタルデータDATA2とを含んでいる。

40

【0033】

図5は、本実施の形態に係る駆動電位調整回路60の構成の一例を示している。駆動電

50

位調整回路60は、レギュレータ70とD/Aコンバータ80を有している。レギュレータ70は、所定の電位VRを生成し出力する電位生成回路である。D/Aコンバータ80は、レギュレータ70の出力電位VRと、上記デジタルデータDATA(DATA1、DATA2)を受け取る。このD/Aコンバータ80は、受け取ったデジタルデータDATA(DATA1、DATA2)に応じた駆動電位VCOM1、VCOM2を、レギュレータ70の出力電位VRに基づいて生成する。

#### 【0034】

具体的には、D/Aコンバータ80は、抵抗分割回路81、デコーダ82-1、82-2、ボルテージフォロア83-1、83-2を有している。抵抗分割回路81は、直列に接続された複数の抵抗から構成されており、その一端はレギュレータ70の出力に接続され、その他端はグランドに接続されている。従って、抵抗分割回路81は、抵抗分割により、レギュレータ70の出力電位VRとグランド電位との間の複数の基準電位を発生させることができる。デコーダ82-1は、その複数の基準電位のうちデジタルデータDATA1に対応した1つを選択する。選択された1つの電位は、ボルテージフォロア83-1を通して、駆動電位VCOM1として出力される。同様に、デコーダ82-2は、その複数の基準電位のうちデジタルデータDATA2に対応した1つを選択する。選択された1つの電位は、ボルテージフォロア83-2を通して、駆動電位VCOM2として出力される。

10

#### 【0035】

このように、駆動電位調整回路60は、デジタルデータDATA(DATA1、DATA2)に回答して、共通電極6、7の駆動電位VCOM1、VCOM2を基準となる容量値に対するオフセット後の共通電極電位(共通電極電位の基準値)から調整(補正)する。図6は、駆動電位VCOM1、VCOM2の調整値(補正值)、被検出容量40の容量値、及びカウント値CNTの関係の一例を示している。被検出容量40の基準値は横方向の破線で示されており、カウント値CNTの基準値REFは縦方向の破線で示されている。図6に示されるように、カウント値CNTが基準値REFより大きくなるほど、駆動電位VCOM1、VCOM2はより高く設定される。つまり、被検出容量40の容量値が小さくなるにつれて、駆動電位VCOM1、VCOM2はより高く設定される。

20

#### 【0036】

図7は、本実施の形態に係る共通電極ドライバ32の動作を示すタイミングチャートである。時刻t1において、電源ON信号PWが活性化され、液晶パネル駆動IC30が起動する。これにより、共通電極ドライバ32も起動し、クロック発振器51は、発振クロック信号CLKの生成を開始する。尚、この時点で、駆動電位VCOM1、VCOM2を調整するためのデジタルデータDATA(DATA1、DATA2)は、デフォルト値に設定されている。

30

#### 【0037】

クロック発振器51の動作が安定した後の時刻t2において、リファレンスカウンタ52は、カウンタイネーブル信号CTENを活性化する。それに回答して、カウンタ53は、発振クロック信号CLKのパルス数のカウントを開始する。時刻t2から所定の期間T後の時刻t3において、リファレンスカウンタ52は、カウンタイネーブル信号CTENを非活性化する。それに回答して、カウンタ53は、パルス数のカウントを停止する。同時に、発振停止信号STOPによって、クロック発振器51の動作は停止する。

40

#### 【0038】

所定の期間Tにカウンタ53によってカウントされたパルス数を示すカウント値CNTが、コンパレータ54に出力される。コンパレータ54は、カウント値CNTと基準値REFを比較することによって、被検出容量40の容量値を検出する。そして、コンパレータ54は、検出された容量値に基づいて、駆動電位調整用のデジタルデータDATAを決定する。時刻t4において、駆動電位調整回路60に入力されるデジタルデータDATAは、デフォルト値から補正後の値に変更される。

#### 【0039】

50

時刻 t 5 において、レギュレータ 70 は活性化され、所定の出力電位 V R を出力する。D / A コンバータ 80 は、その出力電位 V R を、補正後のデジタルデータ D A T A に対応した駆動電位 V C O M 1、V C O M 2 に変換する。時刻 t 6 において、共通電極ドライバ 3 2 は、駆動電位 V C O M 1、V C O M 2 を、第 1 共通電極 6、第 2 共通電極 7 のそれぞれに印加する。時刻 t 7 において、液晶パネル 20 に画像が表示される。

#### 【0040】

以上に説明されたように、本発明に係る共通電極ドライバ 3 2 (液晶パネル駆動 I C 3 0) には、液晶パネル 20 の液晶容量 L C 及び保持容量 S C の容量値を検出するパネル容量検出回路 50 が内蔵されている。その内蔵のパネル容量検出回路 50 によって検出された容量値に基づき、共通電極 6、7 に印加される駆動電位 V C O M 1、V C O M 2 は自動的に調整される。言い換えれば、上記構成を有する共通電極ドライバ 3 2 を液晶表示装置 10 に汎用的に搭載することによって、各液晶パネル 20 における駆動電位 V C O M 1、V C O M 2 を自動的に調整することが可能となる。液晶パネル 20 ごとにデジタルデータを予め決定し R O M に格納する必要はない。余計な作業工程は必要なく、共通電極 6、7 の駆動電位 V C O M 1、V C O M 2 は液晶パネル 20 ごとに効率良く調整される。また、共通電極 6、7 の駆動電位 V C O M 1、V C O M 2 が調整されるため、液晶パネル 20 間の表示特性のばらつきが抑制される。その結果、歩留まりが向上し、また、最適な液晶駆動が実現される。

#### 【0041】

図 8 は、本実施の形態に係る液晶表示装置 10 の変形例を示している。変形例においては、液晶パネル 20 の液晶容量 L C 及び保持容量 S C の容量値を検出するために、既出の被検出容量 40 の代わりに、被検出容量 90 が用いられる。この被検出容量 90 は、液晶パネル 20 中のいくつかの画素 1 により構成されている。例えば、被検出容量 90 は、1 ライン分のゲート線 3 に接続される全ての画素 1 によって構成される。被検出容量 90 が構成されるとき、その 1 ライン分のゲート線 3 が駆動され、また、被検出容量 90 を構成する画素 1 に接続されるデータ線 4 は、図示されない短絡線によりショートされる。共通電極ドライバ 3 2 は、その短絡線、第 1 共通電極 6、及び第 2 共通電極 7 に接続される。被検出容量 40 の場合と同様に、共通電極ドライバ 3 2 は、被検出容量 90 の容量値を自動的に検出する。そして、共通電極ドライバ 3 2 は、検出された容量値に応じて、共通電極 6、7 に印加される駆動電位 V C O M 1、V C O M 2 を可変に設定する。

#### 【0042】

このような変形例によっても、既出の実施の形態と同じ効果が得られる。更に、変形例に特有の効果として、以下のものが挙げられる。実際の画素と同じレイアウトサイズの容量を検出することにより、被測定容量素子の端部におけるフリンジ効果を実際の画素と同じにすることができ、より精度の高い容量値検出が可能となる。また、表示に使用する画素を被検出容量として使用することで、パネル上にダミー容量を形成する面積を用意する必要がなく、よりコストの小さい液晶表示パネルを提供することができる。

#### 【図面の簡単な説明】

#### 【0043】

【図 1】図 1 は、液晶パネルに含まれる画素の構成を概略的に示す回路図である。

【図 2】図 2 は、本発明の実施の形態に係る液晶表示装置の構成を示すブロック図である。

【図 3 A】図 3 A は、本発明の実施の形態に係る画素の構造を示す断面図である。

【図 3 B】図 3 B は、本発明の実施の形態に係る被検出容量の構造を示す断面図である。

【図 4】図 4 は、本発明の実施の形態に係る共通電極ドライバの構成を示すブロック図である。

【図 5】図 5 は、本発明の実施の形態に係る駆動電位調整回路の構成を示すブロック図である。

【図 6】図 6 は、共通電極に印加される駆動電位の調整値 (補正值)、被検出容量の容量値、及びカウント値の関係の一例を示すグラフである。

10

20

30

40

50

【図 7】図 7 は、本発明の実施の形態に係る共通電極ドライバの動作を示すタイミングチャートである。

【図 8】図 8 は、本発明の実施の形態に係る液晶表示装置の変形例を示すブロック図である。

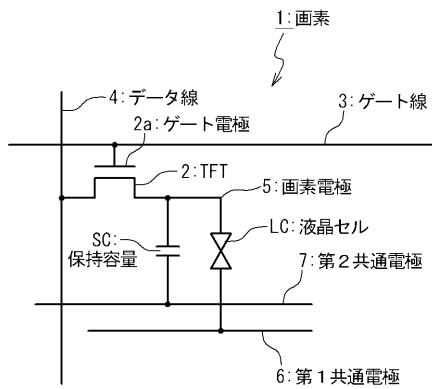
【符号の説明】

【 0 0 4 4 】

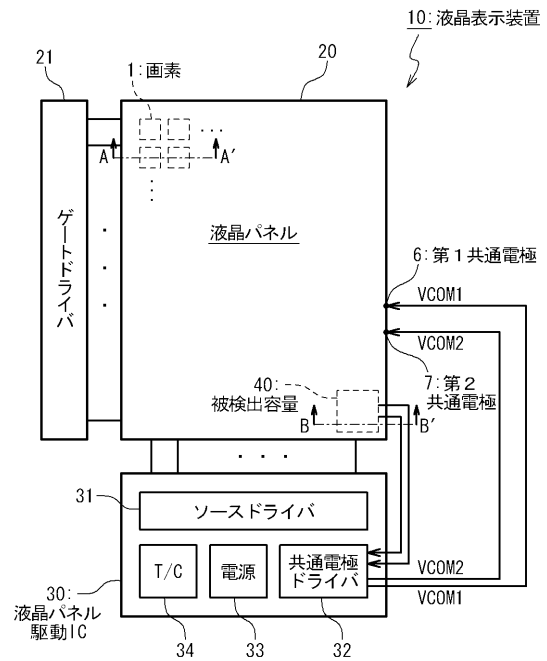
1	画素	
2	T F T	
3	ゲート線（走査線）	
4	データ線（信号線）	10
5	画素電極	
6	第 1 共通電極	
7	第 2 共通電極	
8	絶縁膜	
1 0	液晶表示装置	
2 0	液晶パネル	
2 1	ゲートドライバ	
3 0	液晶パネル駆動 I C	
3 1	ソースドライバ	
3 2	共通電極ドライバ	20
3 3	電源	
3 4	タイミングコントローラ	
4 0	被検出容量	
4 5	ダミー画素電極	
4 6	第 1 ダミー共通電極	
4 7	第 2 ダミー共通電極	
4 8	絶縁膜	
5 0	パネル容量検出回路	
5 1	クロック発振器	
5 2	リファレンスカウンタ	30
5 3	カウンタ	
5 4	コンパレータ	
6 0	駆動電位調整回路	
7 0	レギュレータ	
8 0	D / A コンバータ	
8 1	抵抗分割回路	
8 2	デコーダ	
8 3	ボルテージフォロア	
9 0	被検出容量	
1 0 1	ガラス基板	40
1 0 2	対向ガラス基板	
1 0 3	液晶	
LC	液晶セル（液晶容量）	
SC	保持容量	
CLK	発振クロック信号	
CNT	カウント値	
CTEN	カウンタイネーブル信号	
DATA	デジタルデータ（制御信号）	
DOTCLK	源発振クロック信号	
PW	電源 ON 信号	50

REF 基準値  
STOP 発振停止信号  
VCOM1, VCOM2 駆動電位

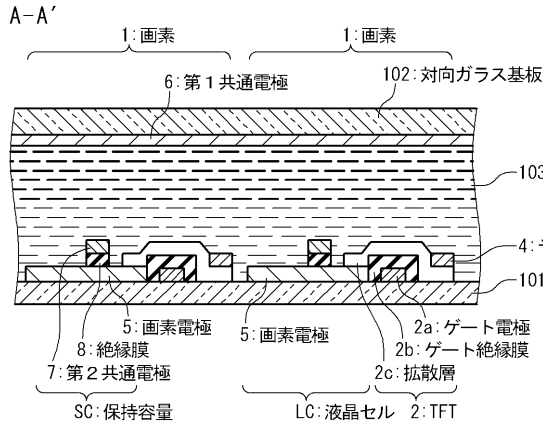
【図1】



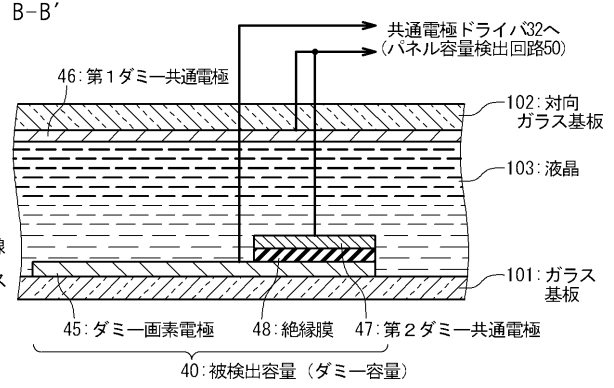
【図2】



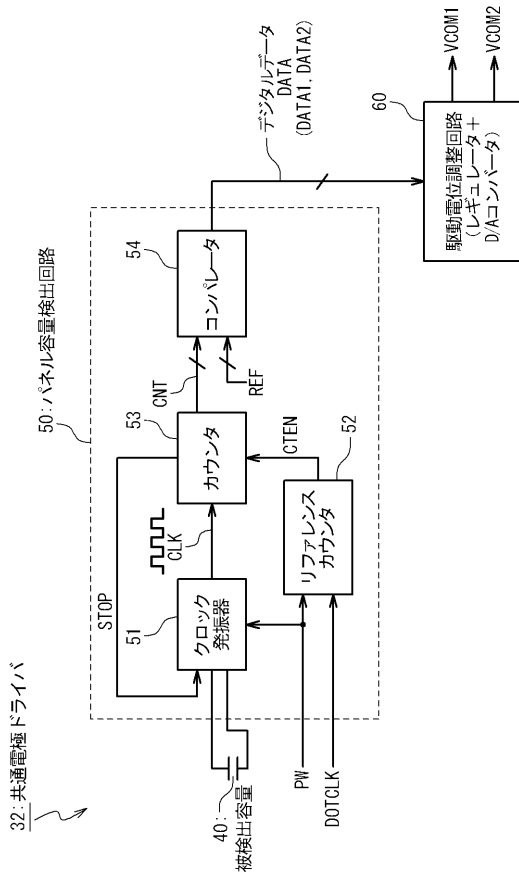
【図3A】



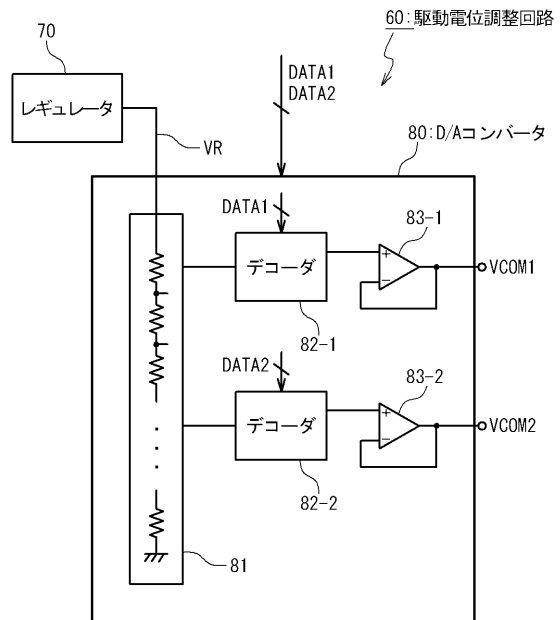
【図3B】



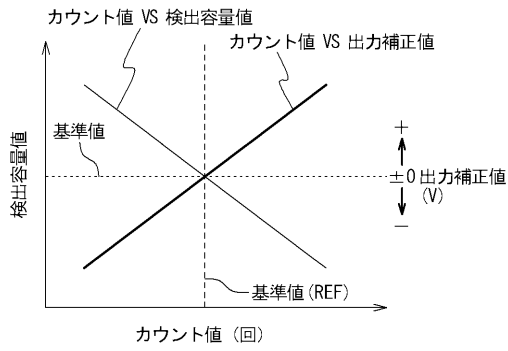
【図4】



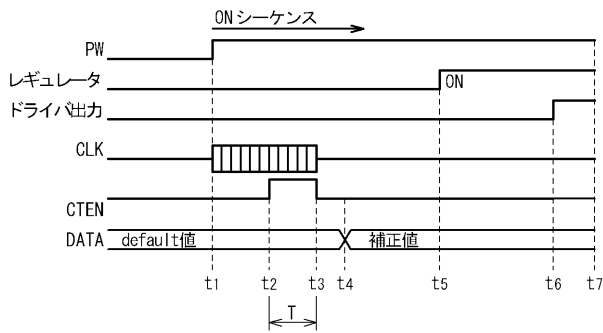
【図5】



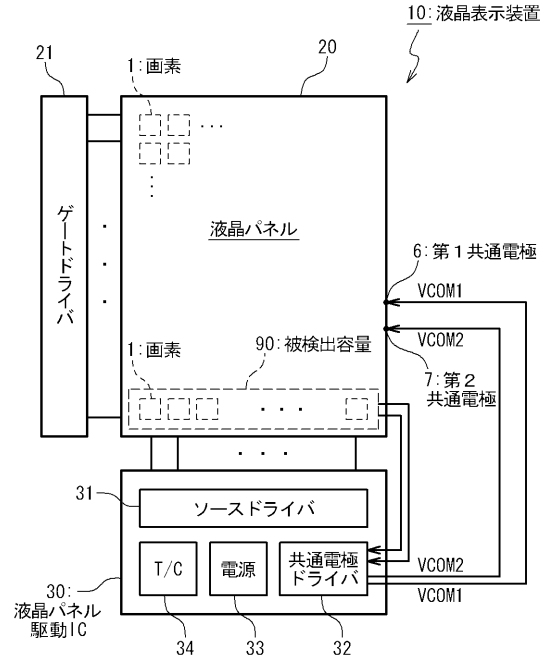
【図6】



【図7】



【図8】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 8 0 G

G 0 9 G 3/36

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 3

G 0 9 G 3 / 2 0

G 0 9 G 3 / 3 6

专利名称(译)	液晶显示装置和驱动电路		
公开(公告)号	<a href="#">JP4775850B2</a>	公开(公告)日	2011-09-21
申请号	JP2006242903	申请日	2006-09-07
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	田中義之		
发明人	田中 義之		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G02F1/136213 G09G3/3655 G09G2320/029		
FI分类号	G02F1/133.550 G09G3/20.611.E G09G3/20.621.M G09G3/20.624.D G09G3/20.642.P G09G3/20.680.G G09G3/36		
F-TERM分类号	2H093/NA16 2H093/NA80 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC21 2H093/NC25 2H093/NC27 2H093/NC34 2H093/NC35 2H093/NC49 2H093/NC52 2H093/NC65 2H093/NC68 2H093/ND05 2H093/ND09 2H193/ZA04 2H193/ZA07 2H193/ZB07 2H193/ZB14 2H193/ZB18 2H193/ZD32 2H193/ZD34 2H193/ZE31 2H193/ZE33 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZF59 2H193/ZF60 2H193/ZH26 2H193/ZH40 2H193/ZH42 2H193/ZH53 5C006/AC11 5C006/AC25 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF54 5C006/AF61 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF14 5C006/BF22 5C006/BF23 5C006/BF24 5C006/EB04 5C006/FA20 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD04 5C080/DD06 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	工藤稔		
其他公开文献	JP2008065058A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：有效地抑制液晶面板之间的显示特性的变化。  
 ŽSOLUTION：液晶显示装置的驱动电路30将驱动电压VCOM1，VCOM2施加到共同设置用于液晶面板20的多个像素1的公共电极6,7。驱动电路30具有：面板电容检测电路50，用于检测液晶面板20和存储电容器SC的液晶电容器LC的电容值。驱动电压调节电路60根据由面板电容检测电路50检测的电容值，可变地设定要施加到公共电极6,7的驱动电压VCOM1，VCOM2。

【 图 2 】

