

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4671187号
(P4671187)

(45) 発行日 平成23年4月13日 (2011. 4. 13)

(24) 登録日 平成23年1月28日 (2011. 1. 28)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006. 01)

G 0 9 G 3/20 (2006. 01)

G 0 2 F 1/133 (2006. 01)

G 0 9 G 3/36

G 0 9 G 3/20 6 2 2 Q

G 0 9 G 3/20 6 2 2 B

G 0 9 G 3/20 6 2 1 M

G 0 9 G 3/20 6 2 1 A

請求項の数 5 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2005-162209 (P2005-162209)
 (22) 出願日 平成17年6月2日 (2005. 6. 2)
 (65) 公開番号 特開2006-337710 (P2006-337710A)
 (43) 公開日 平成18年12月14日 (2006. 12. 14)
 審査請求日 平成19年9月7日 (2007. 9. 7)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (72) 発明者 鷺尾 一
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 (72) 発明者 山口 尚宏
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 (72) 発明者 村上 祐一郎
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板およびそれを用いた表示装置

(57) 【特許請求の範囲】

【請求項 1】

表示装置のためのアクティブマトリクス基板であって、
 表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、
 前記複数の映像信号線と交差する複数の走査信号線と、
 前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部を含み前記画像を表示する表示部と、
 前記表示部の一側に設けられ前記複数の走査信号線のうちの奇数行目の走査信号線を駆動する第1の走査信号線駆動回路であって、前記第1の走査信号線駆動回路の外部から与えられる複数の第2の次行駆動信号を受け取り、当該複数の第2の次行駆動信号に基づいて、前記奇数行目の走査信号線を駆動するための複数の第1の走査信号と当該駆動された奇数行目の走査信号線の次の行の走査信号線を駆動するための複数の第1の次行駆動信号とを出力する前記第1の走査信号線駆動回路と、

前記表示部の他側に設けられ前記複数の走査信号線のうちの偶数行目の走査信号線を駆動する第2の走査信号線駆動回路であって、前記第2の走査信号線駆動回路の外部から与えられる前記複数の第1の次行駆動信号を受け取り、当該複数の第1の次行駆動信号に基づいて、前記偶数行目の走査信号線を駆動するための複数の第2の走査信号と、当該駆動された偶数行目の走査信号線の次の行の走査信号線を駆動するための前記複数の第2の次行駆動信号とを出力する前記第2の走査信号線駆動回路とを備え、

10

20

前記第 1 の走査信号線駆動回路は、

前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン / オフ状態に応じて前記第 1 の走査信号を出力する第 3 のスイッチ回路であって、前記奇数行目の走査信号線が駆動されるべき期間を示す第 1 の駆動信号を受け取り、対応する走査信号線の前の行の走査信号線を駆動するための前記第 2 の走査信号に対応づけられる前記第 2 の次行駆動信号に基づいてオン状態となり、オン状態の間中には、前記第 1 の駆動信号を前記第 1 の走査信号として出力する前記第 3 のスイッチ回路と、

前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線を駆動するための前記第 1 の走査信号に基づいて前記第 1 の次行駆動信号を出力する第 3 の双安定回路とを含み、

10

前記第 2 の走査信号線駆動回路は、

前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン / オフ状態に応じて前記第 2 の走査信号を出力する第 4 のスイッチ回路であって、前記偶数行目の走査信号線が駆動されるべき期間を示す第 2 の駆動信号を受け取り、対応する走査信号線の前の行の走査信号線を駆動するための前記第 1 の走査信号に対応づけられる前記第 1 の次行駆動信号に基づいてオン状態となり、オン状態の間中には、前記第 2 の駆動信号を前記第 2 の走査信号として出力する前記第 4 のスイッチ回路と、

前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線を駆動するための前記第 2 の走査信号に基づいて前記第 2 の次行駆動信号を出力する第 4 の双安定回路とを含み、

20

前記第 3 の双安定回路は、対応する走査信号線の次々行の走査信号線を駆動するための前記第 1 の走査信号に基づいて、対応する走査信号線の次の行の走査信号線に前記第 2 の走査信号を出力するための前記第 4 のスイッチ回路がオフ状態となるように、前記第 1 の次行駆動信号を出力し、

前記第 4 の双安定回路は、対応する走査信号線の次々行の走査信号線を駆動するための前記第 2 の走査信号に基づいて、対応する走査信号線の次の行の走査信号線に前記第 1 の走査信号を出力するための前記第 3 のスイッチ回路がオフ状態となるように、前記第 2 の次行駆動信号を出力することを特徴とする、アクティブマトリクス基板。

【請求項 2】

前記第 3 の双安定回路と前記第 4 の双安定回路とは、セトリセット型のフリップフロップ回路であることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

30

【請求項 3】

前記第 1 の走査信号線駆動回路は、前記奇数行目の走査信号線のそれぞれに対応して設けられ前記第 1 の走査信号を増幅させる第 1 のバッファ回路を更に含み、

前記第 2 の走査信号線駆動回路は、前記偶数行目の走査信号線のそれぞれに対応して設けられ前記第 2 の走査信号を増幅させる第 2 のバッファ回路を更に含むことを特徴とする、請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 4】

前記第 1 のバッファ回路と前記第 2 のバッファ回路とは、それぞれのドレイン端子が接続されるように前記複数の走査信号線の延びる方向に並べて配置された N 型 MOS トランジスタと P 型 MOS トランジスタとからなる偶数個のインバータ回路であって、前記複数の映像信号線の延びる方向に直列に接続された前記偶数個のインバータ回路によって構成されていることを特徴とする、請求項 3 に記載のアクティブマトリクス基板。

40

【請求項 5】

請求項 1 から 4 までのいずれか 1 項に記載のアクティブマトリクス基板を備えることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、および表示装置等に用いられるアクティブマトリクス基板に関し

50

、特にアクティブマトリクス基板上に形成される走査信号線駆動回路に関する。

【背景技術】

【0002】

図14は、従来のアクティブマトリクス型液晶表示装置の全体構成図である。この液晶表示装置は、表示制御回路200とソースドライバ300とゲートドライバ700と表示部600とを有している。表示部600には、互いに交差（直交）する複数（ n 本）のソースバスライン $SL1 \sim SLn$ と複数（ m 本）のゲートバスライン $GL1 \sim GLm$ とが設けられている。ソースバスライン $SL1 \sim SLn$ とゲートバスライン $GL1 \sim GLm$ との交差点には、それぞれ画素形成部60が設けられている。ソースバスライン $SL1 \sim SLn$ はソースドライバ300と接続され、ゲートバスライン $GL1 \sim GLm$ はゲートドライバ700と接続されている。なお、ソースドライバ300とゲートドライバ700と表示部600とは、アクティブマトリクス基板100上に設けられている。

10

【0003】

表示制御回路200は、画像信号DATと、表示部600に画像を表示するタイミングを制御するためのソーススタートパルス信号SPS、ソースクロック信号CLK、ソースクロック反転信号CLKB、ゲートスタートパルス信号GSP、ゲートクロック信号GCK、ゲートクロック反転信号GCKB、およびパルス幅制御信号PWCとを出力する。ソースドライバ300は、ソーススタートパルス信号SPS、ソースクロック信号CLK、ソースクロック反転信号CLKB、および画像信号DATを受け取り、表示部600を駆動するために、駆動用の映像信号を映像信号線 $SL1 \sim SLn$ に印加する。ゲートドライバ700は、各ゲートバスライン $GL1 \sim GLm$ を1水平走査期間ずつ順次に選択するために、表示制御回路200から出力されるゲートスタートパルス信号GSP、ゲートクロック信号GCK、ゲートクロック反転信号GCKB、およびパルス幅制御信号PWCに基づいて、アクティブな走査信号の各ゲートバスライン $GL1 \sim GLm$ への印加を1垂直走査期間を周期として繰り返す。

20

【0004】

図15は、このようなアクティブマトリクス型液晶表示装置のゲートドライバ700の詳細な構成を示すブロック図である。このゲートドライバ700には、シフトレジスタ70とバッファ回路群71とが含まれている。シフトレジスタ70には、D型フリップフロップ回路72とNAND回路73とNOR回路74とが、それぞれ（ $m+1$ ）個ずつ設けられている。これにより、（ $m+1$ ）段のシフトレジスタが形成されている。その（ $m+1$ ）段のシフトレジスタのうちの2段目以降は、それぞれゲートバスライン $GL1 \sim GLm$ と対応づけられるようにして設けられている。

30

【0005】

ここで、シフトレジスタ70の x 段目に含まれるD型フリップフロップ回路72、NAND回路73、およびNOR回路74の動作について説明する。D型フリップフロップ回路72は、ゲートクロック信号GCKとゲートクロック反転信号GCKBと（ $x-1$ ）段目のD型フリップフロップ回路72からの出力信号 Q_{x-2} とを受け取り、出力信号 Q_{x-1} を出力する。なお、1段目のD型フリップフロップ回路72については、前段のD型フリップフロップ回路72からの出力信号 Q_{x-2} に代えて、ゲートスタートパルス信号GSPを受け取る。NAND回路73は、（ $x-1$ ）段目のD型フリップフロップ回路72からの出力信号 Q_{x-2} と x 段目のD型フリップフロップ回路72からの出力信号 Q_{x-1} とを受け取り、それらの否定論理積を示す信号 $NOUT_{x-1}$ を出力する。NOR回路74は、 x 段目のNAND回路73からの出力信号 $NOUT_{x-1}$ とパルス幅制御信号PWCとを受け取り、それらの否定論理和を示す信号を出力する。

40

【0006】

バッファ回路群71には、ゲートバスライン $GL1 \sim GLm$ に対応するようにして、 m 個のバッファ回路75が設けられている。各バッファ回路75には、直列に接続された2個のインバータ回路76、77が含まれている。これらのインバータ回路76、77は、入力された信号の論理レベルを反転させつつ、その信号の電流を増幅させる。

50

【 0 0 0 7 】

図 1 6 は、この液晶表示装置における信号波形図である。図 1 6 に示すように、表示制御回路 2 0 0 からゲートドライバ 7 0 0 に、ゲートスタートパルス信号 G S P、ゲートクロック信号 G C K、ゲートクロック反転信号 G C K B、およびパルス幅制御信号 P W C が与えられる。これにより、ゲートバスライン G L 1 ~ G L m が 1 水平走査期間ずつ順次に選択される。なお、本説明においては、1 行目から m 行目のゲートバスラインとそれらの走査信号とは、同じ参照符号「G L 1 ~ G L m」を用いる。

【 0 0 0 8 】

このような液晶表示装置において、従来、バッファ回路 7 5 のレイアウトは、図 1 7 に示すようなものであった。上述のとおり、各バッファ回路 7 5 には、それぞれ 2 個のインバータ回路 7 6、7 7 が含まれている。それら 2 個のインバータ回路 7 6、7 7 は、ソースバスライン S L 1 ~ S L n の延びる方向に直列に接続されている。ところで、バッファ回路 7 5 は走査信号の駆動能力を高めるために設けられているが、バッファ回路 7 5 を構成するインバータ回路内のトランジスタのチャネル幅を大きくするほど走査信号の駆動能力は高められる。ところが、トランジスタのチャネル幅を大きくすると、ゲート容量が増大するため、走査信号に遅延が生じる。このため、バッファ回路 7 5 内に複数個のインバータ回路を直列に接続する場合には、シフトレジスタ 7 0 に最も近い位置に配置されているインバータ回路から順に約 3 倍程度ずつチャネル幅が大きくなるように構成されることがある。上述のような液晶表示装置においては、例えば、インバータ回路 7 7 内のトランジスタのチャネル幅 W 2 は、インバータ回路 7 6 内のトランジスタのチャネル幅 W 1 の約 3 倍となっている。

【 0 0 0 9 】

このような液晶表示装置に関して、近年、表示画像の高精細化が強く要求されている。そのため、表示部 6 0 0 内により多くの画素を形成する必要性が高まっている。しかしながら、バッファ回路 7 5 の構成を図 1 7 に示すようなものにした場合、ゲートバスライン間の距離 W P が大きくなるため、容易に高精細化を実現することができない。

【 0 0 1 0 】

そこで、図 1 8 に示すように、バッファ回路 7 5 内の 2 個のインバータ回路 7 6 a、7 7 a をゲートバスライン G L 1 ~ G L m の延びる方向に直列に接続する構成が提案されている。この構成によれば、図 1 7 に示す構成と比べて、ゲートバスライン間の距離 W P を小さくすることができる。ところが、液晶表示装置を携帯電話等の電子機器に適用する場合、ユーザの要望等により、ゲートバスライン G L 1 ~ G L m の延びる方向については、一般的に電子機器の中心位置と表示部 6 0 0 の中心位置とが一致するような構成とされる。図 1 8 に示すような構成の場合、ゲートバスライン G L 1 ~ G L m の延びる方向についてのバッファ回路 7 5 の幅 W B が大きくなる。このため、図 1 9 に示すように、参照符号 7 で示す領域のような無駄な領域が大きくなる。

【 0 0 1 1 】

そこで、図 2 0 に示すように、表示部 6 0 0 の左右両側にゲートドライバを備える構成の液晶表示装置が提案されている。この液晶表示装置は、表示制御回路 2 0 0 とソースドライバ 3 0 0 と第 1 のゲートドライバ 8 0 0 と第 2 のゲートドライバ 9 0 0 と表示部 6 0 0 とを備えている。第 1 のゲートドライバ 8 0 0 には、第 1 のシフトレジスタ 8 0 と第 1 のバッファ回路群 8 1 とが含まれている。第 2 のゲートドライバ 9 0 0 には、第 2 のシフトレジスタ 9 0 と第 2 のバッファ回路群 9 1 とが含まれている。

【 0 0 1 2 】

表示制御回路 2 0 0 は、画像信号 D A T と、表示部 6 0 0 に画像を表示するタイミングを制御するためのソーススタートパルス信号 S P S、ソースクロック信号 S C K、ソースクロック反転信号 S C K B、第 1 のゲートスタートパルス信号 G S P 1、第 1 のゲートクロック信号 G C K 1、第 1 のゲートクロック反転信号 G C K B 1、第 1 のパルス幅制御信号 P W C 1、第 2 のゲートスタートパルス信号 G S P 2、第 2 のゲートクロック信号 G C K 2、第 2 のゲートクロック反転信号 G C K B 2、および第 2 のパルス幅制御信号 P W C

2とを出力する。第1のゲートドライバ800は、表示制御回路200から出力される第1のゲートスタートパルス信号GSP1、第1のゲートクロック信号GCK1、第1のゲートクロック反転信号GCKB1、および第1のパルス幅制御信号PWC1に基づいて、奇数行目のゲートバスラインG1、G3、・・・、Gm-1を順次を選択する。第2のゲートドライバ900は、表示制御回路200から出力される第2のゲートスタートパルス信号GSP2、第2のゲートクロック信号GCK2、第2のゲートクロック反転信号GCKB2、および第2のパルス幅制御信号PWC2に基づいて、偶数行目のゲートバスラインG2、G4、・・・、Gmを順次を選択する。

【0013】

図21は、第1のゲートドライバ800の詳細な構成を示すブロック図であり、図22は、第2のゲートドライバ900の詳細な構成を示すブロック図である。図21に示すように、第1のシフトレジスタ80には、奇数行目のゲートバスラインG1、G3、・・・、Gm-1に対応するようにして、D型フリップフロップ回路82とNAND回路83とNOR回路84とが設けられている。第1のバッファ回路群81には、奇数行目のゲートバスラインG1、G3、・・・、Gm-1に対応するようにして、バッファ回路85が設けられている。同様に、第2のシフトレジスタ90には、偶数行目のゲートバスラインG2、G4、・・・、Gmに対応するようにして、D型フリップフロップ回路92とNAND回路93とNOR回路94とが設けられている。第2のバッファ回路群91には、偶数行目のゲートバスラインG2、G4、・・・、Gmに対応するようにして、バッファ回路95が設けられている。このような構成において、図23に示すように、第1のゲートスタートパルス信号GSP1、第1のゲートクロック信号GCK1、第1のゲートクロック反転信号GCKB1、および第1のパルス幅制御信号PWC1が第1のゲートドライバ800に与えられ、第2のゲートスタートパルス信号GSP2、第2のゲートクロック信号GCK2、第2のゲートクロック反転信号GCKB2、および第2のパルス幅制御信号PWC2が第2のゲートドライバ900に与えられる。これにより、ゲートバスラインGL1～GLmが1水平走査期間ずつ順次を選択される。

【0014】

ここで、この液晶表示装置の第1のゲートドライバ800に含まれているバッファ回路85と第2のゲートドライバ900に含まれているバッファ回路95との位置関係について説明する。図24は、この液晶表示装置における第1のバッファ回路群81内のバッファ回路85と第2のバッファ回路群91内のバッファ回路95のレイアウトを示す図である。バッファ回路85とバッファ回路95とは、表示部600を挟んで千鳥状に配置されている。また、ソースバスラインSL1～SLnの延びる方向に着目した場合、バッファ回路85とバッファ回路95とが重複する領域が存在している。例えば、図24において参照符号H1で示す領域については、表示部600の左側には1行目のゲートバスラインGL1に対応して設けられているバッファ回路85の一部が含まれており、表示部600の右側には2行目のゲートバスラインGL2に対応して設けられているバッファ回路95の一部が含まれている。バッファ回路85とバッファ回路95とをこのように配置することによって、表示部600の一侧にのみバッファ回路が設けられている構成と比べて、走査信号線間の距離WPが短くなっている。

【0015】

なお、表示部600の左右両側にゲートドライバを備える液晶表示装置の構成については、例えば、特許文献1に開示されている。

【特許文献1】特開2004-61670号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

ところが、図20に示すような表示部600の両側にゲートドライバを備える構成にした場合、2個のゲートドライバをそれぞれ動作させる必要がある。このため、必要とされるクロック信号等の制御信号の数が増大し、回路規模が大きくなる。その結果、機器の額

10

20

30

40

50

縁等のサイズが大きくなり、小型化が阻害される。

【 0 0 1 7 】

そこで、本発明は、アクティブマトリクス基板を用いる表示装置を小型化することを目的とする。

【課題を解決するための手段】

【 0 0 1 8 】

第 1 の発明は、表示装置のためのアクティブマトリクス基板であって、
表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部を含み前記画像を表示する表示部と、

前記表示部の一側に設けられ前記複数の走査信号線のうちの奇数行目の走査信号線を駆動する第 1 の走査信号線駆動回路であって、前記第 1 の走査信号線駆動回路の外部から与えられる複数の第 2 の次行駆動信号を受け取り、当該複数の第 2 の次行駆動信号に基づいて、前記奇数行目の走査信号線を駆動するための複数の第 1 の走査信号と当該駆動された奇数行目の走査信号線の次の行の走査信号線を駆動するための複数の第 1 の次行駆動信号とを出力する前記第 1 の走査信号線駆動回路と、

前記表示部の他側に設けられ前記複数の走査信号線のうちの偶数行目の走査信号線を駆動する第 2 の走査信号線駆動回路であって、前記第 2 の走査信号線駆動回路の外部から与えられる前記複数の第 1 の次行駆動信号を受け取り、当該複数の第 1 の次行駆動信号に基づいて、前記偶数行目の走査信号線を駆動するための複数の第 2 の走査信号と、当該駆動された偶数行目の走査信号線の次の行の走査信号線を駆動するための前記複数の第 2 の次行駆動信号とを出力する前記第 2 の走査信号線駆動回路とを備え、

前記第 1 の走査信号線駆動回路は、

前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン/オフ状態に応じて前記第 1 の走査信号を出力する第 3 のスイッチ回路であって、前記奇数行目の走査信号線が駆動されるべき期間を示す第 1 の駆動信号を受け取り、対応する走査信号線の前の行の走査信号線を駆動するための前記第 2 の走査信号に対応づけられる前記第 2 の次行駆動信号に基づいてオン状態となり、オン状態の間中には、前記第 1 の駆動信号を前記第 1 の走査信号として出力する前記第 3 のスイッチ回路と、

前記奇数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線を駆動するための前記第 1 の走査信号に基づいて前記第 1 の次行駆動信号を出力する第 3 の双安定回路とを含み、

前記第 2 の走査信号線駆動回路は、

前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線にオン/オフ状態に応じて前記第 2 の走査信号を出力する第 4 のスイッチ回路であって、前記偶数行目の走査信号線が駆動されるべき期間を示す第 2 の駆動信号を受け取り、対応する走査信号線の前の行の走査信号線を駆動するための前記第 1 の走査信号に対応づけられる前記第 1 の次行駆動信号に基づいてオン状態となり、オン状態の間中には、前記第 2 の駆動信号を前記第 2 の走査信号として出力する前記第 4 のスイッチ回路と、

前記偶数行目の走査信号線のそれぞれに対応して設けられ、対応する走査信号線を駆動するための前記第 2 の走査信号に基づいて前記第 2 の次行駆動信号を出力する第 4 の双安定回路とを含み、

前記第 3 の双安定回路は、対応する走査信号線の次々行の走査信号線を駆動するための前記第 1 の走査信号に基づいて、対応する走査信号線の次の行の走査信号線に前記第 2 の走査信号を出力するための前記第 4 のスイッチ回路がオフ状態となるように、前記第 1 の次行駆動信号を出力し、

前記第 4 の双安定回路は、対応する走査信号線の次々行の走査信号線を駆動するための前記第 2 の走査信号に基づいて、対応する走査信号線の次の行の走査信号線に前記第 1 の

10

20

30

40

50

走査信号を出力するための前記第3のスイッチ回路がオフ状態となるように、前記第2の次行駆動信号を出力することを特徴とする。

【0019】

第2の発明は、第1の発明において、

前記第3の双安定回路と前記第4の双安定回路とは、セットリセット型のフリップフロップ回路であることを特徴とする。

【0020】

第3の発明は、第1または第2の発明において、

前記第1の走査信号線駆動回路は、前記奇数行目の走査信号線のそれぞれに対応して設けられ前記第1の走査信号を増幅させる第1のバッファ回路を更に含み、

前記第2の走査信号線駆動回路は、前記偶数行目の走査信号線のそれぞれに対応して設けられ前記第2の走査信号を増幅させる第2のバッファ回路を更に含むことを特徴とする。

【0021】

第4の発明は、第3の発明において、

前記第1のバッファ回路と前記第2のバッファ回路とは、それぞれのドレイン端子が接続されるように前記複数の走査信号線の延びる方向に並べて配置されたN型MOSトランジスタとP型MOSトランジスタとからなる偶数個のインバータ回路であって、前記複数の映像信号線の延びる方向に直列に接続された前記偶数個のインバータ回路によって構成されていることを特徴とする。

【0022】

第5の発明は、液晶表示装置であって、

第1から第4までのいずれかの発明に係るアクティブマトリクス基板を備えることを特徴とする。

【発明の効果】

【0023】

上記第1の発明によれば、表示部の一側に第1の走査信号線駆動回路が設けられ、表示部の他側に第2の走査信号線駆動回路が設けられている。第1の走査信号線駆動回路は、奇数行目の走査信号線を駆動するとともに、偶数行目の走査信号線を駆動させるための第1の次行駆動信号を第2の走査信号線駆動回路に与える。第2の走査信号線駆動回路は、偶数行目の走査信号線を駆動するとともに、奇数行目の走査信号線を駆動させるための第2の次行駆動信号を第1の走査信号線駆動回路に与える。これにより、第1の走査信号線駆動回路と第2の走査信号線駆動回路とは、互いに、他方から与えられた次行駆動信号に基づいて走査信号線を駆動することができる。このため、従来、走査信号線駆動回路を駆動するために必要とされていたクロック信号等を、表示制御回路から走査信号線駆動回路に与える必要がなくなる。また、第1の走査信号線駆動回路には、奇数行目の走査信号線のそれぞれに対応してフリップフロップ回路とスイッチ回路とが設けられ、第2の走査信号線駆動回路には、偶数行目の走査信号線のそれぞれに対応してフリップフロップ回路とスイッチ回路とが設けられている。各フリップフロップ回路は、対応する走査信号線の次の行の走査信号線を駆動するための次行駆動信号を出力する。スイッチ回路は、その次行駆動信号に基づいてオン状態にされる。スイッチ回路は、また、各走査信号線を駆動する期間を示す駆動信号を受け取り、オン状態の期間中には、当該駆動信号を走査信号として出力する。これにより、外部から走査信号線駆動回路に制御信号等を与えることなくスイッチ回路をオン状態にすることができ、スイッチ回路がオン状態の期間中には、当該スイッチ回路に与えられる駆動信号に基づいて、対応する走査信号線が駆動される。以上より、回路規模が削減され、装置が小型化される。さらに、各フリップフロップ回路は、対応する走査信号線の次々行の走査信号線を駆動するための走査信号に基づいて、スイッチ回路をオフ状態にする。このため、スイッチ回路をオフ状態にするために、外部から走査信号線駆動回路に制御信号等を与える必要がなくなる。

【0024】

上記第2の発明によれば、第3のフリップフロップ回路と第4のフリップフロップ回路とは、セトリセット型のフリップフロップ回路である。このため、D型フリップフロップ回路よりも簡易な構成で実現することができる。

【0025】

上記第3の発明によれば、第1の走査信号線駆動回路および第2の走査信号線駆動回路には、走査信号の電流を増幅するためのバッファ回路が設けられている。このため、走査信号の駆動能力が高められ、走査信号の遅延の発生が抑制される。これにより、表示上の不具合を引き起こすことなく、装置の小型化が実現される。

【0026】

上記第4の発明によれば、第1の走査信号線駆動回路および第2の走査信号線駆動回路に含まれるバッファ回路は、映像信号線の延びる方向に直列に接続されたインバータ回路によって構成されている。また、第1の走査信号線駆動回路は表示部の一側に、第2の信号線駆動回路は表示部の他側に設けられている。このため、第1の走査信号線駆動回路に含まれるバッファ回路と第2の走査信号線駆動回路に含まれるバッファ回路とを千鳥状に配置することによって、走査信号線間の距離をより小さくすることができる。また、このアクティブマトリクス基板を備えた表示装置を携帯電話等の電子機器に適用する場合に、無駄な領域を削減しつつ、左右対称となるように表示部を当該電子機器に組み込むことが容易になる。これにより、容易に装置の小型化や狭額縁化が可能となる。

【0027】

上記第5の発明によれば、アクティブマトリクス型の表示装置が小型化される。

【発明を実施するための最良の形態】

【0028】

以下、添付図面を参照しつつ、まず参考例を説明し、次に本発明の実施形態について説明する。

【0029】

< 1. 参考例 >

< 1. 1 液晶表示装置の全体構成および動作 >

図1は、参考例に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示制御回路200とソースドライバ（映像信号線駆動回路）300と第1のゲートドライバ（第1の走査信号線駆動回路）400と第2のゲートドライバ（第2の走査信号線駆動回路）500と表示部600とを備えている。第1のゲートドライバ400と第2のゲートドライバ500とは、図1に示すように、表示部600を挟むようにして設けられている。すなわち、第1のゲートドライバ400は表示部600の左側に設けられ、第2のゲートドライバ500は表示部600の右側に設けられている。なお、ソースドライバ300、第1のゲートドライバ400、第2のゲートドライバ500、および表示部600は、アクティブマトリクス基板100上に設けられている。

【0030】

表示部600には、互いに交差（直交）する複数（ n 本）のソースバスライン（映像信号線） $SL1 \sim SLn$ と複数（ m 本）のゲートバスライン（走査信号線） $GL1 \sim GLm$ とが設けられている。ソースバスライン $SL1 \sim SLn$ はソースドライバ300と接続されている。ゲートバスライン $GL1 \sim GLm$ については、第1のゲートドライバ400と第2のゲートドライバ500とに接続されている。また、表示部600には、ソースバスライン $SL1 \sim SLn$ とゲートバスライン $GL1 \sim GLm$ との交差点にそれぞれ対応して設けられた複数個（ $m \times n$ 個）の画素形成部60が含まれている。

【0031】

表示制御回路200は、画像信号DATと、表示部600に画像を表示するタイミングを制御するためのソーススタートパルス信号SPS、ソースクロック信号CLK、ソースクロック反転信号CLKB、ゲートスタートパルス信号GSP、第1の駆動信号としての第1のパルス幅制御信号PWC1、および第2の駆動信号としての第2のパルス幅制御信

10

20

30

40

50

号 P W C 2 とを出力する。

【 0 0 3 2 】

ソースドライバ 3 0 0 は、サンプリングパルス生成回路 3 0 とサンプリング回路 3 1 とを備えている。サンプリングパルス生成回路 3 0 は、表示制御回路 2 0 0 から出力されるスタートパルス信号 S P S とソースクロック信号 S C K とソースクロック反転信号 S C K B とを受け取り、サンプリングパルスを出力する。サンプリング回路 3 1 は、サンプリングパルス生成回路 3 0 から出力されるサンプリングパルスに基づいて画像信号 D A T をサンプリングし、それを駆動用の映像信号としてソースバスライン S L 1 ~ S L n に出力する。

【 0 0 3 3 】

第 1 のゲートドライバ 4 0 0 は、第 1 の走査信号生成回路群 4 0 と第 1 のバッファ回路群 4 1 とを備えている。第 1 の走査信号生成回路群 4 0 は、表示制御回路 2 0 0 から出力されるゲートスタートパルス信号 G S P と第 1 のパルス幅制御信号 P W C 1 とを受け取り、更に、第 2 のゲートドライバ 5 0 0 から出力される第 2 の次行駆動信号としての第 2 の走査信号 G L 2、G L 4、・・・、G L m を受け取る。そして、それらの信号に基づいて、奇数行目のゲートバスライン G L 1、G L 3、・・・、G L m - 1 を選択するための第 1 の走査信号 G L 1、G L 3、・・・、G L m - 1 を出力する。

【 0 0 3 4 】

第 2 のゲートドライバ 5 0 0 は、第 2 の走査信号生成回路群 5 0 と第 2 のバッファ回路群 5 1 とを備えている。第 2 の走査信号生成回路群 5 0 は、表示制御回路 2 0 0 から出力される第 2 のパルス幅制御信号 P W C 2 を受け取り、更に、第 1 のゲートドライバ 4 0 0 から出力される第 1 の次行駆動信号としての第 1 の走査信号 G L 1、G L 3、・・・、G L m - 1 を受け取る。そして、それらの信号に基づいて、偶数行目のゲートバスライン G L 2、G L 4、・・・、G L m を選択するための第 2 の走査信号 G L 2、G L 4、・・・、G L m を出力する。

【 0 0 3 5 】

以上のように、奇数行目のゲートバスライン G L 1、G L 3、・・・、G L m - 1 を選択するための第 1 の走査信号 G L 1、G L 3、・・・、G L m - 1 が第 1 のゲートドライバ 4 0 0 から出力され、偶数行目のゲートバスライン G L 2、G L 4、・・・、G L m を選択するための第 2 の走査信号 G L 2、G L 4、・・・、G L m が第 2 のゲートドライバ 5 0 0 から出力される。これにより、各ゲートバスライン G L 1 ~ G L m へのアクティブな走査信号の印加が 1 垂直走査期間を周期として繰り返される。

【 0 0 3 6 】

< 1 . 2 ゲートドライバ >

< 1 . 2 . 1 ゲートドライバの全体構成 >

次に、本参考例におけるゲートドライバの構成について説明する。本参考例においては、上述したように、表示部 6 0 0 の左右両側にゲートドライバが設けられた構成となっている。図 2 は、本参考例における要部の詳細な構成を示すブロック図である。図 2 に示すように、第 1 の走査信号生成回路群 4 0 には、複数個の走査信号生成回路（第 1 の走査信号生成回路）4 2 が含まれており、第 2 の走査信号生成回路群 5 0 には、複数個の走査信号生成回路（第 2 の走査信号生成回路）5 2 が含まれている。また、第 1 のバッファ回路群 4 1 には、複数個のバッファ回路（第 1 のバッファ回路）4 3 が含まれており、第 2 のバッファ回路群 5 1 には、複数個のバッファ回路（第 2 のバッファ回路）5 3 が含まれている。第 1 の走査信号生成回路 4 2 と第 1 のバッファ回路 4 3 とは、それぞれ奇数行目のゲートバスライン G L 1、G L 3、・・・、G L m - 1 に対応して設けられている。第 2 の走査信号生成回路 5 2 と第 2 のバッファ回路 5 3 とは、それぞれ偶数行目のゲートバスライン G L 2、G L 4、・・・、G L m に対応して設けられている。

【 0 0 3 7 】

第 1 の走査信号生成回路 4 2 には、第 1 のパルス幅制御信号 P W C 1 が与えられ、第 2 の走査信号生成回路 5 2 には、第 2 のパルス幅制御信号 P W C 2 が与えられる。1 行目の

10

20

30

40

50

ゲートバスライン $GL1$ に対応して設けられている第1の走査信号生成回路42には、さらに、ゲートスタートパルス信号 GSP が与えられる。このような構成により、奇数行目のゲートバスライン $GL1$ 、 $GL3$ 、 $\dots$ 、 $GLm-1$ については第1の走査信号生成回路群40から走査信号が与えられ、偶数行目のゲートバスライン $GL2$ 、 $GL4$ 、 $\dots$ 、 GLm については第2の走査信号生成回路群50から走査信号が与えられる。

【0038】

1行目のゲートバスライン $GL1$ に対応する第1の走査信号生成回路42には、セットリセット型のフリップフロップ回路（第1のフリップフロップ回路） $FF1$ とアナログスイッチ（第1のスイッチ回路） $SW1$ とインバータ回路 $INV1$ とが含まれている。2行目以降のゲートバスライン $GL2 \sim GLm$ に対応する第1の走査信号生成回路42および第2の走査信号生成回路52には、セットリセット型のフリップフロップ回路（第1または第2のフリップフロップ回路） $FF2 \sim FFm$ とアナログスイッチ（第1または第2のスイッチ回路） $SW2 \sim SWm$ とインバータ回路 $INV2 \sim INVm$ 、 $INVS2 \sim INVS m$ とが含まれている。

【0039】

1行目のゲートバスライン $GL1$ に対応する第1のフリップフロップ回路 $FF1$ には、ゲートスタートパルス信号 GSP と2行目のゲートバスライン $GL2$ を選択するための第2の走査信号 $GL2$ とが与えられる。それらの信号に基づき、第1のフリップフロップ回路 $FF1$ は出力信号 $Q1$ を出力する。2行目以降のゲートバスライン $GL2 \sim GLm$ に対応する第1または第2のフリップフロップ回路 $FF2 \sim FFm$ には、それぞれの行の前行のゲートバスラインを選択するための走査信号と、それぞれの行の次行のゲートバスラインを選択するための走査信号とが与えられる。それらの信号に基づき、第1または第2のフリップフロップ回路 $FF2 \sim FFm$ は出力信号 $Q2 \sim Qm$ を出力する。

【0040】

奇数行目のゲートバスライン $GL1$ 、 $GL3$ 、 $\dots$ 、 $GLm-1$ に対応する第1のスイッチ回路 $SW1$ 、 $SW3$ 、 $\dots$ 、 $SWm-1$ は、第1のパルス幅制御信号 $PWC1$ と、第1のフリップフロップ回路 $FF1$ 、 $FF3$ 、 $\dots$ 、 $FFm-1$ からの出力信号 $Q1$ 、 $Q3$ 、 $\dots$ 、 $Qm-1$ とを受け取り、出力信号 $SRO1$ 、 $SRO3$ 、 $\dots$ 、 $SROm-1$ を出力する。出力信号 $SRO1$ 、 $SRO3$ 、 $\dots$ 、 $SROm-1$ は、インバータ回路 $INV1$ 、 $INV3$ 、 $\dots$ 、 $INVm-1$ によって反転し、その反転後の信号が第1のバッファ回路43に与えられる。第1のバッファ回路43は、出力信号 $SRO1$ 、 $SRO3$ 、 $\dots$ 、 $SROm-1$ の反転後の信号を受け取り、第1の走査信号 $GL1$ 、 $GL3$ 、 $\dots$ 、 $GLm-1$ を出力する。

【0041】

一方、偶数行目のゲートバスライン $GL2$ 、 $GL4$ 、 $\dots$ 、 GLm に対応する第2のスイッチ回路 $SW2$ 、 $SW4$ 、 $\dots$ 、 SWm は、第2のパルス幅制御信号 $PWC2$ と、第2のフリップフロップ回路 $FF2$ 、 $FF4$ 、 $\dots$ 、 FFm からの出力信号 $Q2$ 、 $Q4$ 、 $\dots$ 、 Qm とを受け取り、出力信号 $SRO2$ 、 $SRO4$ 、 $\dots$ 、 $SROm$ を出力する。出力信号 $SRO2$ 、 $SRO4$ 、 $\dots$ 、 $SROm$ は、インバータ回路 $INV2$ 、 $INV4$ 、 $\dots$ 、 $INVm$ によって反転し、その反転後の信号が第2のバッファ回路53に与えられる。第2のバッファ回路53は、出力信号 $SRO2$ 、 $SRO4$ 、 $\dots$ 、 $SROm$ の反転後の信号を受け取り、第2の走査信号 $GL2$ 、 $GL4$ 、 $\dots$ 、 GLm を出力する。

【0042】

< 1.2.2 フリップフロップ回路の構成および動作 >

図3は、本参考例における第1および第2の走査信号生成回路42、52に含まれているセットリセット型のフリップフロップ回路 $FF1 \sim FFm$ の具体的な構成を示す回路図である。各フリップフロップ回路には、3個のP型MOSトランジスタ $P1$ 、 $P4$ 、 $P5$ と、4個のN型MOSトランジスタ $N2$ 、 $N3$ 、 $N6$ 、 $N7$ と、2個のインバータ回路 $INV01$ 、 $INV02$ とが含まれている。

【 0 0 4 3 】

図 3 に示すように、P 型 MOS トランジスタ P 1 と N 型 MOS トランジスタ N 2 と N 型 MOS トランジスタ N 3 とが直列に接続され、P 型 MOS トランジスタ P 4 と P 型 MOS トランジスタ P 5 と N 型 MOS トランジスタ N 6 と N 型 MOS トランジスタ N 7 とが直列に接続されている。P 型 MOS トランジスタ P 1 および P 4 のソース端子は電源 VCC に接続され、N 型 MOS トランジスタ N 3 および N 7 のソース端子は接地されている。P 型 MOS トランジスタ P 1 のドレイン端子と N 型 MOS トランジスタ N 2 のドレイン端子とは接続され、P 型 MOS トランジスタ P 5 のドレイン端子と N 型 MOS トランジスタ N 6 のドレイン端子とは接続されている。

【 0 0 4 4 】

また、P 型 MOS トランジスタ P 1 および P 5、N 型 MOS トランジスタ N 2 および N 6 のドレイン端子は、インバータ回路 INV 0 1 の入力端子と接続されている。インバータ回路 INV 0 1 とインバータ回路 INV 0 2 とは直列に接続されており、それらの接続点は P 型 MOS トランジスタ P 5 のゲート端子および N 型 MOS トランジスタ N 6 のゲート端子と接続されている。

【 0 0 4 5 】

このフリップフロップ回路に入力されるセット信号 S の反転信号は、P 型 MOS トランジスタ P 1、N 型 MOS トランジスタ N 3 および N 7 のゲート端子に与えられる。一方、リセット信号 R は、P 型 MOS トランジスタ P 4 および N 型 MOS トランジスタ N 2 のゲート端子に与えられる。また、このフリップフロップ回路の外部には、インバータ回路 INV 0 2 から出力信号 Q が出力される。

【 0 0 4 6 】

上述のような構成において、リセット信号 R の論理レベルがローレベルである時にセット信号 S の反転信号の論理レベルがハイレベルからローレベルに変化すると、P 型 MOS トランジスタ P 1 はオン状態になる。この時、N 型 MOS トランジスタ N 2 はオフ状態であるので、インバータ回路 INV 0 1 の入力端子に与えられる信号の論理レベルはハイレベルとなる。上述のようにインバータ回路 INV 0 1 とインバータ回路 INV 0 2 とは直列に接続されているので、この時、インバータ回路 INV 0 2 から出力される出力信号 Q の論理レベルはハイレベルとなる。また、リセット信号 R の論理レベルはローレベルであるので P 型 MOS トランジスタ P 4 はオン状態であり、インバータ回路 INV 0 1 から出力される信号の論理レベルもローレベルであるので、P 型 MOS トランジスタ P 5 はオン状態になる。従って、リセット信号 R の論理レベルがローレベルで維持されている期間中においては、セット信号 S の反転信号の論理レベルがローレベルからハイレベルに変化しても、出力信号 Q の論理レベルはハイレベルのまま維持される。

【 0 0 4 7 】

セット信号 S の反転信号の論理レベルがローレベルからハイレベルに変化した後、リセット信号 R の論理レベルがローレベルからハイレベルに変化すると、P 型 MOS トランジスタ P 1 および P 4 はオフ状態になり、N 型 MOS トランジスタ N 2 および N 3 はオン状態になる。これにより、インバータ回路 INV 0 1 の入力端子に与えられる信号の論理レベルはローレベルとなる。従って、インバータ回路 INV 0 2 から出力される出力信号 Q の論理レベルはローレベルとなる。また、セット信号 S の反転信号の論理レベルはハイレベルであるので、N 型 MOS トランジスタ N 7 はオン状態であり、インバータ回路 INV 0 1 から出力される信号の論理レベルもハイレベルであるので、N 型 MOS トランジスタ N 6 もオン状態になる。従って、セット信号 S の反転信号の論理レベルがハイレベルで維持されている期間中においては、リセット信号 R の論理レベルがハイレベルからローレベルに変化しても、出力信号 Q の論理レベルはローレベルのまま維持される。

【 0 0 4 8 】

以上のように、本参考例においては、リセット信号 R の論理レベルがローレベルになっている期間中にセット信号 S の反転信号の論理レベルをハイレベルからローレベルに変化させることによって、出力信号 Q の論理レベルをローレベルからハイレベルに変化させて

10

20

30

40

50

いる。一方、セット信号 S の反転信号の論理レベルがハイレベルになっている期間中にリセット信号 R の論理レベルをローレベルからハイレベルに変化させることによって、出力信号 Q の論理レベルをハイレベルからローレベルに変化させている。

【 0 0 4 9 】

なお、本参考例においては、セット信号 S は、ゲートスタートパルス信号 G S P または各フリップフロップ回路に対応するゲートバスラインの前行のゲートバスラインに与えられる走査信号に相当する。リセット信号 R は、各フリップフロップ回路に対応するゲートバスラインの次行のゲートバスラインに与えられる走査信号に相当する。出力信号 Q は、アナログスイッチ S W 1 ~ S W m に与えられる出力信号 Q 1 ~ Q m に相当する。

【 0 0 5 0 】

< 1 . 2 . 3 アナログスイッチの構成および動作 >

図 4 は、本参考例における第 1 および第 2 の走査信号生成回路 4 2、5 2 に含まれているアナログスイッチ S W 1 ~ S W m の具体的な構成を示す回路図である。各アナログスイッチには、P 型 MOS トランジスタ P 1 1 と N 型 MOS トランジスタ N 1 1 とからなる C M O S スイッチと、インバータ回路 I V 1 1 と、P 型 MOS トランジスタ P 1 2 とが含まれている。

【 0 0 5 1 】

図 4 に示すように、N 型 MOS トランジスタ N 1 1 のゲート端子とインバータ回路 I V 1 1 の入力端子と P 型 MOS トランジスタ P 1 2 のゲート端子が接続されている。また、P 型 MOS トランジスタ P 1 1 のゲート端子とインバータ回路 I V 1 1 の出力端子とが接続されている。P 型 MOS トランジスタ P 1 2 のドレイン端子は電源 V C C に接続され、P 型 MOS トランジスタ P 1 2 のソース端子は C M O S スイッチの出力端子に接続されている。外部からの入力信号 S I N は C M O S スイッチの入力端子に与えられ、外部からの制御信号 S C T L は N 型 MOS トランジスタ N 1 1 のゲート端子に与えられる。外部への出力信号 S O U T は、C M O S スイッチの出力端子から出力される。

【 0 0 5 2 】

上述のような構成において、制御信号 S C T L の論理レベルがローレベルである時には、P 型 MOS トランジスタ P 1 1 のゲート端子と N 型 MOS トランジスタ N 1 1 のゲート端子とは共にオフ状態になるので、C M O S スイッチは閉じた状態となる。この時、P 型 MOS トランジスタ P 1 2 のゲート端子はオン状態になっている。従って、入力信号 S I N の論理レベルにかかわらず、出力信号 S O U T の論理レベルはハイレベルとなる。

【 0 0 5 3 】

一方、制御信号 S C T L の論理レベルがハイレベルである時には、P 型 MOS トランジスタ P 1 1 のゲート端子と N 型 MOS トランジスタ N 1 1 のゲート端子とは共にオン状態になるので、C M O S スイッチは開いた状態となる。この時、P 型 MOS トランジスタ P 1 2 のゲート端子はオフ状態になっている。従って、出力信号 S O U T の論理レベルは、入力信号 S I N の論理レベルと同じになる。

【 0 0 5 4 】

本参考例においては、入力信号 S I N は、第 1 のパルス幅制御信号 P W C 1 または第 2 のパルス幅制御信号 P W C 2 に相当する。制御信号 S C T L は、第 1 または第 2 のフリップフロップ回路 F F 1 ~ F F m から出力される出力信号 Q 1 ~ Q m に相当する。出力信号 S O U T は、インバータ回路 I N V 1 ~ I N V m に与えられる信号 S R O 1 ~ S R O m に相当する。

【 0 0 5 5 】

< 1 . 2 . 4 バッファ回路 >

次に、本参考例におけるバッファ回路の構成について説明する。図 2 に示したように、各バッファ回路 4 3、5 3 には、直列に接続された 2 個のインバータ回路が含まれている。これらのインバータ回路は、入力された信号の論理レベルを反転させつつ、電流を増幅させる。図 5 は、インバータ回路の構成を示す回路図である。このインバータ回路は、直列に接続された P 型 MOS トランジスタ P 2 1 と N 型 MOS トランジスタ N 2 1 とによ

10

20

30

40

50

て構成されている。P型MOSトランジスタP21のドレイン端子とN型MOSトランジスタN21のドレイン端子とが接続されている。また、P型MOSトランジスタP21のソース端子は電源VCCに接続され、N型MOSトランジスタN21のソース端子は接地されている。

【0056】

上述のような構成において、このインバータ回路に与えられる入力信号INの論理レベルがハイレベルである時には、P型MOSトランジスタP21はオフ状態になり、N型MOSトランジスタN21はオン状態になるので、出力信号OUTの論理レベルはローレベルとなる。一方、入力信号INの論理レベルがローレベルである時には、P型MOSトランジスタP21はオン状態になり、N型MOSトランジスタN21はオフ状態になるので、出力信号OUTの論理レベルはハイレベルとなる。このようにして、インバータ回路によって、入力信号INの論理レベルが反転される。

【0057】

図6は、本参考例における第1および第2のバッファ回路43、53のレイアウトを示す図である。図6に示すように、各バッファ回路43、53について、2個のインバータ回路INVk1、INVk2(k=1、2、・・・、m)がソースバスラインSL1～SLnの延びる方向に直列に接続されている。第1のバッファ回路43と第2のバッファ回路53との位置関係に着目すると、各バッファ回路が表示部600を挟んで千鳥状に配置されている。さらに、ソースバスラインSL1～SLnの延びる方向に着目した場合、第1のバッファ回路43と第2のバッファ回路53とが重複する領域が存在している。例えば、図6において参照符号H1で示す領域については、表示部600の左側には1行目のゲートバスラインGL1に対応して設けられている第1のバッファ回路43の一部が含まれており、表示部600の右側には2行目のゲートバスラインGL2に対応して設けられている第2のバッファ回路53の一部が含まれている。

【0058】

<1.3 駆動方法>

次に、図7を参照しつつ、本参考例における駆動方法について説明する。表示制御回路200から出力されるゲートスタートパルス信号GSPの論理レベルがハイレベルからローレベルに変化すると、第1のフリップフロップ回路FF1のセット端子Sに与えられる信号の論理レベルがハイレベルからローレベルに変化する(時点t1)。これにより、第1のフリップフロップ回路FF1からの出力信号Q1の論理レベルが、ローレベルからハイレベルに変化する。その出力信号Q1の論理レベルは、次に第1のフリップフロップ回路FF1のリセット端子Rに論理レベルがハイレベルの信号が与えられるまで(時点t5まで)、ハイレベルのまま維持される。

【0059】

上述のとおり、第1のフリップフロップ回路FF1からの出力信号Q1の論理レベルがハイレベルとなっている期間中には、第1のスイッチ回路SW1から出力される信号SRO1の論理レベルは、第1のパルス幅制御信号PWC1の論理レベルと同じになる。従って、時点t1からt5までの期間のうち、パルス幅制御信号PWC1の論理レベルがローレベルになっている期間についてのみ、信号SRO1の論理レベルがローレベルとなる。すなわち、時点t3から時点t4までの期間のみ、信号SRO1の論理レベルがローレベルとなる。その信号SRO1は、図2に示すように、直列に接続された3個のインバータ回路INV1、INV11、およびINV12に与えられる。従って、1行目のゲートバスラインGL1に対応して設けられているバッファ回路43から出力される第1の走査信号GL1の論理レベルは、時点t3から時点t4までの期間のみハイレベルとなる。

【0060】

第1の走査信号GL1は、2行目のゲートバスラインGL2に対応して設けられている第2の走査信号生成回路52に含まれているインバータ回路INVS2に与えられる。このため、インバータ回路INVS2から出力されるセット信号S1の論理レベルは、第1の走査信号GL1の論理レベルとは反転したものとなる。従って、時点t3になると、第

2のフリップフロップ回路FF2のセット端子Sに与えられるセット信号S1の論理レベルがハイレベルからローレベルに変化する。これにより、第2のフリップフロップ回路FF2からの出力信号Q2の論理レベルが、ローレベルからハイレベルに変化する。このように、第1の走査信号GL1は、1行目の走査信号線GL1を選択する機能に加え、2行目のゲートバスラインGL2に対応して設けられている第2の走査信号生成回路52内の第2のフリップフロップ回路FF2をセットする機能をも有している。

【0061】

出力信号Q2の論理レベルがハイレベルとなっている状態は、次に第2のフリップフロップ回路FF2のリセット端子Rに論理レベルがハイレベルの信号が与えられるまで(時点t7まで)維持される。また、第2のフリップフロップ回路FF2からの出力信号Q2の論理レベルがハイレベルとなっている期間中には、第2のスイッチ回路SW2から出力される信号SRO2の論理レベルは第2のパルス幅制御信号PWC2の論理レベルと同じになる。従って、時点t3からt7までの期間のうち、パルス幅制御信号PWC2の論理レベルがローレベルになっている期間についてのみ、信号SRO2の論理レベルがローレベルとなる。すなわち、時点t5から時点t6までの期間のみ、信号SRO2の論理レベルがローレベルとなる。これにより、2行目のゲートバスラインGL2に対応して設けられている第2のバッファ回路53から出力される第2の走査信号GL2の論理レベルは、時点t5から時点t6までの期間のみハイレベルとなる。

【0062】

第2の走査信号GL2は、3行目のゲートバスラインGL3に対応して設けられている第1の走査信号生成回路42に含まれているインバータ回路INVS3に与えられるとともに、1行目のゲートバスラインGL1に対応して設けられている第1の走査信号生成回路42に含まれている第1のフリップフロップ回路FF1のリセット端子Rにも与えられる。このため、第2の走査信号GL2の論理レベルがローレベルからハイレベルに変化する時点t5に、第1のフリップフロップ回路FF1のリセット端子Rに与えられる信号の論理レベルがローレベルからハイレベルに変化する。その結果、論理レベルがハイレベルとなっている状態が時点t1から継続していた信号Q1の論理レベルが、時点t5にローレベルとなる。このように、第2の走査信号GL2は、2行目のゲートバスラインGL2を選択する機能に加え、1行目のゲートバスラインGL1に対応して設けられている第1の走査信号生成回路42内の第1のフリップフロップ回路FF1をリセットする機能をも有している。さらに、第2の走査信号GL2は、上述した第1の走査信号GL1と同様、次の行のゲートバスライン(すなわち3行目のゲートバスラインGL3)に対応して設けられている第1の走査信号生成回路42内の第1のフリップフロップ回路FF3をセットする機能をも有している。

【0063】

3行目以降のゲートバスラインに与えられる走査信号についても、第2の走査信号GL2と同様に、ゲートバスラインを選択するとともに、前の行のゲートバスラインに対応して設けられている走査信号生成回路内のフリップフロップ回路をリセットし、次の行のゲートバスラインに対応して設けられている走査信号生成回路内のフリップフロップ回路をセットする。その結果、図7に示すように、従来と同様に所定の期間ずつゲートバスラインGL1~GLmが1行ずつ順次を選択される。

【0064】

<1.4 効果>

以上のように、本参考例によると、表示部600の一侧に奇数行目のゲートバスラインを選択するための第1のゲートドライバ400が設けられ、表示部600の他側に偶数行目のゲートバスラインを選択するための第2のゲートドライバ500が設けられている。第1のゲートドライバ400内には、奇数行目のゲートバスラインに対応するようにして第1の走査信号生成回路42と第1のバッファ回路43とが設けられ、第2のゲートドライバ500内には、偶数行目のゲートバスラインに対応するようにして第2の走査信号生成回路52と第2のバッファ回路53とが設けられている。各走査信号生成回路42、5

10

20

30

40

50

2 には、表示制御回路 200 から送られる第 1 または第 2 のパルス幅制御信号 PWC1 または PWC2 と、前行のゲートバスラインを選択するための走査信号と、次行のゲートバスラインを選択するための走査信号とが与えられ、それらの信号に基づいて走査信号が生成される。このため、ゲートドライバ内のシフトレジスタを動作させるために従来必要とされていたクロック信号等が不要となる。これにより、ゲートドライバを動作させるためのクロック信号等の制御信号を削減しつつ、表示部 600 の両側に設けられたゲートドライバ（第 1 のゲートドライバ 400 および第 2 のゲートドライバ 500）を従来と同様に動作させることができる。その結果、回路規模が削減され、装置が従来よりも小型化される。

【0065】

10

また、表示部 600 の両側に設けられているゲートドライバ 400、500 内のバッファ回路 43、53 は、ソースバスライン SL1 ~ SLn の延びる方向に直列に接続された 2 個のインバータ回路によって構成されている。このため、この表示装置を携帯電話等の電子機器に適用する場合に、無駄な領域を削減しつつ、左右対称となるように表示部 600 を当該電子機器に組み込むことが容易になる。さらに、表示部 600 の一側に設けられた第 1 のバッファ回路 43 と他側に設けられた第 2 のバッファ回路 53 とは、ソースバスライン SL1 ~ SLn の延びる方向に着目した場合に、互いに重複した領域が生ずるように千鳥配置されている。このため、走査信号線間の距離 WP をより小さくすることができ、より装置の小型化や狭額縁化が可能となる。

【0066】

20

さらにまた、走査信号生成回路 42、52 に含まれているフリップフロップ回路 FF1 ~ FFm は、セットリセット型のフリップフロップ回路である。このため、D 型フリップフロップ回路よりも簡易な構成で実現することができる。

【0067】

次に、本発明の一実施形態について説明する。

< 2 . 実施形態 >

< 2 . 1 液晶表示装置の全体構成および動作 >

図 8 は、本発明の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、上記参考例と同様、表示制御回路 200 とソースドライバ（映像信号線駆動回路）300 と第 1 のゲートドライバ（第 1 の走査信号線駆動回路）400 と第 2 のゲートドライバ（第 2 の走査信号線駆動回路）500 と表示部 600 とを備えている。参考例とは異なり、各ゲートバスライン GL1 ~ GLm に対応するようにして、第 1 の走査信号生成回路群 40 と第 2 の走査信号生成回路群 50 とを接続するための配線が設けられている。

30

【0068】

第 1 の走査信号生成回路群 40 は、表示制御回路 200 から出力されるゲートスタートパルス信号 GSP、第 1 のパルス幅制御信号 PWC1 に加え、第 2 のゲートドライバ 500 からの出力信号 Q2、Q4、・・・、Qm を受け取る。そして、それらの信号に基づいて、奇数行目のゲートバスライン GL1、GL3、・・・、GLm-1 を選択するための第 1 の走査信号 GL1、GL3、・・・、GLm-1 と、第 2 の走査信号生成回路群 50 を動作させるための出力信号 Q1、Q3、・・・、Qm-1 とを出力する。

40

【0069】

第 2 の走査信号生成回路群 50 は、表示制御回路 200 から出力される第 2 のパルス幅制御信号 PWC2 に加え、第 1 のゲートドライバ 400 からの出力信号 Q1、Q3、・・・、Qm-1 を受け取る。そして、それらの信号に基づいて、偶数行目のゲートバスライン GL2、GL4、・・・、GLm を選択するための第 2 の走査信号 GL2、GL4、・・・、GLm と、第 1 の走査信号生成回路群 40 を動作させるための出力信号 Q2、Q4、・・・、Qm とを出力する。

【0070】

第 1 の走査信号生成回路群 40 および第 2 の走査信号生成回路群 50 以外の構成要素の

50

動作については、参考例と同様であるので、説明を省略する。

【 0 0 7 1 】

< 2 . 2 ゲートドライバ >

次に、本実施形態におけるゲートドライバの構成について説明する。図 9 は、本実施形態における要部の詳細な構成を示すブロック図である。図 9 に示すように、第 1 の走査信号生成回路群 4 0 には、複数個の走査信号生成回路（第 1 の走査信号生成回路）4 4 が含まれており、第 2 の走査信号生成回路群 5 0 には、複数個の走査信号生成回路（第 2 の走査信号生成回路）5 4 が含まれている。第 1 の走査信号生成回路 4 4 は、それぞれ奇数行目のゲートバスライン G L 1、G L 3、・・・、G L m - 1 に対応して設けられており、第 2 の走査信号生成回路 5 4 は、それぞれ偶数行目のゲートバスライン G L 2、G L 4、・・・、G L m に対応して設けられている。

10

【 0 0 7 2 】

第 1 の走査信号生成回路 4 4 には、アナログスイッチ（第 3 のスイッチ回路）4 4 1 と N 型 MOS トランジスタ 4 4 2 とセトリセット型のフリップフロップ回路（第 3 のフリップフロップ回路）4 4 3 とインバータ回路 4 4 4 とが含まれている。同様に、第 2 の走査信号生成回路 5 4 には、アナログスイッチ（第 4 のスイッチ回路）5 4 1 と N 型 MOS トランジスタ 5 4 2 とセトリセット型のフリップフロップ回路（第 4 のフリップフロップ回路）5 4 3 とインバータ回路 5 4 4 とが含まれている。

【 0 0 7 3 】

1 行目のゲートバスライン G L 1 に対応する第 3 のスイッチ回路 4 4 1 には、ゲートスタートパルス信号 G S P と第 1 のパルス幅制御信号 P W C 1 とが与えられる。また、1 行目のゲートバスライン G L 1 に対応する N 型 MOS トランジスタ 4 4 2 のゲート端子には、ゲートスタートパルス信号 G S P が与えられる。これにより、第 3 のスイッチ回路 4 4 1 からの出力信号は、N 型 MOS トランジスタ 4 4 2 のオン / オフ状態によって制御される。その第 3 のスイッチ回路 4 4 1 からの出力信号は、インバータ回路 4 4 4 によって反転し、その反転後の信号の電流がバッファ回路で増幅され、第 1 の走査信号 G L 1 として出力される。

20

【 0 0 7 4 】

3 行目以降の奇数行目のゲートバスライン G L 3、・・・、G L m - 1 に対応する第 3 のスイッチ回路 4 4 1 には、それぞれの行の前行のゲートバスラインに対応して設けられている第 2 の走査信号生成回路 5 4 内の第 4 のフリップフロップ回路 5 4 3 からの出力信号 Q 2、Q 4、・・・、Q m と第 1 のパルス幅制御信号 P W C 1 とが与えられる。また、3 行目以降の奇数行目のゲートバスライン G L 3、・・・、G L m - 1 に対応する N 型 MOS トランジスタ 4 4 2 のゲート端子には、上記出力信号 Q 2、Q 4、・・・、Q m がそれぞれ与えられる。これにより、第 3 のスイッチ回路 4 4 1 からの出力信号は、N 型 MOS トランジスタ 4 4 2 のオン / オフ状態によって制御される。その第 3 のスイッチ回路 4 4 1 からの出力信号は、インバータ回路 4 4 4 によって反転し、その反転後の信号の電流がバッファ回路で増幅され、第 1 の走査信号 G L 3、・・・、G L m - 1 として出力される。

30

【 0 0 7 5 】

奇数行目のゲートバスライン G L 1、G L 3、・・・、G L m - 1 に対応する第 3 のフリップフロップ回路 4 4 3 は、第 3 のスイッチ回路 4 4 1 からの出力信号によってセットされ、それぞれの行の次々行のゲートバスラインを選択するための走査信号によってリセットされる。そして、第 3 のフリップフロップ回路 4 4 3 からは、出力信号 Q 1、Q 3、・・・、Q m - 1 が出力される。

40

【 0 0 7 6 】

一方、偶数行目のゲートバスライン G L 2、G L 4、・・・、G L m に対応する第 4 のスイッチ回路 5 4 1 には、それぞれの行の前行のゲートバスラインに対応して設けられている第 1 の走査信号生成回路 4 4 内の第 3 のフリップフロップ回路 4 4 3 からの出力信号 Q 1、Q 3、・・・、Q m - 1 と第 2 のパルス幅制御信号 P W C 2 とが与えられる。また

50

、N型MOSトランジスタ542のゲート端子には、上記出力信号Q1、Q3、・・・、Qm-1が与えられる。これにより、第4のスイッチ回路541からの出力信号は、N型MOSトランジスタ542のオン/オフ状態によって制御される。その第4のスイッチ回路541からの出力信号は、インバータ回路544によって反転し、その反転後の信号の電流がバッファ回路で増幅され、第2の走査信号GL2、GL4、・・・、GLとして出力される。

【0077】

偶数行目のゲートバスラインGL2、GL4、・・・、GLmに対応する第4のフリップフロップ回路543は、第4のスイッチ回路541からの出力信号によってセットされ、それぞれの行の次々行のゲートバスラインを選択するための走査信号によってリセット

10

【0078】

なお、第1および第2のバッファ回路群41、51に含まれているバッファ回路のレイアウトについては、上記参考例と同様である。すなわち、図6に示すように、各バッファ回路について、2個のインバータ回路が映像信号線SL1～SLnの延びる方向に直列に接続されている。また、表示部600を挟んで、各バッファ回路が千鳥状に配置されている。

【0079】

< 2.3 駆動方法 >

20

次に図10を参照しつつ、本実施形態における駆動方法について説明する。まず、1行目のゲートバスラインGL1に対応する第1の走査信号生成回路44に着目する。表示制御回路200から出力されるゲートスタートパルス信号GSPの論理レベルがローレベルからハイレベルに変化すると、N型MOSトランジスタ442はオフ状態になる(時点t1)。この状態は時点t5まで継続するが、この期間中には、第3のスイッチ回路441からの出力信号の論理レベルは第1のパルス幅制御信号PWC1の論理レベルと同じになる。従って、時点t2になると、第3のスイッチ回路441からの出力信号の論理レベルはハイレベルからローレベルに変化する。これにより、第3のフリップフロップ回路443はセットされ、出力信号Q1の論理レベルがローレベルからハイレベルに変化する。また、時点t2から時点t3までの期間中、第1のパルス幅制御信号PWC1の論理レベル

30

【0080】

次に、2行目のゲートバスラインGL2に対応する第2の走査信号生成回路54に着目する。上記出力信号Q1の論理レベルがローレベルからハイレベルに変化すると、N型MOSトランジスタ542はオフ状態になる(時点t2)。この状態は時点t7まで継続するが、この期間中には、第4のスイッチ回路541からの出力信号の論理レベルは第2のパルス幅制御信号PWC2の論理レベルと同じになる。従って、時点t4になると、第4のスイッチ回路541からの出力信号の論理レベルはハイレベルからローレベルに変化する。これにより、第4のフリップフロップ回路543はセットされ、出力信号Q2の論理

40

【0081】

次に、3行目のゲートバスラインGL3に対応する第1の走査信号生成回路44に着目する。上記出力信号Q2の論理レベルがローレベルからハイレベルに変化すると、N型MOSトランジスタ442はオフ状態になる(時点t4)。この状態は時点t8まで継続するが、この期間中には、第3のスイッチ回路441からの出力信号の論理レベルは第1のパルス幅制御信号PWC1の論理レベルと同じになる。従って、時点t7になると、第3

50

のスイッチ回路 4 4 1 からの出力信号の論理レベルはハイレベルからローレベルに変化する。これにより、第 3 のフリップフロップ回路 4 4 3 はセットされ、出力信号 Q 3 の論理レベルがローレベルからハイレベルに変化する。また、時点 t 7 には、第 1 の走査信号 G L 3 の論理レベルがローレベルからハイレベルに変化する。第 1 の走査信号 G L 3 は、図 9 に示すように、1 行目のゲートバスライン G L 1 に対応する第 1 の走査信号生成回路 4 4 内に設けられている第 3 のフリップフロップ回路 4 4 3 のリセット端子にも与えられる。従って、時点 t 7 になると、1 行目のゲートバスライン G L 1 に対応する第 1 の走査信号生成回路 4 4 内に設けられている第 3 のフリップフロップ回路 4 4 3 がリセットされ、出力信号 Q 1 の論理レベルがハイレベルからローレベルに変化する。

【 0 0 8 2 】

以上のようにして、各ゲートバスライン G L 1 ~ G L m に対応して設けられている第 1 および第 2 の走査信号生成回路 4 4、5 4 において、パルス幅制御信号（第 1 のパルス幅制御信号 P W C 1、第 2 のパルス幅制御信号 P W C 2）と、それぞれの前行のゲートバスラインに対応して設けられている第 1 の走査信号生成回路 4 4 内の第 3 のフリップフロップ回路 4 4 3 または第 2 の走査信号生成回路 5 4 内の第 4 のフリップフロップ回路 5 4 3 からの出力信号とに基づいて、第 1 または第 2 の走査信号 G L 1 ~ G L m と出力信号 Q 1 ~ Q m とが生成される。また、各ゲートバスライン G L 1 ~ G L m に対応して設けられている第 3 または第 4 のフリップフロップ回路 4 4 3、5 4 3 は、それぞれ行の次々行のゲートバスラインを選択する走査信号によってリセットされる。このようにして、図 1 0 に示すように、従来と同様に所定の期間ずつゲートバスライン G L 1 ~ G L m が 1 行ずつ順次に選択される。

【 0 0 8 3 】

< 2 . 4 効果 >

以上のように、本実施形態においても、上記参考例と同様、表示部 6 0 0 の一側に奇数行目のゲートバスライン G L 1、G L 3、・・・、G L m - 1 を選択するための第 1 のゲートドライバ 4 0 0 が設けられ、表示部 6 0 0 の他側に偶数行目のゲートバスライン G L 2、G L 4、・・・、G L m を選択するための第 2 のゲートドライバ 5 0 0 が設けられている。第 1 および第 2 のゲートドライバ 4 0 0、5 0 0 内の各走査信号生成回路 4 4、5 4 には、表示制御回路 2 0 0 から送られる第 1 または第 2 のパルス幅制御信号 P W C 1 または P W C 2 と、前行の走査信号生成回路内のフリップフロップ回路からの出力信号と、次々行の走査信号とが与えられる。そして、それらの信号に基づいて、各走査信号生成回路において第 1 または第 2 の走査信号 G L 1 ~ G L m が生成される。

【 0 0 8 4 】

このように、本実施形態においても、ゲートドライバ内のシフトレジスタを動作させるために従来必要とされていたクロック信号等が不要となる。これにより、ゲートドライバを動作させるためのクロック信号等の制御信号を削減しつつ、表示部 6 0 0 の両側に設けられたゲートドライバ（第 1 のゲートドライバ 4 0 0 および第 2 のゲートドライバ 5 0 0）を動作させることができる。その結果、回路規模が削減され、装置の小型化が可能となる。

【 0 0 8 5 】

なお、本実施形態においては、第 1 のゲートドライバ 4 0 0 からの出力信号を第 2 のゲートドライバ 5 0 0 に与えるために、あるいは、第 2 のゲートドライバ 5 0 0 からの出力信号を第 1 のゲートドライバ 4 0 0 に与えるために、ゲートバスライン G L 1 ~ G L m とは異なる信号線が用いられている。これについては、専用線を備えてもよいし、表示上の不具合等が生じないのであれば既存の信号線を用いてもよい。

【 0 0 8 6 】

また、上記参考例と同様に、表示部 6 0 0 の両側に設けられているゲートドライバ内のバッファ回路をソースバスライン S L 1 ~ S L n の延びる方向に直列に接続された 2 個のインバータ回路によって構成することによって、走査信号線間の距離をより小さくすることができ、より装置の小型化や狭額縁化が可能となる。

【 0 0 8 7 】

< 3 . 変形例 >

次に変形例について説明する。図 1 1 は、変形例に係るアクティブマトリクス型液晶表示装置の全体構成図を示すブロック図である。上記参考例および実施形態とは異なり、第 1 のゲートドライバ 4 0 0 および第 2 のゲートドライバ 5 0 0 には、バッファ回路が設けられていない。また、上記参考例および実施形態と比べると、第 1 のゲートドライバ 4 0 0 および第 2 のゲートドライバ 5 0 0 を動作させるために表示制御回路 2 0 0 から出力される制御信号の数が増えている。

【 0 0 8 8 】

図 1 2 は、この液晶表示装置の要部の詳細な構成を示すブロック図である。本変形例においては、第 1 の走査信号生成回路 4 5 には、レベルシフタ 4 5 1 とセットリセット型のフリップフロップ回路 4 5 2 とインバータ回路 4 5 3 とが設けられている。同様に、第 2 の走査信号生成回路 5 5 には、レベルシフタ 5 5 1 とセットリセット型のフリップフロップ回路 5 5 2 とインバータ回路 5 5 3 とが設けられている。なお、本変形例においては、各走査信号生成回路 4 5 、 5 5 内のレベルシフタ 4 5 1 、 5 5 1 によって、表示制御回路 2 0 0 から第 1 または第 2 のゲートドライバ 4 0 0 、 5 0 0 に与えられる駆動電圧が高められている。

【 0 0 8 9 】

各走査信号生成回路 4 5 、 5 5 では、第 1 または第 2 のパルス幅制御信号 P W C 1 、 P W C 2 と、第 1 または第 2 のパルス制御反転信号 P W C B 1 、 P W C B 2 と、前行のゲートバスラインに対応する走査信号生成回路内のフリップフロップ回路からの出力信号とに基づいて、第 1 または第 2 の走査信号 G L 1 ~ G L m が生成される。また、各走査信号生成回路 4 5 、 5 5 内のフリップフロップ回路 4 5 2 、 5 5 2 は、次々行のゲートバスラインを選択するための走査信号によってリセットされる。なお、ゲートスタートパルス信号 G S P については、1 行目のゲートバスライン G L 1 に対応する走査信号生成回路 4 5 に直接与えられるのではなく、レベルシフタ L S を介して走査信号生成回路 4 5 に与えられる。

【 0 0 9 0 】

以上のような構成において、図 1 3 に示すように、第 1 のゲートドライバ 4 0 0 には、ゲートスタートパルス信号 G S P と第 1 のパルス幅制御信号 P W C 1 と第 1 のパルス幅制御反転信号 P W C B 1 とが与えられ、第 2 のゲートドライバ 5 0 0 には、第 2 のパルス幅制御信号 P W C 1 と第 2 のパルス幅制御反転信号 P W C B 2 とが与えられる。これにより、上記参考例および実施形態と同様、各ゲートバスライン G L 1 ~ G L m が 1 水平走査期間ずつ順次に選択される。このように、本変形例によっても、回路規模が削減され、装置が小型化される。

【 0 0 9 1 】

< 4 . その他 >

上記実施形態においては、アクティブマトリクス型液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。例えば、アクティブマトリクス型の有機 E L 表示装置にも適用することができる。

【 0 0 9 2 】

また、本発明は、ドライバモノリシック型の表示装置にもそれ以外の表示装置にも適用することができるが、ドライバモノリシック型の表示装置に好適である。

【 図面の簡単な説明 】

【 0 0 9 3 】

【 図 1 】 参考例に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【 図 2 】 上記参考例における要部の詳細な構成を示すブロック図である。

【 図 3 】 上記参考例におけるフリップフロップ回路の構成を示す回路図である。

【 図 4 】 上記参考例におけるアナログスイッチの構成を示す回路図である。

10

20

30

40

50

【図 5】上記参考例におけるインバータ回路の構成を示す回路図である。

【図 6】上記参考例におけるバッファ回路のレイアウトを示す図である。

【図 7】上記参考例における信号波形図である。

【図 8】本発明の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【図 9】上記実施形態における要部の詳細な構成を示すブロック図である。

【図 10】上記実施形態における信号波形図である。

【図 11】変形例に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【図 12】上記変形例における要部の詳細な構成を示すブロック図である。

10

【図 13】上記変形例における信号波形図である。

【図 14】従来のアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【図 15】従来例におけるゲートドライバの詳細な構成を示すブロック図である。

【図 16】従来例における信号波形図である。

【図 17】従来例におけるバッファ回路のレイアウトを示す図である。

【図 18】従来例の別の例におけるバッファ回路のレイアウトを示す図である。

【図 19】従来例において、液晶表示装置を携帯電話等の電子機器に適用した場合について説明するための図である。

【図 20】従来例において、ゲートドライバが表示部の左右両側にある場合の全体構成を示すブロック図である。

20

【図 21】従来例において、ゲートドライバが表示部の左右両側にある場合の一側のゲートドライバの詳細な構成を示すブロック図である。

【図 22】従来例において、ゲートドライバが表示部の左右両側にある場合の他側のゲートドライバの詳細な構成を示すブロック図である。

【図 23】従来例において、ゲートドライバが表示部の左右両側にある場合の信号波形図である。

【図 24】従来例において、ゲートドライバが表示部の左右両側にある場合のバッファ回路のレイアウトを示す図である。

【符号の説明】

30

【0094】

40 ... 第 1 の走査信号生成回路群

41 ... 第 1 のバッファ回路群

42 ... 第 1 の走査信号生成回路

43 ... バッファ回路

50 ... 第 2 の走査信号生成回路群

51 ... 第 2 のバッファ回路群

52 ... 第 2 の走査信号生成回路

53 ... バッファ回路

100 ... アクティブマトリクス基板

40

200 ... 表示制御回路

400 ... 第 1 のゲートドライバ

500 ... 第 2 のゲートドライバ

600 ... 表示部

FF1 ~ FFm ... セットリセット型フリップフロップ回路

GL1 ~ GLm ... ゲートバスライン (走査信号線)

SL1 ~ SLn ... ソースバスライン (映像信号線)

SW1 ~ SWm ... アナログスイッチ

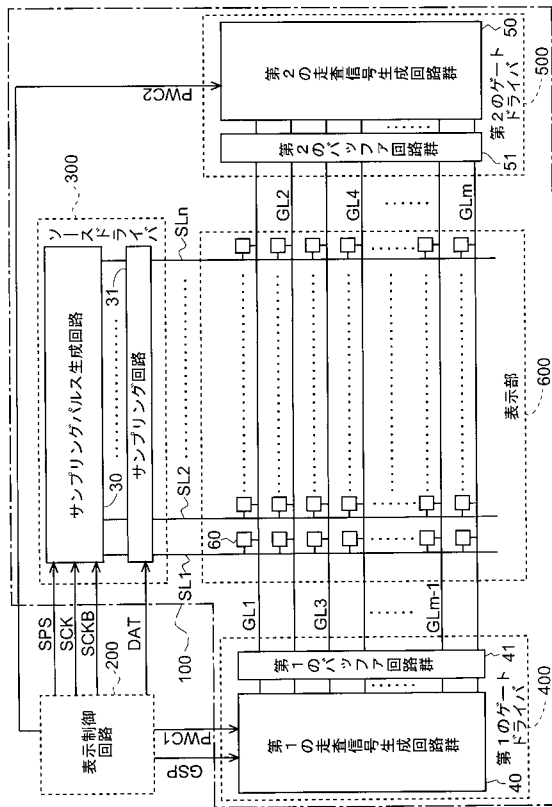
INV1 ~ INVm ... インバータ回路

INV11 ~ INVm1 ... インバータ回路

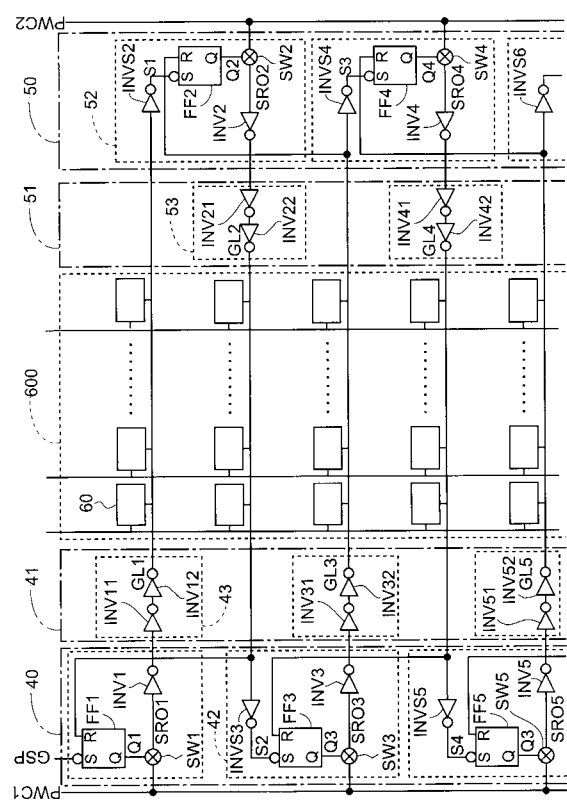
50

INV 1 2 ~ INV m 2 ... インバータ回路

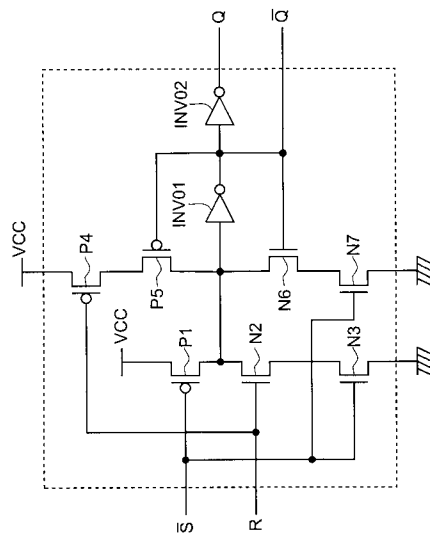
【図 1】



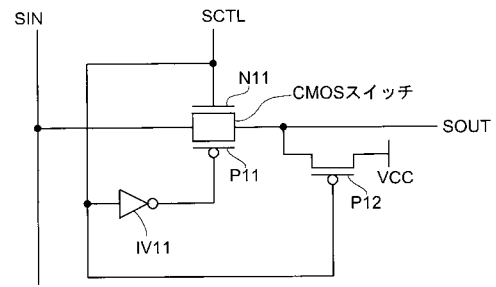
【図 2】



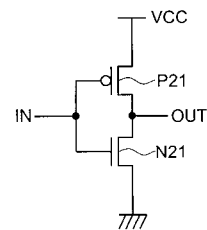
【図 3】



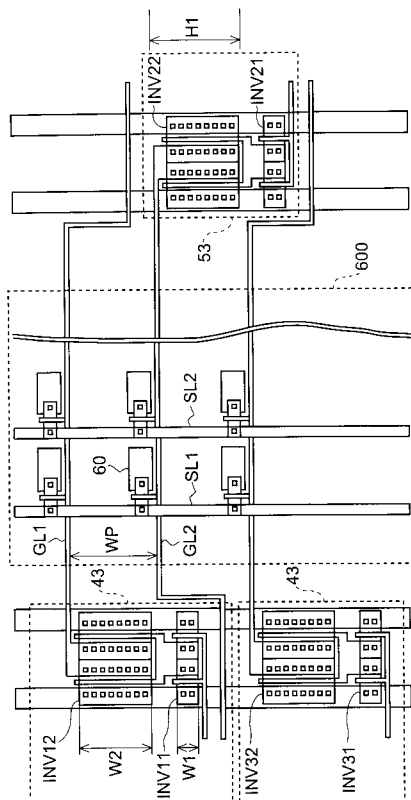
【図 4】



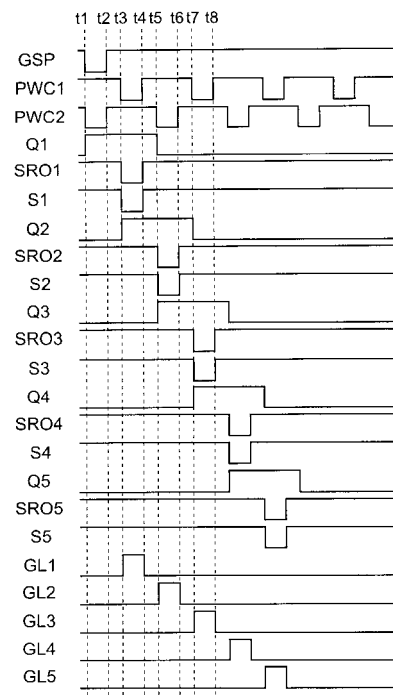
【図 5】



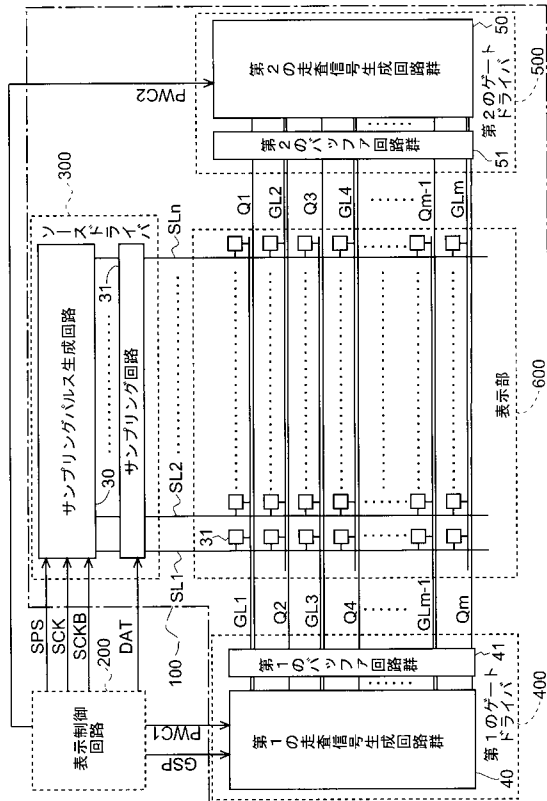
【図 6】



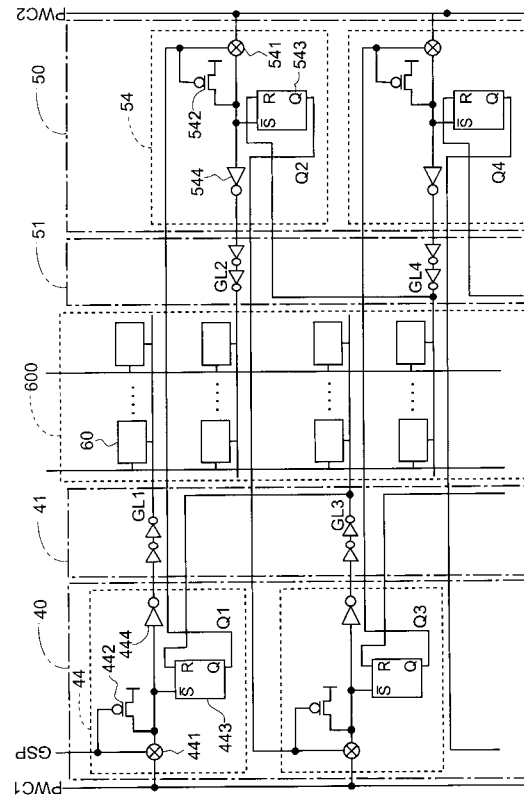
【図 7】



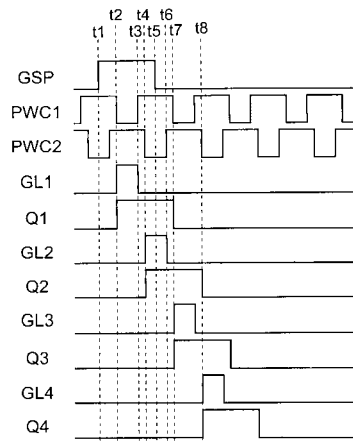
【図 8】



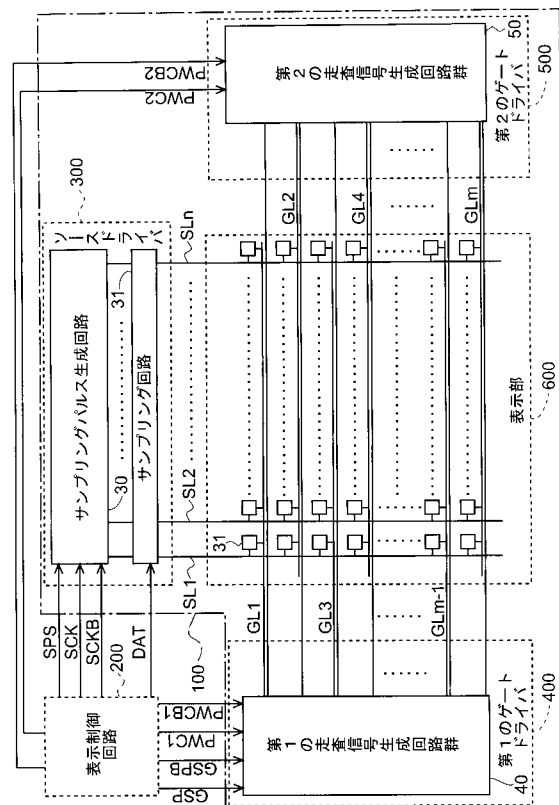
【図 9】



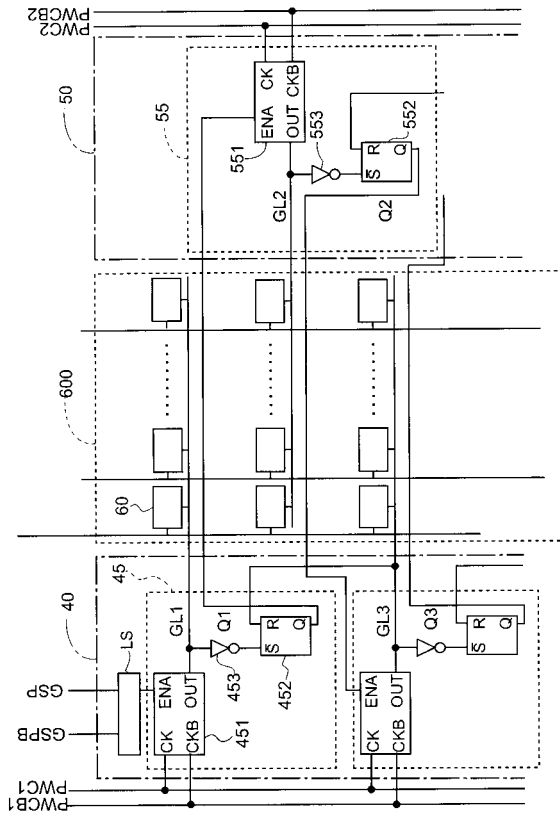
【図 10】



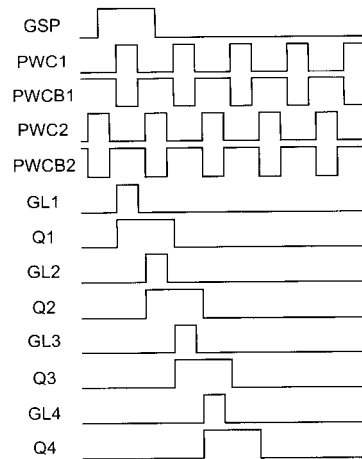
【図 11】



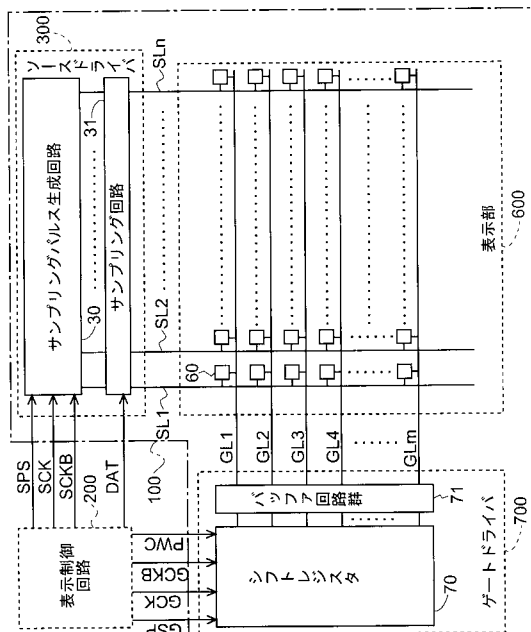
【図 12】



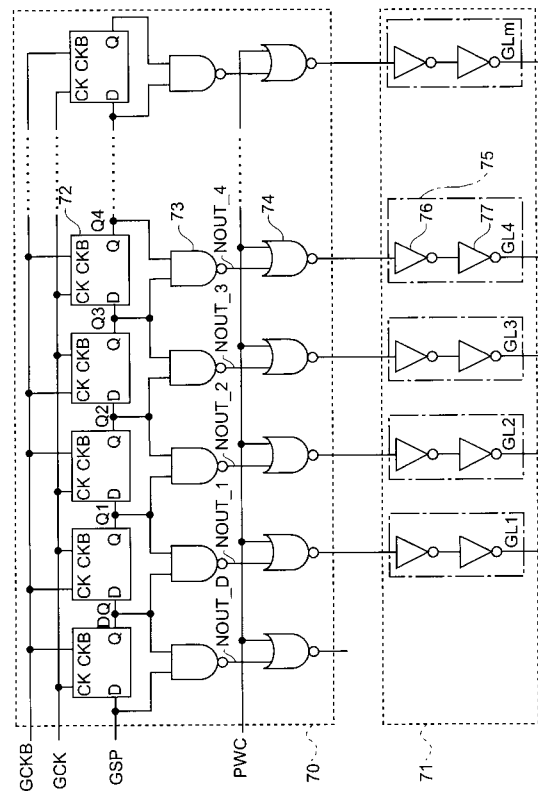
【図 13】



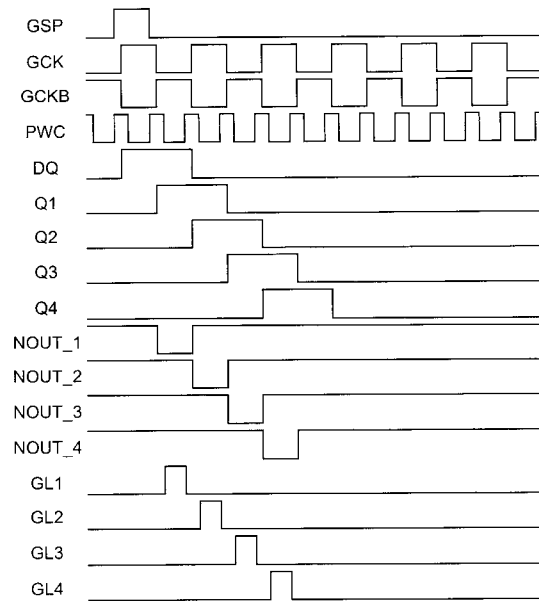
【図 14】



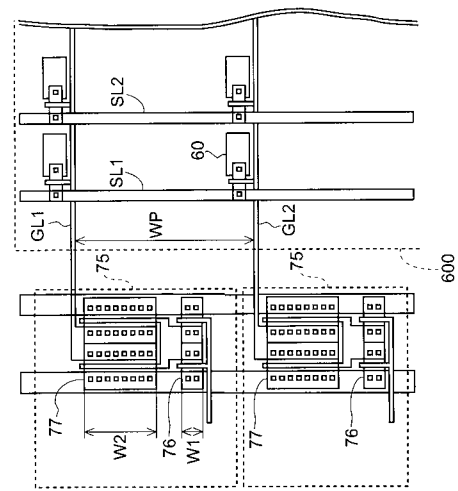
【図 15】



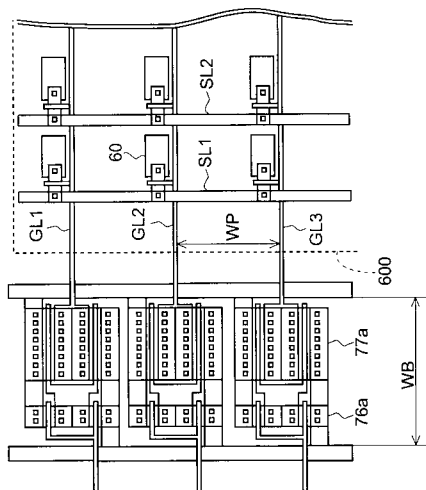
【図 16】



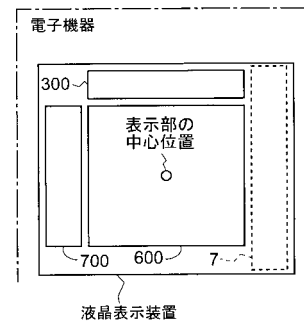
【図 17】



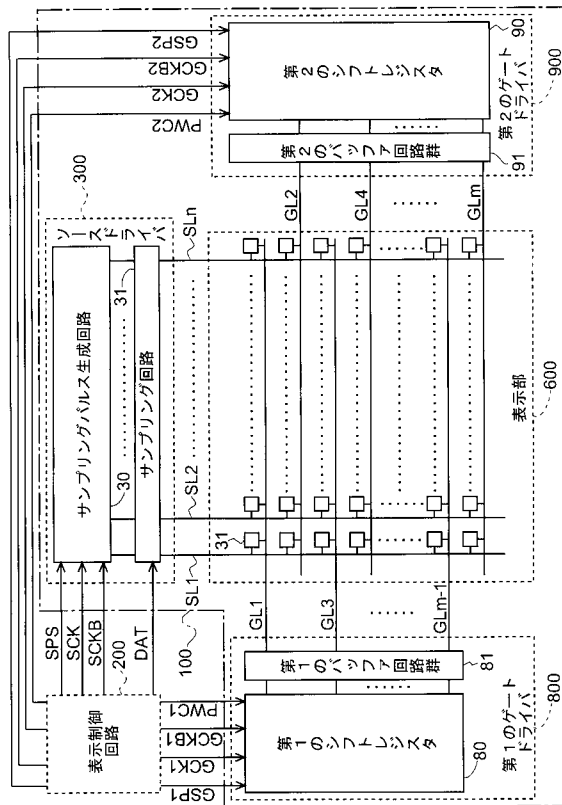
【図 18】



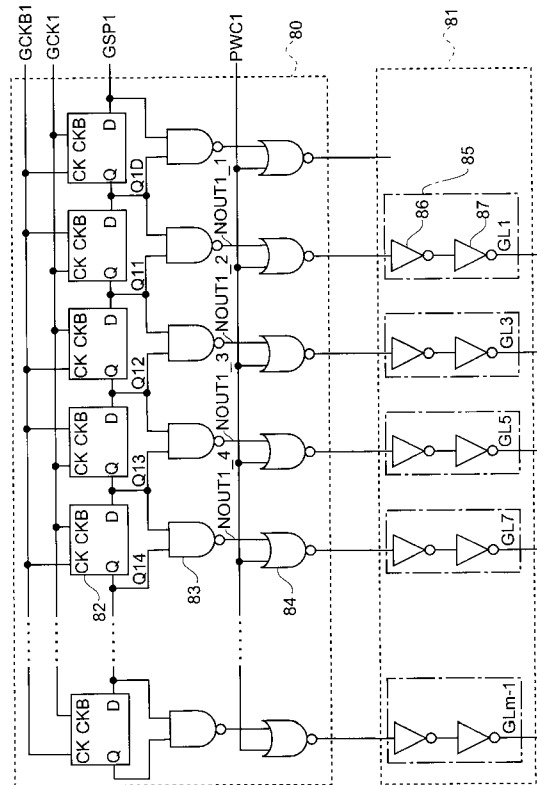
【図 19】



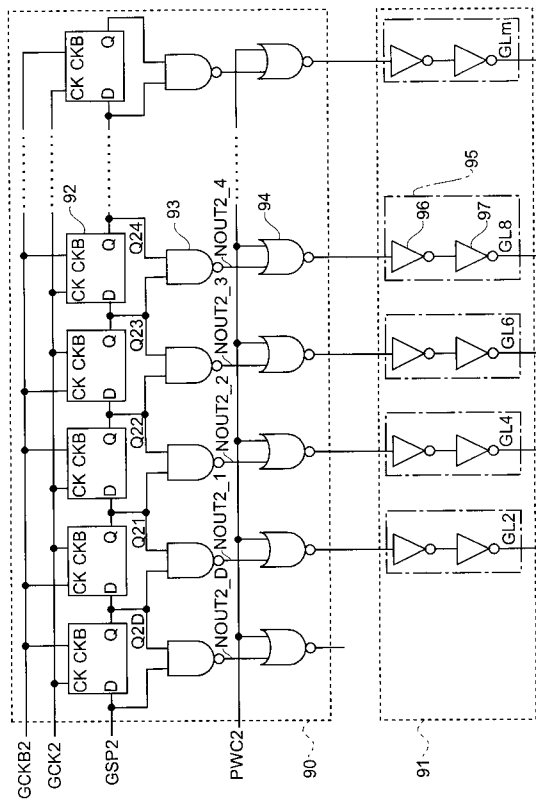
【 図 2 0 】



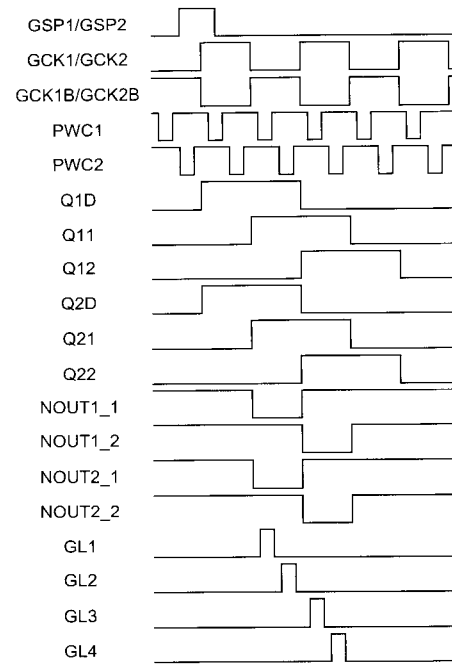
【 図 2 1 】



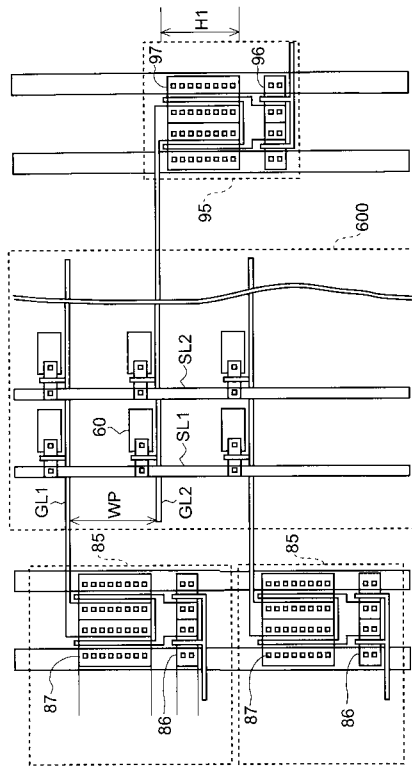
【 ㄗ 2 2 】



【 図 2 3 】



【図 24】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 8 0 G
G 0 2 F 1/133 5 5 0

審査官 安藤 達哉

(56)参考文献 特開2003-076346(JP,A)
特開2000-347628(JP,A)
特開2001-135093(JP,A)
特開平07-239676(JP,A)
特開平08-130461(JP,A)
特開2002-202747(JP,A)
特開2006-285233(JP,A)
特開2005-222655(JP,A)

(58)調査した分野(Int.Cl., DB名)
IPC G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	有源矩阵基板和使用其的显示装置		
公开(公告)号	JP4671187B2	公开(公告)日	2011-04-13
申请号	JP2005162209	申请日	2005-06-02
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	鷲尾一 山口尚宏 村上祐一郎		
发明人	鷲尾 一 山口 尚宏 村上 祐一郎		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.622.Q G09G3/20.622.B G09G3/20.621.M G09G3/20.621.A G09G3/20.680.G G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA41 2H093/NC09 2H093/NC11 2H093/NC18 2H093/NC21 2H093/NC27 2H093/NC34 2H093/ND42 2H193/ZA04 2H193/ZF59 5C006/AC22 5C006/AF42 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC22 5C006/BF06 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF27 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	岛田彰		
审查员(译)	安藤达也		
其他公开文献	JP2006337710A		
外部链接	Espacenet		

摘要(译)

要解决的问题：使用有源矩阵基板缩小液晶显示装置的尺寸。解决方案：液晶显示装置包括在显示部分600的一侧上的第一栅极驱动器400和在另一侧上的第二栅极驱动器500。从第一栅极驱动器400输出的第一扫描信号GL1，GL3，...，GLm-1选择奇数栅极总线并使第二栅极驱动器500工作。从第二栅极驱动器500输出的第二扫描信号GL2，GL4，...，GLm选择偶数栅极总线并使第一栅极驱动器400工作。第二栅极驱动器500中的缓冲电路43和缓冲电路53在显示部分600的左侧和右侧以Z字形布置，并且各个缓冲电路中的反相器电路在源极总线延伸的方向上串联连接。Z

【 图 1 】

