

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4623712号
(P4623712)

(45) 発行日 平成23年2月2日(2011.2.2)

(24) 登録日 平成22年11月12日(2010.11.12)

(51) Int.Cl.

F I

G O 9 G 3/36 (2006.01)

G O 2 F 1/133 (2006.01)

G O 9 G 3/20 (2006.01)

G O 9 G 3/36

G O 2 F 1/133 5 O 5

G O 2 F 1/133 5 7 5

G O 9 G 3/20 6 1 1 H

G O 9 G 3/20 6 1 1 J

請求項の数 5 (全 30 頁) 最終頁に続く

(21) 出願番号	特願2004-281641 (P2004-281641)	(73) 特許権者	302062931
(22) 出願日	平成16年9月28日 (2004. 9. 28)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2006-47943 (P2006-47943A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成18年2月16日 (2006. 2. 16)	(74) 代理人	100102864
審査請求日	平成19年6月13日 (2007. 6. 13)		弁理士 工藤 実
(31) 優先権主張番号	特願2004-196565 (P2004-196565)	(72) 発明者	村田 俊一
(32) 優先日	平成16年7月2日 (2004. 7. 2)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(33) 優先権主張国	日本国 (JP)		N E C エレクトロニクス株式会社内
		審査官	安藤 達哉
			最終頁に続く

(54) 【発明の名称】 階調電圧選択回路、ドライバ回路、液晶駆動回路、液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

基準電圧を分圧して複数の階調電圧を生成する直列抵抗分圧回路に並列に設けられ、M O S (M e t a l - O x i d e - S e m i c o n d u c t o r) トランジスタのオン抵抗により前記直列抵抗分圧回路の抵抗値よりも高い抵抗値を得るための階調電圧選択回路であって、

前記複数の階調電圧に対応付けられ、制御信号に応じてオンする複数の階調選択M O S トランジスタ群と、

前記複数の階調選択M O S トランジスタ群のうちの偶数番目の階調選択M O S トランジスタ群が接続された第1ノードと奇数番目の階調選択M O S トランジスタ群が接続された第2ノードとの間に直列接続され、前記制御信号に応じてオンするM個(Mは、1以上の整数)の中間階調電圧生成M O S トランジスタ群と、

各々が表示部に出力ノードを介して接続され、前記第1ノードに接続された第1スイッチと、前記M個の中間階調電圧生成M O S トランジスタ群にノードを介して接続された第2～Mスイッチと、前記第2ノードに接続された第(M+1)スイッチとを含み、前記制御信号に応じてオンする(M+1)個のスイッチと、

制御部と、

オン抵抗の誤差を低減するための抵抗部と

を具備し、

前記M個の中間階調電圧生成M O S トランジスタ群の各々は、直列接続されたN個(N

10

20

は2以上の整数)のM O S トランジスタから構成され、

前記M個の中間階調電圧生成M O S トランジスタ群のうちの少なくとも1つの中間階調電圧生成M O S トランジスタ群を制御用中間階調電圧生成M O S トランジスタ群としたとき、前記制御用中間階調電圧生成M O S トランジスタ群は、J個(Jは、1 J Nを満たす整数)のM O S トランジスタと、前記制御信号が常時供給される(N - J)個のM O S トランジスタとから構成され、

前記M個の中間階調電圧生成M O S トランジスタ群のうちの前記制御用中間階調電圧生成M O S トランジスタ群以外の中間階調電圧生成M O S トランジスタ群が構成する前記N個のM O S トランジスタには、前記制御信号が常時供給され、

前記抵抗部は、前記偶数番目の階調選択M O S トランジスタ群に直列接続された抵抗素子と、前記奇数番目の階調選択M O S トランジスタ群に直列接続された抵抗素子と、前記M個の中間階調電圧生成M O S トランジスタ群にそれぞれ直列接続されたM個の抵抗素子とを含み、

前記制御部は、供給される第1表示用データが前記複数の階調電圧のうちの1つの階調電圧として第1又は2階調電圧を表しているとき、

前記第1表示用データに応じて、前記偶数番目又は奇数番目の階調選択M O S トランジスタ群のうちの、前記第1又は2階調電圧に対応する第1又は2階調選択M O S トランジスタ群を選択し、

前記制御信号を前記第1又は2階調選択M O S トランジスタ群と前記(M + 1)個のスイッチのうちの前記第1又は(M + 1)スイッチとに供給し、

前記第1又は2階調選択M O S トランジスタ群は、前記制御信号に応じてオンし、前記第1又は2階調電圧を選択し、

前記第1又は(M + 1)スイッチは、前記制御信号に応じてオンし、前記第1又は2階調選択M O S トランジスタ群により選択された前記第1又は2階調電圧を前記表示部に前記出力ノードを介して出力し、

前記制御部は、供給される第2表示用データが前記第1階調電圧と前記第2階調電圧との間の中間階調電圧である第I中間階調電圧{Iは、1 I (M + 1)を満たす整数}を表しているとき、

前記第2表示用データに応じて、前記第1、2階調電圧にそれぞれ対応する前記第1、2階調選択M O S トランジスタ群を選択し、

前記制御信号を前記第1、2階調選択M O S トランジスタ群と前記制御用中間階調電圧生成M O S トランジスタ群の前記J個のM O S トランジスタと前記(M + 1)個のスイッチのうちの前記第I中間階調電圧に対応する第Iスイッチとに供給し、

前記第1、2階調選択M O S トランジスタ群は、それぞれ、前記制御信号に応じてオンし、前記第1、2階調電圧を選択し、

前記M個の中間階調電圧生成M O S トランジスタ群は、前記制御信号に応じてオンし、前記第1階調電圧と前記第2階調電圧との間の階調電圧を(M + 2)等分に分圧して(M + 1)個の中間階調電圧を生成し、

前記第Iスイッチは、前記制御信号に応じてオンし、前記(M + 1)個の中間階調電圧のうちの1つの中間階調電圧である前記第I中間階調電圧を選択して前記表示部に前記出力ノードを介して出力し、

前記(M + 1)個の中間階調電圧は、前記第1、2階調選択M O S トランジスタ群及び前記M個の中間階調電圧生成M O S トランジスタ群のオン抵抗と、前記抵抗部の抵抗とにより決定される階調電圧選択回路。

【請求項2】

請求項1に記載の階調電圧選択回路において、

前記出力ノードと前記表示部との間に設けられた駆動アンプがオフセット成分をキャンセルする機能を有する場合に、

前記偶数番目の階調選択M O S トランジスタ群及び前記第1スイッチに並列に設けられ

10

20

30

40

50

、パルス信号に応じてオンする第 1 プリチャージ用スイッチング部と、

前記奇数番目の階調選択 MOS トランジスタ群及び前記第 $(M + 1)$ スイッチに並列に設けられ、前記パルス信号に応じてオンする第 2 プリチャージ用スイッチング部とを更に具備し、

前記制御部は、供給される前記第 1 表示用データが前記第 1 又は 2 階調電圧を表しているとき、

前記第 1 表示用データに応じて、前記第 1 又は 2 階調電圧に対応する前記第 1 又は 2 階調選択 MOS トランジスタ群を選択し、

前記パルス信号を前記第 1 又は 2 プリチャージ用スイッチング部に供給し、

前記パルス信号の供給を停止してから、前記制御信号を前記第 1 又は 2 階調選択 MOS トランジスタ群と前記第 1 又は $(M + 1)$ スイッチとに供給し、

前記第 1 又は 2 階調選択 MOS トランジスタ群は、前記制御信号に応じてオンし、前記第 1 又は 2 階調電圧を選択し、

前記第 1 又は 2 プリチャージ用スイッチング部は、前記パルス信号に応じてオンし、前記出力ノードに供給される電圧を、前記第 1 又は 2 階調選択 MOS トランジスタ群により選択された前記第 1 又は 2 階調電圧にプリチャージし、

前記第 1 又は $(M + 1)$ スイッチは、前記制御信号に応じてオンし、前記第 1 又は 2 階調選択 MOS トランジスタ群により選択された前記第 1 又は 2 階調電圧を前記出力ノードに供給し、

前記出力ノードには、前記第 1 又は 2 階調電圧がプリチャージされた後に前記第 1 又は $(M + 1)$ スイッチからの前記第 1 又は 2 階調電圧が供給され、

前記制御部は、供給される前記第 2 表示用データが前記第 I 中間階調電圧を表しているとき、

前記第 2 表示用データに応じて、前記第 1、2 階調電圧にそれぞれ対応する前記第 1、2 階調選択 MOS トランジスタ群を選択し、

前記第 1 階調電圧が前記第 2 階調電圧より低い場合、前記パルス信号を前記第 1 プリチャージ用スイッチング部に供給し、

前記第 2 階調電圧が前記第 1 階調電圧より低い場合、前記パルス信号を前記第 2 プリチャージ用スイッチング部に供給し、

前記パルス信号の供給を停止してから、前記制御信号を前記第 1、2 階調選択 MOS トランジスタ群と前記制御用中間階調電圧生成 MOS トランジスタ群の前記 J 個の MOS トランジスタと前記 $(M + 1)$ 個のスイッチのうちの前記第 I 中間階調電圧に対応する前記第 I スイッチとに供給し、

前記第 1 又は 2 プリチャージ用スイッチング部は、前記パルス信号に応じてオンし、前記出力ノードに供給される電圧を、前記第 1 又は 2 階調選択 MOS トランジスタ群により選択された前記第 1 又は 2 階調電圧にプリチャージし、

前記第 I スイッチは、前記制御信号に応じてオンし、前記 $(M + 1)$ 個の中間階調電圧のうちの 1 つの中間階調電圧である前記第 I 中間階調電圧を前記出力ノードに供給し、

前記出力ノードには、前記第 1 又は 2 階調電圧がプリチャージされた後に前記第 I スイッチからの前記第 I 中間階調電圧が供給される階調電圧選択回路。

【請求項 3】

請求項 1 又は 2 に記載された階調電圧選択回路と、

基準電圧を分圧して複数の階調電圧を生成し、前記階調電圧選択回路に供給する直列抵抗分圧回路と

を具備するドライバ回路。

【請求項 4】

表示部に接続された複数のドライバ回路と、

基準電圧を発生する電源回路と

を具備し、

10

20

30

40

50

前記複数のドライバ回路の各々は、
請求項 1 又は 2 に記載された階調電圧選択回路と、
前記基準電圧を分圧して複数の階調電圧を生成し、前記階調電圧選択回路に供給する直列抵抗分圧回路と
を具備する液晶駆動回路。

【請求項 5】

表示部と、
前記表示部に接続され、請求項 4 に記載された液晶駆動回路と
を具備する液晶表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、階調電圧選択回路、ドライバ回路、液晶駆動回路、液晶表示装置に関し、特に、液晶パネルで例示される容量性負荷を駆動するために用いられる階調電圧選択回路、ドライバ回路、液晶駆動回路、液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、近年、携帯電話機で例示されるモバイル電子機器に使用されている。液晶表示装置がモバイル電子機器に使用される場合、薄型であり、消費電力がより小さい液晶表示装置が求められる。且つ、液晶表示装置の回路規模（チップサイズ）が小さいことが求められる。

20

【0003】

図 1 は、従来の液晶表示装置の構成を示す。従来の液晶表示装置は、チップ上に設けられた液晶駆動回路と、液晶パネルである表示部 101 とを具備している。

液晶駆動回路は、 m 個（ m は 2 以上の整数）のゲートドライバ回路 102 - 1 ~ 102 - m と、 n 個（ n は 2 以上の整数）のソースドライバ回路 103 - 1 ~ 103 - n と、電源回路 104 とを具備している。

表示部 101 は、 $(m \times n)$ 個の画素 110 を備えている。 $(m \times n)$ 個の画素 110 の各々は、画素電極 111 と、画素電極 111 に対向する対向電極 112 と、そのドレインが画素電極 111 に接続された薄膜トランジスタ（Thin Film Transistor: TFT）113 とを備えている。

30

【0004】

ゲートドライバ回路 102 - 1 ~ 102 - m は、それぞれゲート線 105 - 1 ~ 105 - m を介して表示部 101 に接続されている。ゲート線 105 - i （ $i = 1, 2, \dots, m$ ）は、 m 行のうちの第 i 行に属する n 個の画素 110 の薄膜トランジスタ 113 のゲートに接続されている。ゲートドライバ回路 102 - 1 ~ 102 - m には、1 番目から m 番目までこの順に、1 水平期間におけるゲート制御信号 107 が外部から供給される。ゲートドライバ回路 102 - i は、外部からのゲート制御信号 107 に応じて、走査電圧を表示部 101 にゲート線 105 - i を介して出力する。

電源回路 104 は、直列接続された複数の抵抗素子を備えている。電源回路 104 は、外部電圧と接地電圧とを複数の抵抗素子により分圧し、 X 個（例示； $X = 9$ ）の異なる基準電圧を生成する。 X 個の基準電圧は、 n 個のソースドライバ回路 103 - 1 ~ 103 - n に供給される。

40

ソースドライバ回路 103 - 1 ~ 103 - n は、それぞれ信号線 106 - 1 ~ 106 - n を介して表示部 101 に接続されている。信号線 106 - j （ $j = 1, 2, \dots, n$ ）は、 n 列のうちの第 j 列に属する m 個の画素 110 の薄膜トランジスタ 113 のソースに接続されている。ソースドライバ回路 103 - 1 ~ 103 - n には、それぞれ、電源回路 104 から X 個の基準電圧が供給される。また、ソースドライバ回路 103 - 1 ~ 103 - n には、1 水平期間において、それぞれ、外部からソース制御信号 108 と表示用データ $D_1 \sim D_n$ とが供給される。表示用データ $D_1 \sim D_n$ はデジタル階調データである。ソー

50

スドライバ回路 103 - j は、電源回路 104 からの X 個の基準電圧と、外部からのソース制御信号 108 とに基づいて、表示用データ D_j に応じた階調電圧を表示部 1 に信号線 106 - j を介して出力する。

第 i 行目、第 j 列目の画素 110 の薄膜トランジスタ 113 は、ゲート線 105 - i に走査電圧が印加され、信号線 106 - j に階調電圧が印加されたとき、その画素 110 の画素電極 111 と対向電極 112 との間に階調電圧を印加する。

【0005】

図 2 は、従来の液晶表示装置のソースドライバ回路 103 - j の構成を示す。ソースドライバ回路 103 - j は、シフトレジスタ 121 と、データレジスタ 122 と、ラッチ回路 123 と、レベルシフタ 124 と、デジタル/アナログ (D/A) コンバータである階調電圧選択回路 125 と、出力回路であるバッファアンプ 126 と、直列抵抗分圧回路 127 とを備えている。ここで、ソースドライバ回路 103 - j に供給される上記のソース制御信号 108 は、シフトパルス 128、転送クロック 129 を含んでいる。

【0006】

ソースドライバ回路 103 - j のシフトレジスタ 121 は、外部から供給されたシフトパルス 128 を転送クロック 129 に同期させて順にシフトさせる。ソースドライバ回路 103 - j のデータレジスタ 122 は、外部からの表示用データ D_j を格納して、ソースドライバ回路 103 - j のシフトレジスタ 121 から出力されたシフトパルス 128 に同期して表示用データ D_j をソースドライバ回路 103 - j のラッチ回路 123 に出力する。

ソースドライバ回路 103 - 1 ~ 103 - m のラッチ回路 123 は、ソースドライバ回路 103 - 1 ~ 103 - m のデータレジスタ 102 の出力を同タイミングでラッチする。

ソースドライバ回路 103 - j のレベルシフタ 124 は、ソースドライバ回路 103 - j のラッチ回路 123 の出力のレベル変換を行う。

ソースドライバ回路 103 - j の直列抵抗分圧回路 127 は、直列接続された複数の抵抗素子を備えている。この直列抵抗分圧回路 127 は、電源回路 104 からの X 個の基準電圧を複数の抵抗素子により分圧し、Y 個 (Y > X) の異なる電圧を生成する。

ソースドライバ回路 103 - j の階調電圧選択回路 125 は、ソースドライバ回路 103 - j の直列抵抗分圧回路 127 により生成された Y 個の電圧と、ソースドライバ回路 103 - j のレベルシフタ 124 の出力 (表示用データ D_j) とに基づいて、Z 個 (Z > Y) の出力階調電圧を生成する。この階調電圧選択回路 125 は、Z 個の出力階調電圧のうち、表示用データ D_j に応じた出力階調電圧を選択する。ソースドライバ回路 103 - j のバッファアンプ 126 は、ソースドライバ回路 103 - j の階調電圧選択回路 125 により選択された出力階調電圧を信号線 106 - j に出力する。

【0007】

図 3 は、従来の液晶表示装置のソースドライバ回路 103 - j の直列抵抗分圧回路 127 と階調電圧選択回路 125 の構成を示す。この階調電圧選択回路 125 は、特許文献 1 の図 4 に記載された階調電圧選択回路を簡略化したものである。

【0008】

まず、直列抵抗分圧回路 127 について説明する。

ここで、上記の X を 9 とし、X 個の基準電圧を基準電圧 V₀ ~ V₈ として表すものとする。また、直列抵抗分圧回路 127 が備える複数の抵抗素子を、直列接続された抵抗素子 R₀ ~ R₁₅ として表すものとする。

抵抗素子 R₀ ~ R₁₅ の両端子のうちの一方の端子には、それぞれノード T₀ ~ T₁₅ が接続されている。抵抗素子 R₀ ~ R₁₅ の他方の端子には、それぞれノード T₁ ~ T₁₆ が接続されている。ノード T₁ ~ T₁₆ のうち、偶数番目のノード T₀、T₂、T₄、T₆、T₈、T₁₀、T₁₂、T₁₄、T₁₆ には、それぞれ基準電圧 V₀ ~ V₈ が印加されている。

【0009】

次に、階調電圧選択回路 125 について説明する。階調電圧選択回路 125 は、階調電

10

20

30

40

50

圧制御部 130 と、第 1 のスイッチング部 131 と、中間階調電圧生成部 132 と、第 2 のスイッチング部 133 とを備えている。

【0010】

ここで、上記の Y を 17 として表すものとする。

第 1 のスイッチング部 131 は、MOS トランジスタである Y 個のスイッチ S00 ~ S16 を含んでいる。スイッチ S00 ~ S16 の一端には、それぞれノード T0 ~ T16 が接続されている。スイッチ S00、S02、S04、S06、S08、S10、S12、S14、S16 の他端には、ノード Ta が接続されている。スイッチ S01、S03、S05、S07、S09、S11、S13、S15 の他端には、ノード Te が接続されている。

10

【0011】

中間階調電圧生成部 132 は、直列接続された複数の抵抗素子 Ra、Rb、Rc、Rd を含んでいる。抵抗素子 Ra、Rb、Rc、Rd の両端子のうちの一方の端子には、それぞれノード Ta、Tb、Tc、Td が接続されている。抵抗素子 Ra、Rb、Rc、Rd の他方の端子には、それぞれノード Tb、Tc、Td、Te が接続されている。

【0012】

第 2 のスイッチング部 133 は、MOS トランジスタである複数のスイッチ Sa、Sb、Sc、Sd、Se を含んでいる。スイッチ Sa、Sb、Sc、Sd、Se の一端には、それぞれノード Ta、Tb、Tc、Td、Te が接続されている。複数のスイッチ Sa、Sb、Sc、Sd、Se の他端には、ノード Tout を介してバッファアンプ 126 が接続されている。

20

【0013】

ここで、上記の Z を 64 とし、Z 個の出力階調電圧を出力階調電圧 V00' ~ V63' として表すものとする。

階調電圧制御部 130 は、出力階調電圧 V00' ~ V63' のうち、表示用データ Dj に応じた出力階調電圧を選択するために、図 4 に示されるような制御を第 1 のスイッチング部 131、第 2 のスイッチング部 133 に対して行なう。

【0014】

例えば、表示用データ Dj に応じた出力階調電圧が V00' であるとき、階調電圧制御部 130 は、スイッチ S00、S01 と、スイッチ Sa とに制御信号を出力する。

30

このとき、スイッチ S00 は、制御信号に応じてオンし、ノード T0 に印加された階調電圧を選択する。スイッチ S00 により選択された階調電圧は、ノード Ta に印加される。

また、スイッチ S01 は、制御信号に応じてオンし、ノード T1 に印加された階調電圧を選択する。スイッチ S01 により選択された階調電圧は、ノード Te に印加される。

中間階調電圧生成部 132 は、ノード Ta に印加された階調電圧と、ノード Te に印加された階調電圧との間の階調電圧を 4 等分に分圧して 3 個の中間階調電圧を生成する。3 個の中間階調電圧は、それぞれノード Tb、Tc、Td に印加される。

スイッチ Sa は、制御信号に応じてオンし、ノード Ta に印加された階調電圧を出力階調電圧 V00' として出力する。出力階調電圧 V00' はノード Tout に印加され、バッファアンプ 126 に供給される。

40

【0015】

表示用データ Dj に応じた出力階調電圧が V01' であるとき、階調電圧制御部 130 は、スイッチ S00、S01 と、スイッチ Sb とに制御信号を出力する。

このとき、スイッチ S00 は、制御信号に応じてオンし、ノード T0 に印加された階調電圧を選択する。スイッチ S00 により選択された階調電圧はノード Ta に印加される。

また、スイッチ S01 は、制御信号に応じてオンし、ノード T1 に印加された階調電圧を選択する。スイッチ S01 により選択された階調電圧はノード Te に印加される。

中間階調電圧生成部 132 は、ノード Ta に印加された階調電圧と、ノード Te に印加された階調電圧との間の階調電圧を 4 等分に分圧して 3 個の中間階調電圧を生成する。3

50

個の中間階調電圧は、それぞれノードT b、T c、T dに印加される。

スイッチS bは、制御信号に応じてオンし、ノードT bに印加された中間階調電圧を出力階調電圧V 0 1'として出力する。出力階調電圧V 0 1'はノードT o u tに印加され、バッファアンプ1 2 6に供給される。

【0 0 1 6】

【特許文献1】特開平9 - 1 9 8 0 1 2号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 1 7】

しかしながら、中間階調電圧生成部1 3 2(抵抗素子R a、R b、R c、R d)は、直列抵抗分圧回路1 2 7(抵抗素子R 0 ~ R 1 5)に並列に設けられているため、中間階調電圧生成部1 3 2に流れる電流の誤差により、各出力階調電圧V 0 0' ~ V 6 3'の電圧レベルが変動するという問題がある。このため、ソースドライバ回路1 0 3 - jでは、直列抵抗分圧回路1 2 7の抵抗素子R 0 ~ R 1 5の抵抗値が、通常、数十オーム ~ 数百オーム程度であるのに対して、中間階調電圧生成部1 3 2の抵抗素子R a、R b、R c、R dの抵抗値は、数メガオーム以上(例示; 1メガオーム)必要である。

10

ソースドライバ回路の出力数(ソースドライバ回路1 0 3 - 1 ~ 1 0 3 - n)は、近年では解像度の増大により、数百以上である。即ち、上記nが数百以上の値である。ソースドライバ回路1 0 3 - 1 ~ 1 0 3 - nが同時に同じ出力階調電圧を選択する場合を考慮すると、中間階調電圧生成部1 3 2に流れる電流の誤差を抑えるためには、中間階調電圧生成部1 3 2の抵抗素子R a、R b、R c、R dの抵抗値として、数メガオーム以上の非常に高い値が必要となる。

20

【0 0 1 8】

抵抗素子は、抵抗値が高くなるに従って、そのサイズも大きくなる。中間階調電圧生成部1 3 2の抵抗素子R a、R b、R c、R dが数メガオームである場合、階調電圧選択回路1 2 5の回路規模が大きくなってしまう。階調電圧選択回路1 2 5の回路規模が大きくなるに従って、ソースドライバ回路1 0 3 - 1 ~ 1 0 3 - nの回路規模、ソースドライバ回路1 0 3 - 1 ~ 1 0 3 - nを具備する液晶駆動回路の回路規模が大きくなってしまう。このように、回路規模が大きくなるに従って、液晶駆動回路を搭載するチップのチップサイズが増大する原因となる。上述のように、液晶表示装置は薄型であることが求められ、チップサイズは小さいことが好ましい。

30

【0 0 1 9】

上記の階調電圧選択回路1 2 5は、特許文献1の図4に記載された階調電圧選択回路を簡略化したものであるが、特許文献1の図5に記載されているように、中間階調電圧生成部1 3 2を抵抗素子からコンデンサに変更した場合を考える。この場合でも、コンデンサの容量自身のリーク電流とフィードスルーの問題から、コンデンサの容量値として非常に高い値が必要となる。コンデンサは、容量値が高くなるに従って、そのサイズも大きくなる。この場合でも、回路規模が大きくなり、チップサイズが増大する原因となる。

【0 0 2 0】

したがって、本発明の課題は、回路規模を小さくすることができる階調電圧選択回路、ドライバ回路、液晶駆動回路、液晶表示装置を提供することにある。

40

【課題を解決するための手段】

【0 0 2 1】

以下に、[発明を実施するための最良の形態]で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明を実施するための最良の形態]の記載との対応関係を明らかにするために付加されたものであるが、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0 0 2 2】

本発明の階調電圧選択回路(2 5)は、液晶表示装置に適用される。その液晶表示装置

50

は、表示部(1)と、前記表示部(1)に接続された液晶駆動回路とを具備している。

前記液晶駆動回路は、複数のドライバ回路(3-1~3-n)と、基準電圧を発生する電源回路(4)とを具備している。

前記複数のドライバ回路の各々(3-j)(j=1、2、...、n)は、第1表示用データ又は第2表示用データが供給される階調電圧選択回路(25)と、前記基準電圧を分圧して複数の階調電圧を生成し、前記階調電圧選択回路(25)に供給する直列抵抗分圧回路(27)とを具備している。

本発明の階調電圧選択回路(25)は、複数の階調電圧に対応付けられた複数の階調選択MOSトランジスタ群(31;SS0~SS16)と、直列接続されたM個(Mは、1以上の整数)の中間階調電圧生成MOSトランジスタ群(32;SSa、SSb)と、スイッチング部(33;S2~S4)と、第1表示用データに応じて第1制御信号を供給し、第2表示用データに応じて第2制御信号を供給する制御部(30)とを具備している。

前記第1制御信号又は前記第2制御信号に応じて、第1階調選択MOSトランジスタ群(SS0)は、第1階調電圧(Va)を選択し、第2階調選択MOSトランジスタ群(SS1)は、前記第1階調電圧(Va)の次の第2階調電圧(Vb)を選択する。

前記第1階調選択MOSトランジスタ群(SS0)と前記M個の中間階調電圧生成MOSトランジスタ群(SSa、SSb)と前記第2階調選択MOSトランジスタ群(SS1)は、前記第2制御信号に応じて、前記第1階調電圧(Va)と前記第2階調電圧(Vb)との間の階調電圧を(M+2)個に分圧して(M+1)個の中間階調電圧を生成する。

前記スイッチング部(S2~S4)は、前記第1制御信号に応じて、前記第1階調選択MOSトランジスタ群(SS0)により選択された前記第1階調電圧(Va)を表示部(1)に出力し、前記第2制御信号に応じて、前記(M+1)個の中間階調電圧のうちの1つを選択して前記表示部(1)に出力する。

前記(M+1)個の中間階調電圧は、前記第1階調選択MOSトランジスタ群(SS0)と前記M個の中間階調電圧生成MOSトランジスタ群(SSa、SSb)と前記第2階調選択MOSトランジスタ群(SS1)のオン抵抗により決定される。

【0023】

前記ドライバ回路(3-j)において、中間階調電圧生成部(32)である前記M個の中間階調電圧生成MOSトランジスタ群(SSa、SSb)は、前記直列抵抗分圧回路(27)に並列に設けられている。前記直列抵抗分圧回路(27)の抵抗素子の抵抗値は、通常、数十オーム~数百オーム程度である。このため、各出力階調電圧の電圧レベルが変動しないように、中間階調電圧生成部(32)の抵抗値は、数メガオーム以上必要である。

本発明では、階調電圧選択回路(25)において、前記第1階調選択MOSトランジスタ群(SS0)と前記M個の中間階調電圧生成MOSトランジスタ群(SSa、SSb)と前記第2階調選択MOSトランジスタ群(SS1)が、前記第2制御信号に応じて、前記第1階調電圧と前記第2階調電圧との間の階調電圧を(M+2)等分に分圧して前記(M+1)個の中間階調電圧を生成する。このとき、前記第1階調選択MOSトランジスタ群(SS0)と前記M個の中間階調電圧生成MOSトランジスタ群(SSa、SSb)と前記第2階調選択MOSトランジスタ群(SS1)のオン抵抗により数メガオーム以上の高抵抗を得ることができる。即ち、本発明では、前記階調電圧選択回路(25)において、数メガオーム以上の抵抗値を有する抵抗素子を用いずに、上記のオン抵抗により数メガオーム以上の高抵抗を得ることができる。このため、各出力階調電圧の電圧レベルが変動しない。

【0024】

本発明の階調電圧選択回路(25)において、前記M個の中間階調電圧生成MOSトランジスタ群(SSa、SSb)の各々は、直列接続されたN個(Nは2以上の整数)のMOSトランジスタから構成されている。

前記M個の中間階調電圧生成MOSトランジスタ群(SSa、SSb)のうちの制御用中間階調電圧生成MOSトランジスタ群(SSa)のJ個(Jは、1 J Nを満たす整

10

20

30

40

50

数)のMOSトランジスタには、前記第2制御信号が供給される。

前記制御用中間階調電圧生成MOSトランジスタ群(SSa)の(N-J)個のMOSトランジスタには、常時オンするための第3制御信号が供給される。

前記M個の中間階調電圧生成MOSトランジスタ群(SSa、SSb)のうち、前記制御用中間階調電圧生成MOSトランジスタ群(SSa)以外の中間階調電圧生成MOSトランジスタ群(SSb)の前記N個のMOSトランジスタには、前記第3制御信号が供給される。

【0025】

本発明の階調電圧選択回路(25)において、前記スイッチング部(S2~S4)は、(M+1)個のスイッチを含んでいる。

10

前記制御部(30)は、前記第1表示用データに応じて前記第1制御信号を前記第1階調選択MOSトランジスタ群(SS0)と、前記第2階調選択MOSトランジスタ群(SS1)と、前記(M+1)個のスイッチのうちの第1スイッチ(S2)とに供給する。

前記第1スイッチ(S2)は、前記第1制御信号に応じて、前記第1階調選択MOSトランジスタ群(SS0)により選択された前記第1階調電圧(Va)を前記表示部(1)に出力ノード(To ut)を介して出力する。

前記制御部(30)は、前記第2表示用データに応じて前記第2制御信号を前記第1階調選択MOSトランジスタ群(SS0)と、前記第2階調選択MOSトランジスタ群(SS1)と、前記制御用中間階調電圧生成MOSトランジスタ群(SSa)の前記J個のMOSトランジスタと、前記(M+1)個のスイッチのうちの第Iスイッチ{Iは、1 I (M+1)を満たす整数}(S2~S4のいずれか)とに供給する。

20

前記第Iスイッチは、前記第2制御信号に応じて、前記(M+1)個の中間階調電圧のうちの第I中間階調電圧を前記表示部(1)に前記出力ノード(To ut)を介して出力する。

【0026】

本発明の階調電圧選択回路(25)は、前記オン抵抗の誤差を低減するための抵抗部(Rss0、Rss1、Rssa、Rssb)を更に具備している。

前記抵抗部(Rss0、Rss1、Rssa、Rssb)は、前記第1階調選択MOSトランジスタ群(SS0)に直列接続された第1抵抗素子(Rss0)と、前記第2階調選択MOSトランジスタ群(SS1)に直列接続された第2抵抗素子(Rss1)と、前記M個の中間階調電圧生成MOSトランジスタ群(SSa、SSb)とそれぞれ交互に接続されたM個の抵抗素子(Rssa、Rssb)とを含んでいる。

30

前記(M+1)個の中間階調電圧は、前記オン抵抗と前記抵抗部(Rss0、Rss1、Rssa、Rssb)の抵抗とにより決定される。

【0027】

上記のオン抵抗は、様々な条件で誤差が生じる場合がある。このような場合、本発明では、オン抵抗の誤差を低減するための前記抵抗部(Rss0、Rss1、Rssa、Rssb)を階調電圧選択回路(25)に設けることにより、(M+1)個の中間階調電圧は、前記第1階調選択MOSトランジスタ群(SS0)と前記M個の中間階調電圧生成MOSトランジスタ群(SSa、SSb)と前記第2階調選択MOSトランジスタ群(SS1)のオン抵抗と、そのオン抵抗の誤差を低減するための前記抵抗部(Rss0、Rss1、Rssa、Rssb)の抵抗とにより決定される。このため、本発明では、階調電圧選択回路(25)において、(M+1)個の中間階調電圧を正確に生成することができる。

40

【0028】

本発明の階調電圧選択回路(25)は、プリチャージ用スイッチング部(SW11)を更に具備している。

前記制御部(30)は、前記第1制御信号又は前記第2制御信号を出力するときに、パルス信号である第4制御信号を前記プリチャージ用スイッチング部(SW11)に供給する。

前記プリチャージ用スイッチング部(SW11)は、前記第4制御信号に応じて、前記

50

出力ノード (T o u t) に供給される電圧を前記第 1 階調電圧 (V a) にプリチャージする。

前記第 1 スイッチ (S 2) は、前記第 1 制御信号に応じて、前記第 1 階調電圧 (V a) を前記出力ノード (T o u t) に供給し、前記出力ノード (T o u t) には、前記第 1 階調電圧 (V a) がプリチャージされた後に前記第 1 スイッチ (S 2) からの前記第 1 階調電圧 (V a) が供給される。

前記第 I スイッチは、前記第 2 制御信号に応じて、前記第 I 中間階調電圧を前記出力ノード (T o u t) に供給し、前記出力ノード (T o u t) には、前記第 1 階調電圧 (V a) がプリチャージされた後に前記第 I スイッチからの前記第 I 中間階調電圧が供給される。

10

【 0 0 2 9 】

階調電圧選択回路 (2 5) が上述の抵抗部 (R s s 0 、 R s s 1 、 R s s a 、 R s s b) を備えているとき、その抵抗部の抵抗による時定数が大きくなり、回路動作が遅くなる場合がある。このような場合、本発明では、抵抗部 (R s s 0 、 R s s 1 、 R s s a 、 R s s b) の時定数の大きさによる回路動作の遅延を改善するために、プリチャージ用スイッチング部 (S W 1 1 、 S W 1 2) を階調電圧選択回路 (2 5) に設けることにより、階調電圧選択回路 (2 5) の高速動作を実現することができる。

【 0 0 3 0 】

本発明の階調電圧選択回路 (2 5) は、隣り合う階調電圧を M O S トランジスタ (S S 0 、 S S 1 、 S S a 、 S S b) のオン抵抗を用いて分圧して多階調化することの特徴とする。

20

【 0 0 3 1 】

本発明の階調電圧選択回路 (2 5) は、隣り合う第 1 及び第 2 の階調電圧ノード (T y₀ ; T 0) (T y₁ ; T 1) と、前記第 1 の階調電圧ノード (T y₀ ; T 0) と出力ノード (T o u t) の間に設けられた第 1 の M O S トランジスタ群 (S S y₀ ; S S 0) と、前記出力ノード (T o u t) 及び前記第 2 の階調電圧ノード (T y₁ ; T 1) の間に設けられた、前記第 1 の M O S トランジスタ群 (S S y₀ ; S S 0) を構成する M O S トランジスタ数と同数の M O S トランジスタを有する第 2 の M O S トランジスタ群 (S S a) とを有することの特徴とする。

【 0 0 3 2 】

本発明の階調電圧選択回路 (2 5) は、前記第 2 の M O S トランジスタ群 (S S a) のうちのひとつのトランジスタ (S 1) をオフにして前記第 1 の階調電圧ノード (T y₀ ; T 0) に供給される階調電圧を前記第 1 の M O S トランジスタ群 (S S y₀ ; S S 0) を介して前記出力ノード (T o u t) に伝達することの特徴とする。

30

【発明の効果】

【 0 0 3 3 】

以上の説明により、本発明の階調電圧選択回路、ドライバ回路、液晶駆動回路、液晶表示装置によれば、階調電圧選択回路において、数メガオーム以上の抵抗値を有する抵抗素子を用いずに、M O S トランジスタ群のオン抵抗により数メガオーム以上の高抵抗を得ることができるため、階調電圧選択回路の回路規模、ソースドライバ回路の回路規模、液晶駆動回路の回路規模を従来のそれよりも小さくすることができる。

40

また、本発明の階調電圧選択回路、ドライバ回路、液晶駆動回路、液晶表示装置によれば、回路規模を小さくすることができるため、液晶駆動回路を搭載するチップのチップサイズを小さくすることができ、薄型のニーズに対応する。

【発明を実施するための最良の形態】

【 0 0 3 4 】

以下に添付図面を参照して、本発明の階調電圧選択回路が適用される液晶表示装置について詳細に説明する。

【 0 0 3 5 】

(第 1 実施形態)

50

図5は、本発明の第1実施形態による液晶表示装置の構成を示す。第1実施形態による液晶表示装置は、チップ上に設けられた液晶駆動回路と、液晶パネルである表示部1とを具備している。

液晶駆動回路は、 m 個（ m は2以上の整数）のゲートドライバ回路2-1～2- m と、 n 個（ n は2以上の整数）のソースドライバ回路3-1～3- n と、電源回路4とを具備している。

表示部1は、（ $m \times n$ ）個の画素10を備えている。（ $m \times n$ ）個の画素10の各々は、画素電極11と、画素電極11に対向する対向電極12と、そのドレインが画素電極11に接続された薄膜トランジスタ（Thin Film Transistor：TFT）13とを備えている。

10

【0036】

ゲートドライバ回路2-1～2- m は、それぞれゲート線5-1～5- m を介して表示部1に接続されている。ゲート線5- i （ $i=1, 2, \dots, m$ ）は、 m 行のうちの第 i 行に属する n 個の画素10の薄膜トランジスタ13のゲートに接続されている。ゲートドライバ回路2-1～2- m には、1番目から m 番目までこの順に、1水平期間におけるゲート制御信号7が外部から供給される。ゲートドライバ回路2- i は、外部からのゲート制御信号7に応じて、走査電圧を表示部1にゲート線5- i を介して出力する。

電源回路4は、直列接続された複数の抵抗素子を備えている。電源回路4は、外部電圧と接地電圧とを複数の抵抗素子により分圧し、 X 個（例示； $X=9$ ）の異なる基準電圧を生成する。 X 個の基準電圧は、 n 個のソースドライバ回路3-1～3- n に供給される。

20

ソースドライバ回路3-1～3- n は、それぞれ信号線6-1～6- n を介して表示部1に接続されている。信号線6- j （ $j=1, 2, \dots, n$ ）は、 n 列のうちの第 j 列に属する m 個の画素10の薄膜トランジスタ13のソースに接続されている。ソースドライバ回路3-1～3- n には、それぞれ、電源回路4から X 個の基準電圧が供給される。また、ソースドライバ回路3-1～3- n には、1水平期間において、それぞれ、外部からソース制御信号8と表示用データ $D_1 \sim D_n$ とが供給される。表示用データ $D_1 \sim D_n$ はデジタル階調データである。ソースドライバ回路3- j は、電源回路4からの X 個の基準電圧と、外部からのソース制御信号8とに基づいて、表示用データ D_j に応じた階調電圧を表示部1に信号線6- j を介して出力する。

第 i 行目、第 j 列目の画素10の薄膜トランジスタ13は、ゲート線5- i に走査電圧が印加され、信号線6- j に階調電圧が印加されたとき、その画素10の画素電極11と対向電極12との間に階調電圧を印加する。

30

【0037】

図6は、本発明の第1実施形態による液晶表示装置のソースドライバ回路3- j の構成を示す。ソースドライバ回路3- j は、シフトレジスタ21と、データレジスタ22と、ラッチ回路23と、レベルシフタ24と、デジタル/アナログ（D/A）コンバータである階調電圧選択回路25と、出力回路であるバッファアンプ26と、直列抵抗分圧回路27とを備えている。ここで、ソースドライバ回路3- j に供給される上記のソース制御信号8は、シフトパルス28、転送クロック29を含んでいる。

【0038】

40

ソースドライバ回路3- j のシフトレジスタ21は、外部から供給されたシフトパルス28を転送クロック29に同期させて順にシフトさせる。ソースドライバ回路3- j のデータレジスタ22は、外部からの表示用データ D_j を格納して、ソースドライバ回路3- j のシフトレジスタ21から出力されたシフトパルス28に同期して表示用データ D_j をソースドライバ回路3- j のラッチ回路23に出力する。

ソースドライバ回路3-1～3- m のラッチ回路23は、ソースドライバ回路3-1～3- m のデータレジスタ2の出力を同タイミングでラッチする。

ソースドライバ回路3- j のレベルシフタ24は、ソースドライバ回路3- j のラッチ回路23の出力のレベル変換を行う。

ソースドライバ回路3- j の直列抵抗分圧回路27は、直列接続された複数の抵抗素子

50

を備えている。この直列抵抗分圧回路 27 は、電源回路 4 からの X 個の基準電圧を複数の抵抗素子により分圧し、 Y 個 ($Y > X$) の異なる階調電圧を生成する。

ソースドライバ回路 3-j の階調電圧選択回路 25 は、ソースドライバ回路 3-j の直列抵抗分圧回路 27 により生成された Y 個の階調電圧と、ソースドライバ回路 3-j のレベルシフタ 24 の出力 (表示用データ D_j) とに基づいて、 Z 個 ($Z > Y$) の出力階調電圧を生成する。この階調電圧選択回路 25 は、 Z 個の出力階調電圧のうち、表示用データ D_j に応じた出力階調電圧を選択する。ソースドライバ回路 3-j のバッファアンプ 26 は、ソースドライバ回路 3-j の階調電圧選択回路 25 により選択された出力階調電圧を信号線 6-j に出力する。

【0039】

10

図 7 に示されるように、階調電圧選択回路 25 は、階調電圧制御部 30 と、階調選択部 31 と、中間階調電圧生成部 32 と、スイッチング部 33 とを備えている。

【0040】

階調選択部 31 は、 Y 個の階調電圧に対応付けられた Y 個の階調選択 MOS トランジスタ群を含んでいる。 Y 個の階調選択 MOS トランジスタ群の各々は、直列接続された N 個 (N は 2 以上の整数) の MOS トランジスタから構成されている。 Y 個の階調選択 MOS トランジスタ群のうちの第 1 階調選択 MOS トランジスタ群と第 2 階調選択 MOS トランジスタ群には、第 1 制御信号又は第 2 制御信号が階調電圧制御部 30 から供給される。

【0041】

中間階調電圧生成部 32 は、直列接続された M 個 (M は、1 以上の整数) の中間階調電圧生成 MOS トランジスタ群を含んでいる。 M 個の中間階調電圧生成 MOS トランジスタ群の各々は、直列接続された N 個の MOS トランジスタから構成されている。

20

M 個の中間階調電圧生成 MOS トランジスタ群のうちの少なくとも 1 つは制御用中間階調電圧生成 MOS トランジスタ群である。制御用中間階調電圧生成 MOS トランジスタ群の J 個 (J は、1 $\leq J \leq N$ を満たす整数) の MOS トランジスタには、第 2 制御信号が階調電圧制御部 30 から供給される。

制御用中間階調電圧生成 MOS トランジスタ群の ($N - J$) 個の MOS トランジスタには、常時オンするための第 3 制御信号が供給される。 M 個の中間階調電圧生成 MOS トランジスタ群のうち、制御用中間階調電圧生成 MOS トランジスタ群以外の中間階調電圧生成 MOS トランジスタ群の N 個の MOS トランジスタには、第 3 制御信号が供給される。

30

【0042】

スイッチング部 33 は、MOS トランジスタである ($M + 1$) 個のスイッチを含んでいる。

【0043】

階調電圧制御部 30 は、レベルシフタ 24 からの表示用データ D_j が第 1 表示用データを表すとき、第 1 表示用データに応じて第 1 制御信号を、 Y 個の階調選択 MOS トランジスタ群のうちの第 1 階調選択 MOS トランジスタ群と第 2 階調選択 MOS トランジスタ群とに供給し、スイッチング部 33 の ($M + 1$) 個のスイッチのうちの第 1 スイッチに供給する。

このとき、第 1 制御信号に応じて、第 1 階調選択 MOS トランジスタ群は、 Y 個の階調電圧のうちの第 1 階調電圧を選択し、第 2 階調選択 MOS トランジスタ群は、 Y 個の階調電圧のうち、第 1 階調電圧の次の第 2 階調電圧を選択する。第 1 スイッチは、第 1 制御信号に応じて、第 1 階調選択 MOS トランジスタ群により選択された第 1 階調電圧を出力する。第 1 スイッチにより出力された第 1 階調電圧は、上記の Z 個の出力階調電圧のうちの 1 つの出力階調電圧としてバッファアンプ 26 に出力される。

40

【0044】

階調電圧制御部 30 は、レベルシフタ 24 からの表示用データ D_j が第 2 表示用データを表すとき、第 2 表示用データに応じて第 2 制御信号を、 Y 個の階調選択 MOS トランジスタ群のうちの第 1 階調選択 MOS トランジスタ群と第 2 階調選択 MOS トランジスタ群とに供給し、制御用中間階調電圧生成 MOS トランジスタ群の J 個の MOS トランジスタ

50

と、スイッチング部 33 の $(M+1)$ 個のスイッチのうちの第 I スイッチ $\{I$ は、 $1 \leq I \leq (M+1)$ を満たす整数 $\}$ とに供給する。

このとき、第 2 制御信号に応じて、第 1 階調選択 MOS トランジスタ群は、 Y 個の階調電圧のうちの第 1 階調電圧を選択し、第 2 階調選択 MOS トランジスタ群は、 Y 個の階調電圧のうち、第 1 階調電圧の次の第 2 階調電圧を選択する。また、制御用中間階調電圧生成 MOS トランジスタ群の J 個の MOS トランジスタに第 2 制御信号が供給されたとき、第 1 階調選択 MOS トランジスタ群と M 個の中間階調電圧生成 MOS トランジスタ群と第 2 階調選択 MOS トランジスタ群とがこの順に接続される。このとき、第 1 階調選択 MOS トランジスタ群と M 個の中間階調電圧生成 MOS トランジスタ群と第 2 階調選択 MOS トランジスタ群は、第 2 制御信号に応じて、第 1 階調電圧と第 2 階調電圧との間の階調電圧を $(M+2)$ 等分に分圧して $(M+1)$ 個の中間階調電圧を生成する。この $(M+1)$ 個の中間階調電圧は、第 1 階調選択 MOS トランジスタ群と M 個の中間階調電圧生成 MOS トランジスタ群と第 2 階調選択 MOS トランジスタ群のオン抵抗により決定される。第 I スイッチは、第 2 制御信号に応じて、 $(M+1)$ 個の中間階調電圧のうちの第 I 中間階調電圧を選択して出力する。第 I スイッチにより出力された第 I 中間階調電圧は、上記の Z 個の出力階調電圧のうちの 1 つの出力階調電圧としてバッファアンプ 26 に出力される。

10

【0045】

ソースドライバ回路 3-j において、中間階調電圧生成部 32 (M 個の中間階調電圧生成 MOS トランジスタ群) は、直列抵抗分圧回路 27 (抵抗素子) に並列に設けられている。直列抵抗分圧回路 27 の抵抗素子の抵抗値は、通常、数十オーム～数百オーム程度である。このため、各出力階調電圧の電圧レベルが変動しないように、中間階調電圧生成部 32 の抵抗値は、数メガオーム以上必要である。

20

本発明の液晶表示装置の階調電圧選択回路 25 では、第 1 階調選択 MOS トランジスタ群と M 個の中間階調電圧生成 MOS トランジスタ群と第 2 階調選択 MOS トランジスタ群が、第 2 制御信号に応じて、第 1 階調電圧と第 2 階調電圧との間の階調電圧を $(M+2)$ 等分に分圧して $(M+1)$ 個の中間階調電圧を生成する。このとき、第 1 階調選択 MOS トランジスタ群と M 個の中間階調電圧生成 MOS トランジスタ群と第 2 階調選択 MOS トランジスタ群のオン抵抗により数メガオーム以上の高抵抗を得ることができる。このため、各出力階調電圧の電圧レベルが変動しない。

30

【0046】

本発明の液晶表示装置では、上述のように、階調電圧選択回路 25 において、数メガオーム以上の抵抗値を有する抵抗素子を用いずに、上記のオン抵抗により数メガオーム以上の高抵抗を得ることができる。このため、階調電圧選択回路 25 の回路規模を従来のそれよりも小さくすることができる。また、本発明の液晶表示装置では、ソースドライバ回路 3-1～3-n の回路規模、ソースドライバ回路 3-1～3-n を具備する液晶駆動回路の回路規模を従来のそれよりも小さくすることができる。

このように、本発明の液晶表示装置では、回路規模を小さくすることができるため、液晶駆動回路を搭載するチップのチップサイズを小さくすることができ、薄型のニーズに対応できる。

40

また、本発明の液晶表示装置では、第 1 階調選択 MOS トランジスタ群、 M 個の中間階調電圧生成 MOS トランジスタ群、第 2 階調選択 MOS トランジスタ群を構成する MOS トランジスタの上層のポリ配線による抵抗 (ポリ抵抗) を使って上記のオン抵抗を生成する。このため、 M がいくつであっても、MOS トランジスタ自体の面積は増えない。そのポリ抵抗は、例えば $300\text{ k}\Omega$ 程度である。

【0047】

図 7 を用いて、直列抵抗分圧回路 27 と階調電圧選択回路 25 の構成について具体的に説明する。

【0048】

まず、直列抵抗分圧回路 27 について説明する。

50

ここで、上記の X を 9 とし、 X 個の基準電圧を基準電圧 $V_0 \sim V_8$ として表すものとする。また、直列抵抗分圧回路 27 が備える複数の抵抗素子を、直列接続された抵抗素子 $R_0 \sim R_{15}$ として表すものとする。

抵抗素子 $R_0 \sim R_{15}$ の両端子のうちの一方向の端子には、それぞれノード $T_0 \sim T_{15}$ が接続されている。抵抗素子 $R_0 \sim R_{15}$ の他方の端子には、それぞれノード $T_1 \sim T_{16}$ が接続されている。ノード $T_1 \sim T_{16}$ のうち、偶数番目のノード T_0 、 T_2 、 T_4 、 T_6 、 T_8 、 T_{10} 、 T_{12} 、 T_{14} 、 T_{16} には、それぞれ基準電圧 $V_0 \sim V_8$ が印加（供給）されている。

【0049】

次に、階調電圧選択回路 25 の階調選択部 31 について説明する。

10

【0050】

ここで、上記の Y を 17 とし、階調選択部 31 の Y 個の階調選択MOSトランジスタ群を階調選択MOSトランジスタ群 $SS_0 \sim SS_{16}$ として表すものとする。

階調選択MOSトランジスタ群 $SS_0 \sim SS_{16}$ の1段目のMOSトランジスタには、それぞれノード $T_0 \sim T_{16}$ が接続されている。階調選択MOSトランジスタ群 SS_0 、 SS_2 、 SS_4 、 SS_6 、 SS_8 、 SS_{10} 、 SS_{12} 、 SS_{14} 、 SS_{16} の最終段目のMOSトランジスタには、ノード T_a が接続されている。階調選択MOSトランジスタ群 SS_1 、 SS_3 、 SS_5 、 SS_7 、 SS_9 、 SS_{11} 、 SS_{13} 、 SS_{15} の最終段目のMOSトランジスタには、ノード T_c が接続されている。

【0051】

20

次に、階調電圧選択回路 25 の中間階調電圧生成部 32 について説明する。

ここで、上記の M を 2 とし、中間階調電圧生成部 32 の M 個の中間階調電圧生成MOSトランジスタ群を中間階調電圧生成MOSトランジスタ群 SS_a 、 SS_b として表すものとする。

中間階調電圧生成MOSトランジスタ群 SS_a 、 SS_b の1段目のMOSトランジスタには、それぞれノード T_a 、 T_b が接続されている。中間階調電圧生成MOSトランジスタ群 SS_a 、 SS_b の最終段目のMOSトランジスタには、それぞれノード T_b 、 T_c が接続されている。

また、上記の制御用中間階調電圧生成MOSトランジスタ群を中間階調電圧生成MOSトランジスタ群 SS_a とする。

30

また、上記の J を 1 とし、中間階調電圧生成MOSトランジスタ群 SS_a の J 個のMOSトランジスタをスイッチ S_1 、又は、MOSトランジスタ S_1 と称する。

また、中間階調電圧生成MOSトランジスタ群 SS_a の $(N - J)$ 個のMOSトランジスタを中間階調電圧生成MOSトランジスタ群 SS_a' と称する。

【0052】

上記の M が 2 であるとき、スイッチング部 33 の $(M + 1)$ 個のスイッチを、MOSトランジスタであるスイッチ S_2 、 S_3 、 S_4 として表すものとする。

スイッチ S_2 、 S_3 、 S_4 の一端には、それぞれノード T_a 、 T_b 、 T_c が接続されている。スイッチ S_2 、 S_3 、 S_4 の他端には、出力ノード T_{out} を介してバッファアンプ 26 が接続されている。

40

【0053】

ここで、上記の Z を 64 とし、 Z 個の出力階調電圧を出力階調電圧 $V_{00'} \sim V_{63'}$ として表すものとする。

階調電圧制御部 30 は、出力階調電圧 $V_{00'} \sim V_{63'}$ のうち、表示用データ D_j に応じた出力階調電圧を選択するために、図8に示されるような制御を階調選択部 31 、中間階調電圧生成部 32 、スイッチング部 33 に対して行なう。

【0054】

図8～図10を用いて、階調電圧選択回路 25 の動作について説明する。

ここで、階調選択部 31 の階調選択MOSトランジスタ群 $SS_0 \sim SS_{16}$ と、中間階調電圧生成部 32 の中間階調電圧生成MOSトランジスタ群 SS_a （中間階調電圧生成M

50

ＯＳトランジスタ群 SSa' 、スイッチ $S1$ ）、 SSb の N 個の MOS トランジスタは、 P 型 MOS トランジスタであるものとする。また、説明を簡単にするために、スイッチング部 33 のスイッチ $S2$ 、 $S3$ 、 $S4$ (MOS トランジスタ) は、 P 型 MOS トランジスタであるものとする。この場合、階調電圧制御部 30 は、表示用データに応じて第 1 制御信号又は第 2 制御信号を低レベルにして出力する。

また、中間階調電圧生成 MOS トランジスタ群 SSa' には、 P 型 MOS トランジスタを常時オンするための制御信号として、電源電圧 VSS が供給される。また、中間階調電圧生成 MOS トランジスタ群 SSb の N 個の MOS トランジスタのゲートには、電源電圧 VSS が供給される。

【0055】

例えば、表示用データ Dj に応じた出力階調電圧が Vx_0' である場合、階調電圧制御部 30 は、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と、スイッチ $S2$ とに第 1 制御信号を出力する。ここで、図 8 と図 9 に示されるように、 x_0 は、0、8、16、24、32、40、48、56 のいずれかにより表され、 y_0 は、 x_0 に対応付けて 0、2、4、6、8、10、12、14 により表され、 y_1 は、 x_0 に対応付けて 1、3、5、7、9、11、13、15 により表される（即ち、 y_1 は y_0 に隣り合う数字であり、 $y_1 = y_0 + 1$ により表される）。また、階調選択 MOS トランジスタ群 SSy_0 は上記の第 1 階調選択 MOS トランジスタ群に対応し、階調選択 MOS トランジスタ群 SSy_1 は上記の第 2 階調選択 MOS トランジスタ群に対応する。また、スイッチ $S2$ は上記の第 1 スイッチに対応する。

この場合、階調選択 MOS トランジスタ群 SSy_0 は、第 1 制御信号に応じてオンし、ノード Ty_0 に印加された階調電圧 Va （第 1 階調電圧）を選択する。また、階調選択 MOS トランジスタ群 SSy_1 は、第 1 制御信号に応じてオンし、ノード Ty_1 に印加された階調電圧 Vb （第 2 階調電圧）を選択する。

スイッチ $S2$ は、第 1 制御信号に応じてオンし、ノード Ta に印加された階調電圧 $Vn1$ である階調電圧 Va を出力階調電圧 Vx_0' として出力する。出力階調電圧 Vx_0' は出力ノード $Tout$ に印加され、バッファアンプ 26 に供給される。

【0056】

表示用データ Dj に応じた出力階調電圧が Vx_1' である場合、階調電圧制御部 30 は、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と、スイッチ $S1$ と、スイッチ $S2$ とに第 2 制御信号を出力する。ここで、図 8 と図 9 に示されるように、 x_1 は、1、9、17、25、33、41、49、57 のいずれかにより表され、 y_0 は、 x_1 に対応付けて 0、2、4、6、8、10、12、14 により表され、 y_1 は、 x_1 に対応付けて 1、3、5、7、9、11、13、15 により表される（ $y_1 = y_0 + 1$ ）。また、出力階調電圧が Vx_0' である場合と同じ説明を省略し、スイッチ $S2$ は上記の第 I ($I = 1$) スイッチに対応する。

この場合、階調選択 MOS トランジスタ群 SSy_0 は、第 2 制御信号に応じてオンし、ノード Ty_0 に印加された階調電圧 Va （第 1 階調電圧）を選択する。また、階調選択 MOS トランジスタ群 SSy_1 は、第 2 制御信号に応じてオンし、ノード Ty_1 に印加された階調電圧 Vb （第 2 階調電圧）を選択する。

スイッチ $S1$ は、第 2 制御信号に応じてオンする。このとき、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と中間階調電圧生成部 32（中間階調電圧生成 MOS トランジスタ群 SSa 、 SSb ）は、第 2 制御信号に応じて、ノード Ty_0 に印加された階調電圧 Va と、ノード Ty_1 に印加された階調電圧 Vb との間の階調電圧を 4 等分 $\{(Va + Vb) / 4\}$ に分圧して 3 個の中間階調電圧 $Vn1$ 、 $Vn2$ 、 $Vn3$ を生成する。3 個の中間階調電圧 $Vn1$ 、 $Vn2$ 、 $Vn3$ は、それぞれ、上記の第 1 中間階調電圧、第 2 中間階調電圧、第 3 中間階調電圧に対応し、それぞれノード Ta 、 Tb 、 Tc に印加される。図 10 に示されるように、この中間階調電圧 $Vn1$ 、 $Vn2$ 、 $Vn3$ は、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と中間階調電圧生成 MOS トランジスタ群 SSa 、 SSb のオン抵抗により決定される。

スイッチ S_2 は、第 2 制御信号に応じてオンし、ノード T_a に印加された中間階調電圧 V_{n1} を出力階調電圧 V_{x_1} ' として出力する。出力階調電圧 V_{x_1} ' は出力ノード T_{out} に印加され、バッファアンプ 26 に供給される。

【0057】

表示用データ D_j に応じた出力階調電圧が V_{x_2} ' である場合、階調電圧制御部 30 は、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と、スイッチ S_1 と、スイッチ S_3 とに第 2 制御信号を出力する。ここで、図 8 と図 9 に示されるように、 x_2 は、2、10、18、26、34、42、50、58 のいずれかにより表され、 y_0 は、 x_2 に対応付けて 0、2、4、6、8、10、12、14 により表され、 y_1 は、 x_2 に対応付けて 1、3、5、7、9、11、13、15 により表される ($y_1 = y_0 + 1$)。また、出力階調電圧が V_{x_1} ' である場合と同じ説明を省略し、スイッチ S_3 は上記の第 I ($I = 2$) スイッチに対応する。

10

この場合、スイッチ S_3 は、第 2 制御信号に応じてオンし、ノード T_b に印加された中間階調電圧 V_{n2} を出力階調電圧 V_{x_2} ' として出力する。出力階調電圧 V_{x_2} ' は出力ノード T_{out} に印加され、バッファアンプ 26 に供給される。

【0058】

表示用データ D_j に応じた出力階調電圧が V_{x_3} ' である場合、階調電圧制御部 30 は、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と、スイッチ S_1 と、スイッチ S_4 とに第 2 制御信号を出力する。ここで、図 8 と図 9 に示されるように、 x_3 は、3、11、19、27、35、43、51、59 のいずれかにより表され、 y_0 は、 x_3 に対応付けて 0、2、4、6、8、10、12、14 により表され、 y_1 は、 x_3 に対応付けて 1、3、5、7、9、11、13、15 により表される ($y_1 = y_0 + 1$)。また、出力階調電圧が V_{x_1} ' である場合と同じ説明を省略し、スイッチ S_4 は上記の第 I ($I = 3$) スイッチに対応する。

20

この場合、スイッチ S_4 は、第 2 制御信号に応じてオンし、ノード T_c に印加された中間階調電圧 V_{n3} を出力階調電圧 V_{x_3} ' として出力する。出力階調電圧 V_{x_3} ' は出力ノード T_{out} に印加され、バッファアンプ 26 に供給される。

【0059】

表示用データ D_j に応じた出力階調電圧が V_{x_4} ' である場合、階調電圧制御部 30 は、階調選択 MOS トランジスタ群 SSy_1 、 SSy_0 と、スイッチ S_4 とに第 1 制御信号を出力する。ここで、図 8 と図 9 に示されるように、 x_4 は、4、12、20、28、36、44、52、60 のいずれかにより表され、 y_1 は、 x_4 に対応付けて 1、3、5、7、9、11、13、15 により表され、 y_0 は、 x_4 に対応付けて 2、4、6、8、10、12、14、16 により表される ($y_0 = y_1 + 1$)。また、階調選択 MOS トランジスタ群 SSy_1 は上記の第 1 階調選択 MOS トランジスタ群に対応し、階調選択 MOS トランジスタ群 SSy_0 は上記の第 2 階調選択 MOS トランジスタ群に対応する。また、スイッチ S_4 は上記の第 1 スイッチに対応する。

30

この場合、階調選択 MOS トランジスタ群 SSy_1 は、第 1 制御信号に応じてオンし、ノード T_{y_1} に印加された階調電圧 V_b (第 1 階調電圧) を選択する。また、階調選択 MOS トランジスタ群 SSy_0 は、第 1 制御信号に応じてオンし、ノード T_{y_0} に印加された階調電圧 V_a (第 2 階調電圧) を選択する。

40

スイッチ S_4 は、第 1 制御信号に応じてオンし、ノード T_c に印加された階調電圧 V_{n3} である階調電圧 V_b を出力階調電圧 V_{x_4} ' として出力する。出力階調電圧 V_{x_4} ' は出力ノード T_{out} に印加され、バッファアンプ 26 に供給される。

【0060】

表示用データ D_j に応じた出力階調電圧が V_{x_5} ' である場合、階調電圧制御部 30 は、階調選択 MOS トランジスタ群 SSy_1 、 SSy_0 と、スイッチ S_1 と、スイッチ S_4 とに第 2 制御信号を出力する。ここで、図 8 と図 9 に示されるように、 x_5 は、5、13、21、29、37、45、53、61 のいずれかにより表され、 y_1 は、 x_5 に対応付けて 1、3、5、7、9、11、13、15 により表され、 y_0 は、 x_5 に対応付けて 2

50

、4、6、8、10、12、14、16により表される($y_0 = y_1 + 1$)。また、出力階調電圧が V_{x_4} である場合と同じ説明を省略し、スイッチ S_4 は上記の第 I ($I = 1$)スイッチに対応する。

この場合、階調選択MOSトランジスタ群 SSy_1 は、第2制御信号に応じてオンし、ノード Ty_1 に印加された階調電圧 V_b (第1階調電圧)を選択する。また、階調選択MOSトランジスタ群 SSy_0 は、第2制御信号に応じてオンし、ノード Ty_0 に印加された階調電圧 V_a (第2階調電圧)を選択する。

スイッチ S_1 は、第2制御信号に応じてオンする。このとき、階調選択MOSトランジスタ群 SSy_1 、 SSy_0 と中間階調電圧生成部32(中間階調電圧生成MOSトランジスタ群 SSa 、 SSb)は、第2制御信号に応じて、ノード Ty_1 に印加された階調電圧 V_b と、ノード Ty_0 に印加された階調電圧 V_a との間の階調電圧を4等分 $\{(V_a + V_b)/4\}$ に分圧して3個の中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} を生成する。3個の中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} は、それぞれ、上記の第3中間階調電圧、第2中間階調電圧、第1中間階調電圧に対応し、それぞれノード Ta 、 Tb 、 Tc に印加される。図10に示されるように、この中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} は、階調選択MOSトランジスタ群 SSy_0 、 SSy_1 と中間階調電圧生成MOSトランジスタ群 SSa 、 SSb のオン抵抗により決定される。

スイッチ S_4 は、第2制御信号に応じてオンし、ノード Tc に印加された中間階調電圧 V_{n3} を出力階調電圧 V_{x_5} として出力する。出力階調電圧 V_{x_5} は出力ノード $Tout$ に印加され、バッファアンプ26に供給される。

【0061】

表示用データ D_j に応じた出力階調電圧が V_{x_6} である場合、階調電圧制御部30は、階調選択MOSトランジスタ群 SSy_1 、 SSy_0 と、スイッチ S_1 と、スイッチ S_3 とに第2制御信号を出力する。ここで、図8と図9に示されるように、 x_6 は、6、14、22、30、38、46、54、62のいずれかにより表され、 y_1 は、 x_5 に対応付けて1、3、5、7、9、11、13、15により表され、 y_0 は、 x_5 に対応付けて2、4、6、8、10、12、14、16により表される($y_0 = y_1 + 1$)。また、出力階調電圧が V_{x_5} である場合と同じ説明を省略し、スイッチ S_3 は上記の第 I ($I = 2$)スイッチに対応する。

この場合、スイッチ S_3 は、第2制御信号に応じてオンし、ノード Tb に印加された中間階調電圧 V_{n2} を出力階調電圧 V_{x_6} として出力する。出力階調電圧 V_{x_6} は出力ノード $Tout$ に印加され、バッファアンプ26に供給される。

【0062】

表示用データ D_j に応じた出力階調電圧が V_{x_7} である場合、階調電圧制御部30は、階調選択MOSトランジスタ群 SSy_1 、 SSy_0 と、スイッチ S_1 と、スイッチ S_2 とに第2制御信号を出力する。ここで、図8と図9に示されるように、 x_7 は、7、15、23、31、39、47、55、63のいずれかにより表され、 y_1 は、 x_5 に対応付けて1、3、5、7、9、11、13、15により表され、 y_0 は、 x_5 に対応付けて2、4、6、8、10、12、14、16により表される($y_0 = y_1 + 1$)。また、出力階調電圧が V_{x_5} である場合と同じ説明を省略し、スイッチ S_2 は上記の第 I ($I = 3$)スイッチに対応する。

この場合、スイッチ S_3 は、第2制御信号に応じてオンし、ノード Ta に印加された中間階調電圧 V_{n1} を出力階調電圧 V_{x_7} として出力する。出力階調電圧 V_{x_7} は出力ノード $Tout$ に印加され、バッファアンプ26に供給される。

【0063】

上述したように、ソースドライバ回路3-jでは、中間階調電圧生成部32(M個の中間階調電圧生成MOSトランジスタ群)は、直列抵抗分圧回路27(抵抗素子 $R_0 \sim R_{15}$)に並列に設けられている。直列抵抗分圧回路27の抵抗素子 $R_0 \sim R_{15}$ の抵抗値は、通常、数十オーム～数百オーム程度である。このため、各出力階調電圧 $V_{00} \sim V_{63}$ の電圧レベルが変動しないように、中間階調電圧生成部32の抵抗値は、数メガオー

10

20

30

40

50

ム以上必要である。

本発明の液晶表示装置の階調電圧選択回路25では、階調選択MOSトランジスタ群SSy₀と中間階調電圧生成MOSトランジスタ群SSa、SSbと階調選択MOSトランジスタ群SSy₁が、第2制御信号に応じて、第1階調電圧と第2階調電圧との間の階調電圧を4等分に分圧して3個の中間階調電圧を生成する。このとき、階調選択MOSトランジスタ群SSy₀と中間階調電圧生成MOSトランジスタ群SSa、SSbと階調選択MOSトランジスタ群SSy₁のオン抵抗により数メガオーム以上の高抵抗を得ることができる。このため、各出力階調電圧V00'~V63'の電圧レベルが変動しない。

【0064】

以上の説明により、本発明の液晶表示装置によれば、階調電圧選択回路25において、数メガオーム以上の抵抗値を有する抵抗素子を用いずに、上記のオン抵抗により数メガオーム以上の高抵抗を得ることができるため、階調電圧選択回路25の回路規模、ソースドライバ回路3-1~3-nの回路規模、液晶駆動回路の回路規模を従来のそれよりも小さくすることができる。

また、本発明の液晶表示装置によれば、回路規模を小さくすることができるため、液晶駆動回路を搭載するチップのチップサイズを小さくすることができ、薄型のニーズに対応できる。

【0065】

なお、第1実施形態では、上記のMOSトランジスタがP型MOSトランジスタであるが、これに限定されない。

階調選択部31の階調選択MOSトランジスタ群SS0~SS16と、中間階調電圧生成部32の中間階調電圧生成MOSトランジスタ群SSa(中間階調電圧生成MOSトランジスタ群SSa'、スイッチS1)、SSbのN個のMOSトランジスタは、N型MOSトランジスタでもよい。また、説明を簡単にするために、スイッチング部33のスイッチS2、S3、S4(MOSトランジスタ)は、N型MOSトランジスタであるものとする。この場合、階調電圧制御部30は、表示用データに応じて第1制御信号又は第2制御信号を高レベルにして出力する。

また、中間階調電圧生成MOSトランジスタ群SSa'には、N型MOSトランジスタを常時オンするための制御信号として、電源電圧VDDが供給される。また、中間階調電圧生成MOSトランジスタ群SSbのN個のMOSトランジスタのゲートには、電源電圧VDDが供給される。

【0066】

(第2実施形態)

本発明の第2実施形態による液晶表示装置では、第1実施形態と重複する説明を省略する。

【0067】

第1実施形態では、Mを2にした場合、多階調として64階調(Z=64)を実現しているが、本発明の第2実施形態による液晶表示装置として、図11に示されるように、例えば、Mを4とした場合でも多階調を実現することができる。即ち、中間階調電圧生成部32のM個の中間階調電圧生成MOSトランジスタ群と、スイッチング部33のスイッチとを同数分だけ増加することにより、多階調を実現することができる。

第2実施形態における階調電圧選択回路25でも、第1実施形態と同様に、階調選択MOSトランジスタ群SSy₀、SSy₁、M個の中間階調電圧生成MOSトランジスタ群を構成するMOSトランジスタの上層のポリ配線による抵抗(ポリ抵抗)を使って上記のオン抵抗を生成する。このため、Mを2から4とした場合でも、MOSトランジスタ自体の面積は増えない。そのポリ抵抗は、第1実施形態と同様に、例えば300kΩ程度である。

【0068】

(第3実施形態)

本発明の第3実施形態による液晶表示装置では、第1実施形態、第2実施形態と重複す

10

20

30

40

50

る説明を省略する。

【0069】

第1実施形態、第2実施形態における階調電圧選択回路25では、上述したように、 $(M+1)$ 個の中間階調電圧は、階調選択MOSトランジスタ群 SSy_0 、 SSy_1 とM個の中間階調電圧生成MOSトランジスタ群のオン抵抗により決定される。しかしながら、上記のMOSトランジスタ群のオン抵抗は、様々な条件で誤差が生じる場合がある。その条件としては、製造プロセスの違いにより上記のMOSトランジスタ群のオン抵抗の値が所望の抵抗値よりも低い場合、オン抵抗の値が低いN型MOSトランジスタにより上記のMOSトランジスタ群を構成した場合、上記のMOSトランジスタ群のオン抵抗が動作電圧によって変動する場合が挙げられる。このような場合、階調電圧選択回路25において、オン抵抗の誤差を低減する必要がある。

10

【0070】

本発明の第3実施形態による液晶表示装置として、階調電圧選択回路25は、更に、オン抵抗の誤差を低減するための抵抗部を備えている。この抵抗部は、第1抵抗素子と、第2抵抗素子と、M個の抵抗素子とを含んでいる。

ここで、上記のMを2とし、階調電圧選択回路25の構成について、図12を用いて具体的に説明する。

この場合、上記の第1抵抗素子を抵抗素子 Rss_0 として表し、上記の第2抵抗素子を抵抗素子 Rss_1 として表し、上記のM個の抵抗素子を抵抗素子 $Rssa$ 、 $Rssb$ として表すものとする。また、第1実施形態と同様に、中間階調電圧生成部32のM個の中間階調電圧生成MOSトランジスタ群を中間階調電圧生成MOSトランジスタ群 SSa 、 SSb として表し、スイッチング部33の $(M+1)$ 個のスイッチを、MOSトランジスタであるスイッチ $S2$ 、 $S3$ 、 $S4$ として表すものとする。

20

【0071】

抵抗素子 Rss_0 は、階調選択MOSトランジスタ群 SSy_0 に直列接続されている。例えば、階調選択MOSトランジスタ群 SSy_0 の1段目のMOSトランジスタには、ノード Ty_0 が接続され、階調選択MOSトランジスタ群 SSy_0 の最終段目のMOSトランジスタには、抵抗素子 Rss_0 の両端のうちの一端が接続され、抵抗素子 Rss_0 の他端には、ノード Ta が接続されている。

抵抗素子 Rss_1 は、階調選択MOSトランジスタ群 SSy_1 に直列接続されている。例えば、階調選択MOSトランジスタ群 SSy_1 の1段目のMOSトランジスタには、ノード Ty_1 が接続され、階調選択MOSトランジスタ群 SSy_1 の最終段目のMOSトランジスタには、抵抗素子 Rss_1 の両端のうちの一端が接続され、抵抗素子 Rss_1 の他端には、ノード Tc が接続されている。

30

M個の抵抗素子は、M個の中間階調電圧生成MOSトランジスタ群とそれぞれ交互に接続されている。例えば、中間階調電圧生成MOSトランジスタ群 SSa の1段目のMOSトランジスタには、ノード Ta が接続され、中間階調電圧生成MOSトランジスタ群 SSa の最終段目のMOSトランジスタには、抵抗素子 $Rssa$ の両端のうちの一端が接続され、抵抗素子 $Rssa$ の他端には、ノード Tb が接続されている。中間階調電圧生成MOSトランジスタ群 SSb の1段目のMOSトランジスタには、ノード Tb が接続され、中間階調電圧生成MOSトランジスタ群 SSb の最終段目のMOSトランジスタには、抵抗素子 $Rssb$ の両端のうちの一端が接続され、抵抗素子 $Rssb$ の他端には、ノード Tc が接続されている。

40

スイッチ $S2$ の両端のうちの一端には、ノード Ta が接続され、スイッチ $S2$ の他端には、出力ノード $Tout$ が接続されている。スイッチ $S3$ の両端のうちの一端には、ノード Tb が接続され、スイッチ $S3$ の他端には、出力ノード $Tout$ が接続されている。スイッチ $S4$ の両端のうちの一端には、ノード Tc が接続され、スイッチ $S4$ の他端には、出力ノード $Tout$ が接続されている。

【0072】

図8、図12を用いて、第3実施形態における階調電圧選択回路25の動作について説

50

明する。

【0073】

例えば、表示用データ D_j に応じた出力階調電圧が V_{x_1} ' である場合、階調電圧制御部 30 は、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と、スイッチ S_1 と、スイッチ S_2 とに第 2 制御信号を出力する。ここで、図 8 と図 12 に示されるように、 x_1 は、1、9、17、25、33、41、49、57 のいずれかにより表され、 y_0 は、 x_1 に対応付けて 0、2、4、6、8、10、12、14 により表され、 y_1 は、 x_1 に対応付けて 1、3、5、7、9、11、13、15 により表される。

この場合、階調選択 MOS トランジスタ群 SSy_0 は、第 2 制御信号に応じてオンし、ノード Ty_0 に印加された階調電圧 V_a (第 1 階調電圧) を選択する。また、階調選択 MOS トランジスタ群 SSy_1 は、第 2 制御信号に応じてオンし、ノード Ty_1 に印加された階調電圧 V_b (第 2 階調電圧) を選択する。

スイッチ S_1 は、第 2 制御信号に応じてオンする。このとき、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と中間階調電圧生成部 32 (中間階調電圧生成 MOS トランジスタ群 SSa 、 SSb) は、第 2 制御信号に応じて、ノード Ty_0 に印加された階調電圧 V_a と、ノード Ty_1 に印加された階調電圧 V_b との間の階調電圧を 4 等分 $\{(V_a + V_b) / 4\}$ に分圧して 3 個の中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} を生成する。3 個の中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} は、それぞれノード Ta 、 Tb 、 Tc に印加される。この中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} は、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と中間階調電圧生成 MOS トランジスタ群 SSa 、 SSb のオン抵抗と、抵抗素子 R_{ss0} 、 R_{ss1} 、 R_{ssa} 、 R_{ssb} の抵抗とにより決定される。

スイッチ S_2 は、第 2 制御信号に応じてオンし、ノード Ta に印加された中間階調電圧 V_{n1} を出力階調電圧 V_{x_1} ' として出力する。出力階調電圧 V_{x_1} ' は出力ノード Out に印加され、バッファアンプ 26 に供給される。

【0074】

表示用データ D_j に応じた出力階調電圧が V_{x_5} ' である場合、階調電圧制御部 30 は、階調選択 MOS トランジスタ群 SSy_1 、 SSy_0 と、スイッチ S_1 と、スイッチ S_4 とに第 2 制御信号を出力する。ここで、図 8 と図 12 に示されるように、 x_5 は、5、13、21、29、37、45、53、61 のいずれかにより表され、 y_1 は、 x_5 に対応付けて 1、3、5、7、9、11、13、15 により表され、 y_0 は、 x_5 に対応付けて 2、4、6、8、10、12、14、16 により表される。

この場合、階調選択 MOS トランジスタ群 SSy_1 は、第 2 制御信号に応じてオンし、ノード Ty_1 に印加された階調電圧 V_b (第 1 階調電圧) を選択する。また、階調選択 MOS トランジスタ群 SSy_0 は、第 2 制御信号に応じてオンし、ノード Ty_0 に印加された階調電圧 V_a (第 2 階調電圧) を選択する。

スイッチ S_1 は、第 2 制御信号に応じてオンする。このとき、階調選択 MOS トランジスタ群 SSy_1 、 SSy_0 と中間階調電圧生成部 32 (中間階調電圧生成 MOS トランジスタ群 SSa 、 SSb) は、第 2 制御信号に応じて、ノード Ty_1 に印加された階調電圧 V_b と、ノード Ty_0 に印加された階調電圧 V_a との間の階調電圧を 4 等分 $\{(V_a + V_b) / 4\}$ に分圧して 3 個の中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} を生成する。3 個の中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} は、それぞれノード Ta 、 Tb 、 Tc に印加される。この中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} は、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と中間階調電圧生成 MOS トランジスタ群 SSa 、 SSb のオン抵抗と、抵抗素子 R_{ss0} 、 R_{ss1} 、 R_{ssa} 、 R_{ssb} の抵抗とにより決定される。

スイッチ S_4 は、第 2 制御信号に応じてオンし、ノード Tc に印加された中間階調電圧 V_{n3} を出力階調電圧 V_{x_5} ' として出力する。出力階調電圧 V_{x_5} ' は出力ノード Out に印加され、バッファアンプ 26 に供給される。

【0075】

このように、本発明の液晶表示装置では、オン抵抗の誤差を低減するための抵抗部 (抵抗素子 R_{ss0} 、 R_{ss1} 、 R_{ssa} 、 R_{ssb}) を階調電圧選択回路 25 に設けること

10

20

30

40

50

により、中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} は、階調選択MOSトランジスタ群 SSy_0 、 SSy_1 と中間階調電圧生成MOSトランジスタ群 SSa 、 SSb のオン抵抗と、抵抗部（抵抗素子 R_{ss0} 、 R_{ss1} 、 R_{ssa} 、 R_{ssb} ）の抵抗とにより決定される。このため、本発明の液晶表示装置の階調電圧選択回路25において、中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} を正確に生成することができる。

【0076】

（第4実施形態）

本発明の第4実施形態による液晶表示装置では、第3実施形態と重複する説明を省略する。

【0077】

階調電圧選択回路25が上述の抵抗部を備えているとき、その抵抗部の抵抗による時定数が大きくなり、回路動作が遅くなる場合がある。これは、階調電圧選択回路25に出力ノード T_{out} を介して接続される駆動アンプ（バッファアンプ26）にオフセットキャンセル機能をもたせた場合等に、時定数の大きさが問題となる可能性がある。このような場合、抵抗部の時定数の大きさによる回路動作の遅延を改善するために、高速動作を実現する必要がある。

【0078】

本発明の第4実施形態による液晶表示装置として、階調電圧選択回路25は、更に、プリチャージ用スイッチング部を備えている。このプリチャージ用スイッチング部は、第1プリチャージ用スイッチと、第2プリチャージ用スイッチとを含んでいる。

ここで、上記の M を2とし、階調電圧選択回路25の構成について、図13を用いて具体的に説明する。

この場合、第1プリチャージ用スイッチをプリチャージ用スイッチ $SW11$ 、第2プリチャージ用スイッチをプリチャージ用スイッチ $SW12$ として表すものとする。また、第3実施形態と同様に、上記の第1抵抗素子を抵抗素子 R_{ss0} として表し、上記の第2抵抗素子を抵抗素子 R_{ss1} として表し、上記の M 個の抵抗素子を抵抗素子 R_{ssa} 、 R_{ssb} として表すものとする。また、第3実施形態と同様に、中間階調電圧生成部32の M 個の中間階調電圧生成MOSトランジスタ群を中間階調電圧生成MOSトランジスタ群 SSa 、 SSb として表し、スイッチング部33の $(M+1)$ 個のスイッチを、MOSトランジスタであるスイッチ $S2$ 、 $S3$ 、 $S4$ として表すものとする。

【0079】

プリチャージ用スイッチ $SW11$ は、直列接続された階調選択MOSトランジスタ群 SSy_0 と抵抗素子 R_{ss0} とスイッチ $S2$ とに対して、並列接続されている。例えば、階調選択MOSトランジスタ群 SSy_0 の1段目のMOSトランジスタには、ノード T_{y0} が接続され、階調選択MOSトランジスタ群 SSy_0 の最終段目のMOSトランジスタには、抵抗素子 R_{ss0} の両端のうちの一端が接続され、抵抗素子 R_{ss0} の他端には、ノード T_a が接続されている。スイッチ $S2$ の両端のうちの一端には、ノード T_a が接続され、スイッチ $S2$ の他端には、出力ノード T_{out} が接続されている。プリチャージ用スイッチ $SW11$ の両端のうちの一端には、階調選択MOSトランジスタ群 SSy_0 の1段目のMOSトランジスタが接続され、プリチャージ用スイッチ $SW11$ の他端には、スイッチ $S2$ の他端が接続されている。

プリチャージ用スイッチ $SW12$ は、直列接続された階調選択MOSトランジスタ群 SSy_1 と抵抗素子 R_{ss1} とスイッチ $S4$ とに対して、並列接続されている。例えば、階調選択MOSトランジスタ群 SSy_1 の1段目のMOSトランジスタには、ノード T_{y1} が接続され、階調選択MOSトランジスタ群 SSy_1 の最終段目のMOSトランジスタには、抵抗素子 R_{ss1} の両端のうちの一端が接続され、抵抗素子 R_{ss1} の他端には、ノード T_c が接続されている。スイッチ $S4$ の両端のうちの一端には、ノード T_c が接続され、スイッチ $S4$ の他端には、出力ノード T_{out} が接続されている。プリチャージ用スイッチ $SW12$ の両端のうちの一端には、階調選択MOSトランジスタ群 SSy_1 の1段目のMOSトランジスタが接続され、プリチャージ用スイッチ $SW12$ の他端には、スイ

10

20

30

40

50

ッチ S 4 の他端が接続されている。

【 0 0 8 0 】

階調電圧制御部 3 0 は、例えば、表示用データ D_j のビット判定により、表示用データ D_j に応じた出力階調電圧が、ノード Ty_0 に印加された階調電圧 V_a に近いのか、ノード Ty_1 に印加された階調電圧 V_b に近いのかを判定する。階調電圧制御部 3 0 は、判定の結果により、プリチャージ用スイッチ SW_{11} とプリチャージ用スイッチ SW_{12} との一方のプリチャージ用スイッチを選択し、その一方のプリチャージ用スイッチに第 4 制御信号としてパルス信号を供給する（図示省略）。本実施形態では、階調電圧制御部 3 0 は、表示用データ D_j に応じて、スイッチ S_2 、 S_3 に第 2 制御信号を出力するときに、プリチャージ用スイッチ SW_{11} に第 4 制御信号を出力し、スイッチ S_4 に第 2 制御信号を出力するときに、プリチャージ用スイッチ SW_{12} にパルス信号を出力するものとする。

10

【 0 0 8 1 】

図 8、図 1 3 を用いて、第 4 実施形態における階調電圧選択回路 2 5 の動作について説明する。

【 0 0 8 2 】

例えば、表示用データ D_j に応じた出力階調電圧が V_{x_0} ' である場合、階調電圧制御部 3 0 は、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と、スイッチ S_2 とに第 1 制御信号を出力し、プリチャージ用スイッチ SW_{11} にパルス信号を出力する。ここで、図 8 と図 1 3 に示されるように、 x_0 は、0、8、16、24、32、40、48、56 のいずれかにより表され、 y_0 は、 x_0 に対応付けて 0、2、4、6、8、10、12、14 により表され、 y_1 は、 x_0 に対応付けて 1、3、5、7、9、11、13、15 により表される。

20

この場合、階調選択 MOS トランジスタ群 SSy_0 は、第 1 制御信号に応じてオンし、ノード Ty_0 に印加された階調電圧 V_a （第 1 階調電圧）を選択する。また、階調選択 MOS トランジスタ群 SSy_1 は、第 1 制御信号に応じてオンし、ノード Ty_1 に印加された階調電圧 V_b （第 2 階調電圧）を選択する。

プリチャージ用スイッチ SW_{11} は、パルス信号の立上りに応じてオンする。このとき、出力ノード $Tout$ に供給される電圧が階調電圧 V_a にプリチャージされる。

スイッチ S_2 は、第 2 制御信号に応じてオンする。

プリチャージ用スイッチ SW_{11} は、パルス信号の立下りに応じてオフする。このとき、スイッチ S_2 は、第 1 制御信号に応じてオンしているため、ノード Ta に印加された階調電圧 V_{n1} である階調電圧 V_a を出力する。出力ノード $Tout$ には、階調電圧 V_a がプリチャージされた後に、スイッチ S_2 からの階調電圧 V_a が出力階調電圧 V_{x_0} '（所望の階調電圧）として供給され、出力階調電圧 V_{x_0} ' がバッファアンプ 2 6 に供給される。

30

【 0 0 8 3 】

表示用データ D_j に応じた出力階調電圧が V_{x_1} ' である場合、階調電圧制御部 3 0 は、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と、スイッチ S_1 と、スイッチ S_2 とに第 2 制御信号を出力し、プリチャージ用スイッチ SW_{11} にパルス信号を出力する。ここで、図 8 と図 1 3 に示されるように、 x_1 は、1、9、17、25、33、41、49、57 のいずれかにより表され、 y_0 は、 x_1 に対応付けて 0、2、4、6、8、10、12、14 により表され、 y_1 は、 x_1 に対応付けて 1、3、5、7、9、11、13、15 により表される。

40

この場合、階調選択 MOS トランジスタ群 SSy_0 は、第 2 制御信号に応じてオンし、ノード Ty_0 に印加された階調電圧 V_a （第 1 階調電圧）を選択する。また、階調選択 MOS トランジスタ群 SSy_1 は、第 2 制御信号に応じてオンし、ノード Ty_1 に印加された階調電圧 V_b （第 2 階調電圧）を選択する。

プリチャージ用スイッチ SW_{11} は、パルス信号の立上りに応じてオンする。このとき、出力ノード $Tout$ に供給される電圧が階調電圧 V_a にプリチャージされる（図 1 4 参照）。

50

スイッチ S_1 は、第 2 制御信号に応じてオンする。このとき、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と中間階調電圧生成部 32 (中間階調電圧生成 MOS トランジスタ群 SSa 、 SSb) は、第 2 制御信号に応じて、ノード Ty_0 に印加された階調電圧 V_a と、ノード Ty_1 に印加された階調電圧 V_b との間の階調電圧を 4 等分 $\{(V_a + V_b) / 4\}$ に分圧して 3 個の中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} を生成する。3 個の中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} は、それぞれノード Ta 、 Tb 、 Tc に印加される。この中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} は、階調選択 MOS トランジスタ群 SSy_0 、 SSy_1 と中間階調電圧生成 MOS トランジスタ群 SSa 、 SSb のオン抵抗と、抵抗素子 R_{ss0} 、 R_{ss1} 、 R_{ssa} 、 R_{ssb} の抵抗とにより決定される。

スイッチ S_2 は、第 2 制御信号に応じてオンする。

10

プリチャージ用スイッチ SW_{11} は、パルス信号の立下りに応じてオフする。このとき、スイッチ S_2 は、第 2 制御信号に応じてオンしているため、ノード Ta に印加された中間階調電圧 V_{n1} を出力する。出力ノード $Tout$ には、階調電圧 V_a がプリチャージされた後に、スイッチ S_2 からの中間階調電圧 V_{n1} が出力階調電圧 V_{x1} (所望の階調電圧) として供給され、出力階調電圧 V_{x1} がバッファアンプ 26 に供給される (図 14 参照)。

【0084】

表示用データ D_j に応じた出力階調電圧が V_{x4} である場合、階調電圧制御部 30 は、階調選択 MOS トランジスタ群 SSy_1 、 SSy_0 と、スイッチ S_4 とに第 1 制御信号を出力し、プリチャージ用スイッチ SW_{12} にパルス信号を出力する。ここで、図 8 と図 13 に示されるように、 x_4 は、4、12、20、28、36、44、52、60 のいずれかにより表され、 y_1 は、 x_4 に対応付けて 1、3、5、7、9、11、13、15 により表され、 y_0 は、 x_4 に対応付けて 2、4、6、8、10、12、14、16 により表される。

20

この場合、階調選択 MOS トランジスタ群 SSy_1 は、第 1 制御信号に応じてオンし、ノード Ty_1 に印加された階調電圧 V_b (第 1 階調電圧) を選択する。また、階調選択 MOS トランジスタ群 SSy_0 は、第 1 制御信号に応じてオンし、ノード Ty_0 に印加された階調電圧 V_a (第 2 階調電圧) を選択する。

プリチャージ用スイッチ SW_{12} は、パルス信号の立下りに応じてオンする。このとき、出力ノード $Tout$ に供給される電圧が階調電圧 V_b にプリチャージされる。

30

スイッチ S_4 は、第 1 制御信号に応じてオンする。

プリチャージ用スイッチ SW_{12} は、パルス信号の立下りに応じてオフする。このとき、スイッチ S_4 は、第 2 制御信号に応じてオンしているため、ノード Tc に印加された階調電圧 V_{n3} である階調電圧 V_b を出力する。出力ノード $Tout$ には、階調電圧 V_b がプリチャージされた後に、スイッチ S_4 からの階調電圧 V_b が出力階調電圧 V_{x4} (所望の階調電圧) として供給され、出力階調電圧 V_{x4} がバッファアンプ 26 に供給される。

【0085】

表示用データ D_j に応じた出力階調電圧が V_{x5} である場合、階調電圧制御部 30 は、階調選択 MOS トランジスタ群 SSy_1 、 SSy_0 と、スイッチ S_1 と、スイッチ S_4 とに第 2 制御信号を出力し、プリチャージ用スイッチ SW_{12} にパルス信号を出力する。ここで、図 8 と図 13 に示されるように、 x_5 は、5、13、21、29、37、45、53、61 のいずれかにより表され、 y_1 は、 x_5 に対応付けて 1、3、5、7、9、11、13、15 により表され、 y_0 は、 x_5 に対応付けて 2、4、6、8、10、12、14、16 により表される。

40

この場合、階調選択 MOS トランジスタ群 SSy_1 は、第 2 制御信号に応じてオンし、ノード Ty_1 に印加された階調電圧 V_b (第 1 階調電圧) を選択する。また、階調選択 MOS トランジスタ群 SSy_0 は、第 2 制御信号に応じてオンし、ノード Ty_0 に印加された階調電圧 V_a (第 2 階調電圧) を選択する。

プリチャージ用スイッチ SW_{12} は、パルス信号の立下りに応じてオンする。このとき

50

、出力ノード T_{out} に供給される電圧が階調電圧 V_b にプリチャージされる。

スイッチ S_1 は、第2制御信号に応じてオンする。このとき、階調選択MOSトランジスタ群 S_{y_1} 、 S_{y_0} と中間階調電圧生成部32（中間階調電圧生成MOSトランジスタ群 S_{sa} 、 S_{sb} ）は、第2制御信号に応じて、ノード T_{y_1} に印加された階調電圧 V_b と、ノード T_{y_0} に印加された階調電圧 V_a との間の階調電圧を4等分 $\{(V_a + V_b)/4\}$ に分圧して3個の中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} を生成する。3個の中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} は、それぞれノード T_a 、 T_b 、 T_c に印加される。この中間階調電圧 V_{n1} 、 V_{n2} 、 V_{n3} は、階調選択MOSトランジスタ群 S_{y_0} 、 S_{y_1} と中間階調電圧生成MOSトランジスタ群 S_{sa} 、 S_{sb} のオン抵抗と、抵抗素子 R_{ss0} 、 R_{ss1} 、 R_{ssa} 、 R_{ssb} の抵抗とにより決定される。

10

スイッチ S_4 は、第2制御信号に応じてオンする。

プリチャージ用スイッチ SW_{12} は、パルス信号の立下りに応じてオフする。このとき、スイッチ S_4 は、第2制御信号に応じてオンしているため、ノード T_c に印加された中間階調電圧 V_{n3} を出力する。出力ノード T_{out} には、階調電圧 V_b がプリチャージされた後に、スイッチ S_4 からの中間階調電圧 V_{n3} が出力階調電圧 V_{x_5}' （所望の階調電圧）として供給され、出力階調電圧 V_{x_5}' がバッファアンプ26に供給される。

【0086】

このように、本発明の液晶表示装置では、抵抗部（抵抗素子 R_{ss0} 、 R_{ss1} 、 R_{ssa} 、 R_{ssb} ）の時定数の大きさによる回路動作の遅延を改善するために、プリチャージ用スイッチング部（プリチャージ用スイッチ SW_{11} 、 SW_{12} ）を階調電圧選択回路25に設けることにより、階調電圧選択回路25の高速動作を実現することができる。

20

【図面の簡単な説明】

【0087】

【図1】図1は、従来の液晶表示装置の構成を示す。

【図2】図2は、従来の液晶表示装置のソースドライバ回路の構成を示す。

【図3】図3は、従来の液晶表示装置のソースドライバ回路の直列抵抗分圧回路と階調電圧選択回路の構成を示す。

【図4】図4は、従来の液晶表示装置のソースドライバ回路の階調電圧選択回路の動作を説明するための図である。

【図5】図5は、本発明の実施形態による液晶表示装置の構成を示す。（第1実施形態～第4実施形態）

30

【図6】図6は、本発明の実施形態による液晶表示装置のソースドライバ回路の構成を示す。（第1実施形態～第4実施形態）

【図7】図7は、本発明の実施形態による液晶表示装置のソースドライバ回路の直列抵抗分圧回路と階調電圧選択回路の構成を示す。（第1実施形態）

【図8】図8は、本発明の実施形態による液晶表示装置のソースドライバ回路の階調電圧選択回路の動作を説明するための図である。（第1実施形態）

【図9】図9は、本発明の実施形態による液晶表示装置のソースドライバ回路の直列抵抗分圧回路と階調電圧選択回路の構成の一部を示す。（第1実施形態）

【図10】図10は、本発明の実施形態による液晶表示装置のソースドライバ回路の直列抵抗分圧回路と階調電圧選択回路の構成の一部を示す。（第1実施形態）

40

【図11】図11は、本発明の実施形態による液晶表示装置のソースドライバ回路の直列抵抗分圧回路と階調電圧選択回路の他の構成を示す。（第2実施形態）

【図12】図12は、本発明の実施形態による液晶表示装置のソースドライバ回路の階調電圧選択回路の動作を説明するための図である。（第3実施形態）

【図13】図13は、本発明の実施形態による液晶表示装置のソースドライバ回路の階調電圧選択回路の動作を説明するための図である。（第4実施形態）

【図14】図14は、本発明の実施形態による液晶表示装置のソースドライバ回路の階調電圧選択回路の動作を説明するための図である。（第4実施形態）

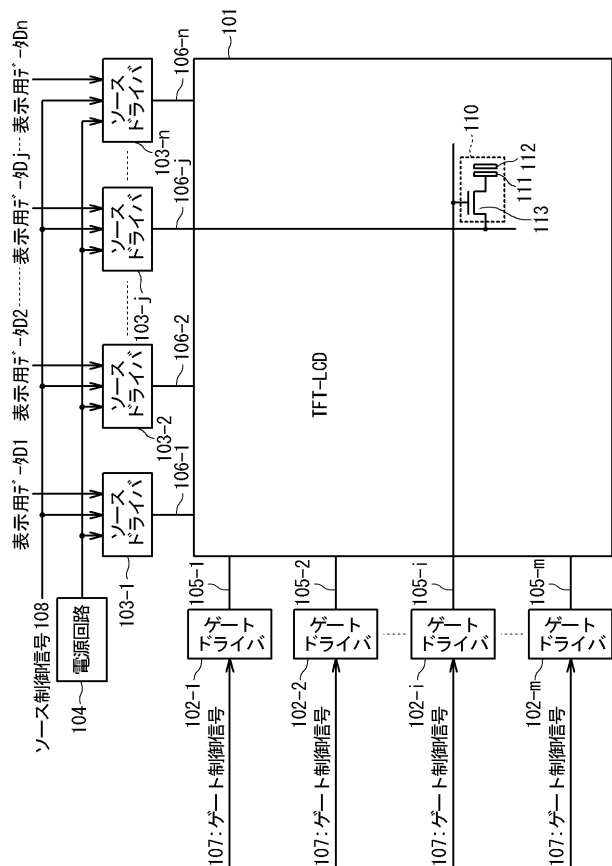
【符号の説明】

50

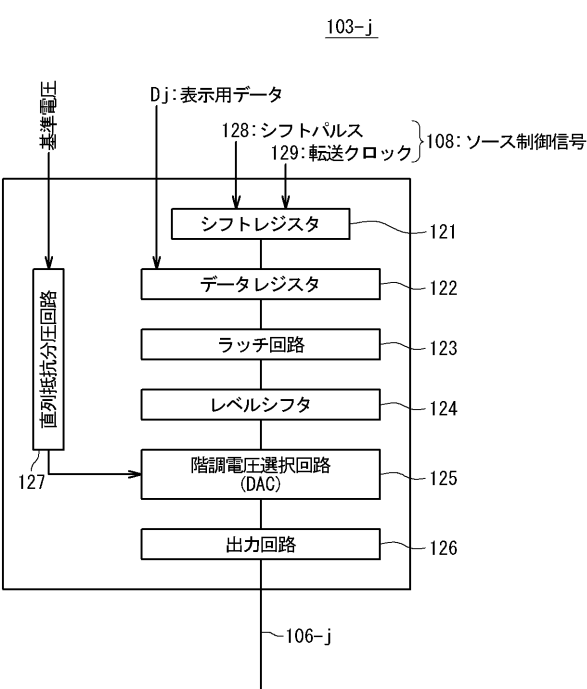
【 0 0 8 8 】

1	表示部	
2 - 1 ~ 2 - m	ゲートドライバ回路	
3 - 1 ~ 3 - n	ソースドライバ回路	
4	電源回路	
5 - 1 ~ 5 - m	ゲート線	
6 - 1 ~ 6 - n		
7	ゲート制御信号	
8	ソース制御信号	
10	画素	10
11	画素電極	
12	対向電極	
13	薄膜トランジスタ	
21	シフトレジスタ	
22	データレジスタ	
23	ラッチ回路	
24	ラッチ回路	
25	階調電圧選択回路	
26	バッファアンプ	
27	直列抵抗分圧回路	20
28	シフトパルス	
29	転送クロック	
30	階調電圧制御部	
31	階調選択部	
S S 0 ~ S 1 6	階調選択 M O S トランジスタ群	
32	中間階調電圧生成部	
S S a、S S b	中間階調電圧生成 M O S トランジスタ群	
S 1	スイッチ	
33	スイッチング部	
S 2 ~ S 4	スイッチ	30
R s s 0、R s s 1、R s s a、R s s b	抵抗素子	
S W 1 1、S W 1 2	プリチャージ用スイッチ	

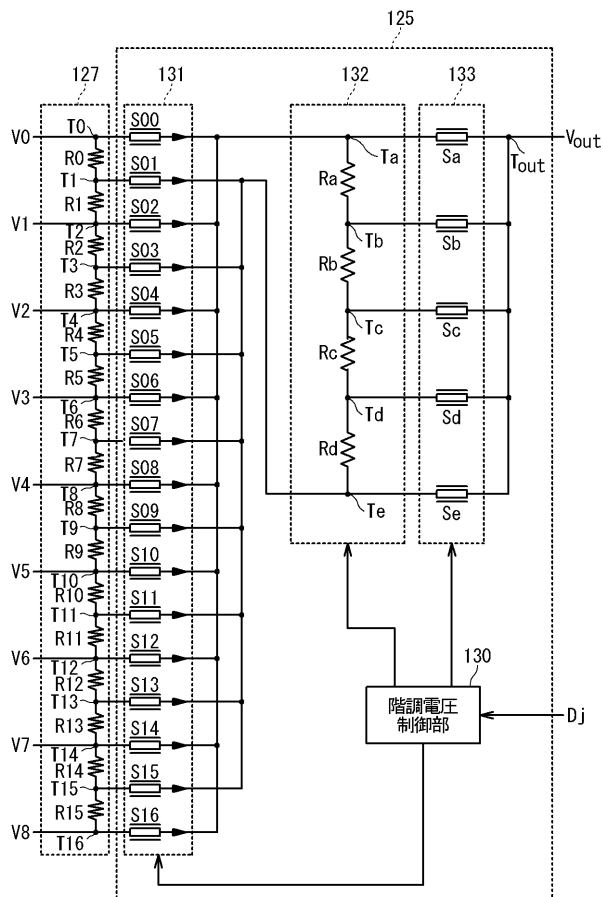
【 図 1 】



【 図 2 】



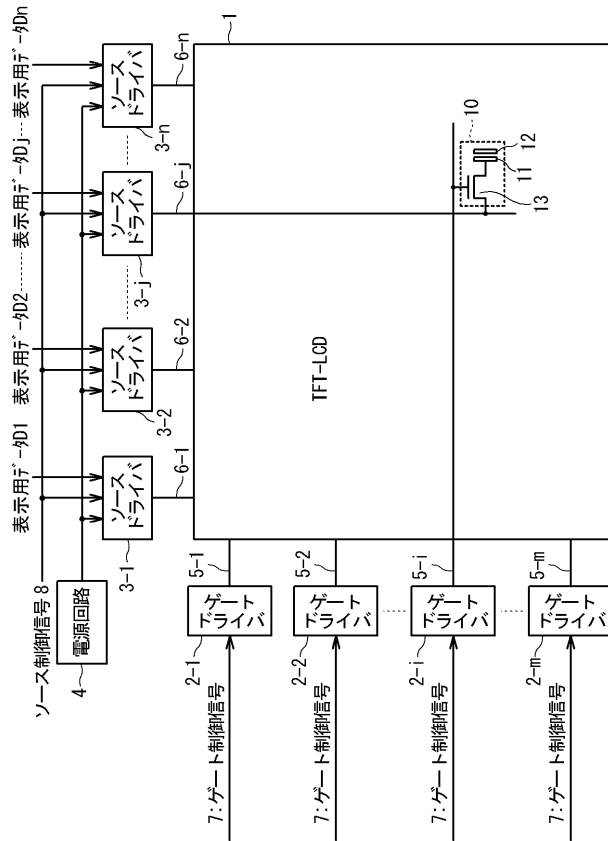
【 図 3 】



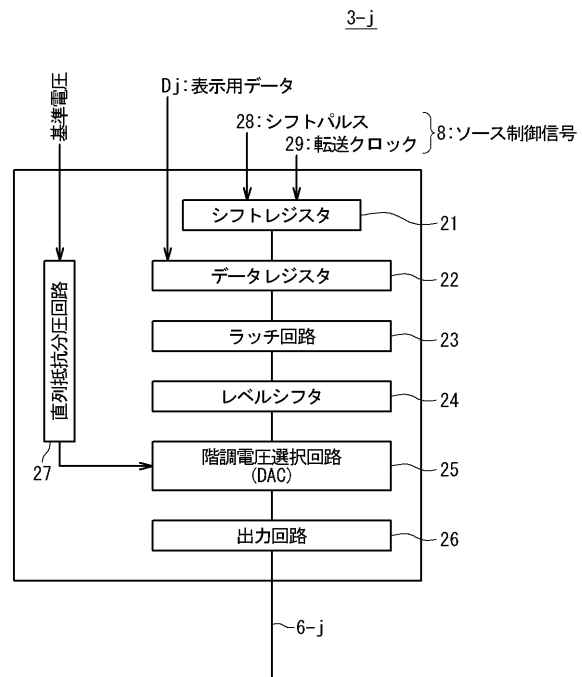
【 図 4 】

出力階調 電圧	わたる 第1の スイッチング 部	わたる 第2の スイッチング 部	出力階調 電圧	わたる 第1の スイッチング 部	わたる 第2の スイッチング 部
V00'	S00, S01	Sa	V32'	S07, S08	Sa
V01'	S00, S01	Sb	V33'	S08, S09	Sb
V02'	S00, S01	Sc	V34'	S08, S09	Sc
V03'	S00, S01	Sd	V35'	S08, S09	Sd
V04'	S00, S01	Se	V36'	S08, S09	Se
V05'	S01, S02	Sd	V37'	S09, S10	Sd
V06'	S01, S02	Sc	V38'	S09, S10	Sc
V07'	S01, S02	Sb	V39'	S09, S10	Sb
V08'	S01, S02	Sa	V40'	S09, S10	Sa
V09'	S02, S03	Sb	V41'	S10, S11	Sb
V10'	S02, S03	Sc	V42'	S10, S11	Sc
V11'	S02, S03	Sd	V43'	S10, S11	Sd
V12'	S02, S03	Se	V44'	S10, S11	Se
V13'	S03, S04	Sd	V45'	S11, S12	Sd
V14'	S03, S04	Sc	V46'	S11, S12	Sc
V15'	S03, S04	Sb	V47'	S11, S12	Sb
V16'	S03, S04	Sa	V48'	S11, S12	Sa
V17'	S04, S05	Sb	V49'	S12, S13	Sb
V18'	S04, S05	Sc	V50'	S12, S13	Sc
V19'	S04, S05	Sd	V51'	S12, S13	Sd
V20'	S04, S05	Se	V52'	S12, S13	Se
V21'	S05, S06	Sd	V53'	S13, S14	Sd
V22'	S05, S06	Sc	V54'	S13, S14	Sc
V23'	S05, S06	Sb	V55'	S13, S14	Sb
V24'	S05, S06	Sa	V56'	S13, S14	Sa
V25'	S06, S07	Sb	V57'	S14, S15	Sb
V26'	S06, S07	Sc	V58'	S14, S15	Sc
V27'	S06, S07	Sd	V59'	S14, S15	Sd
V28'	S06, S07	Se	V60'	S14, S15	Se
V29'	S07, S08	Sd	V61'	S15, S16	Sd
V30'	S07, S08	Sc	V62'	S15, S16	Sc
V31'	S07, S08	Sb	V63'	S15, S16	Sb

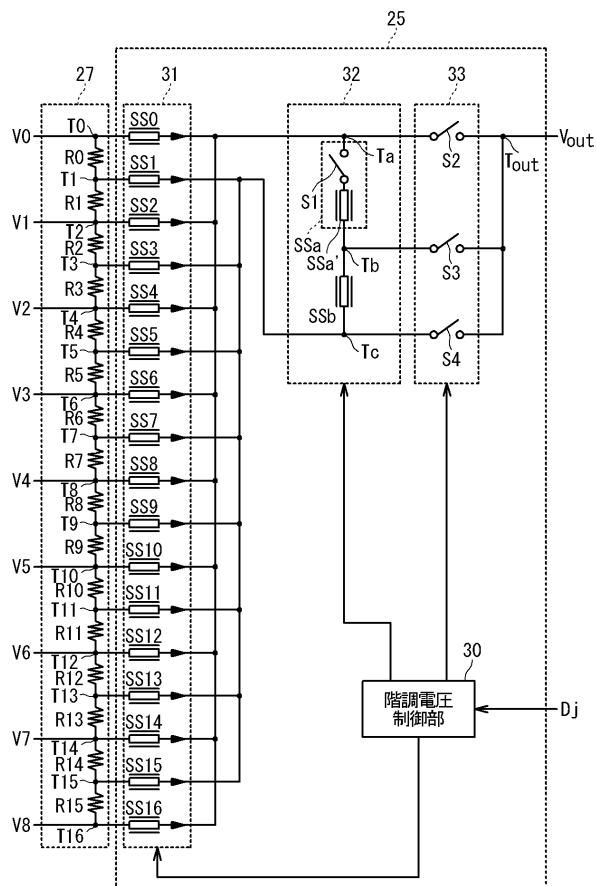
【 図 5 】



【 図 6 】



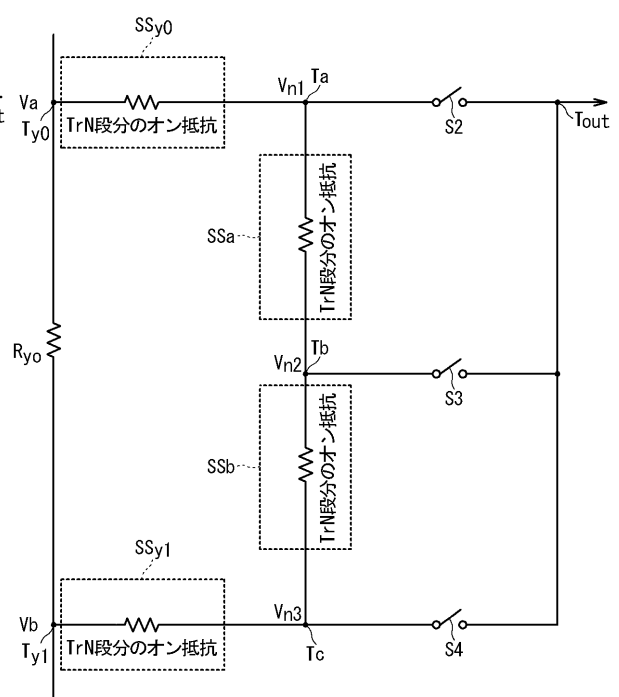
【圖 7】



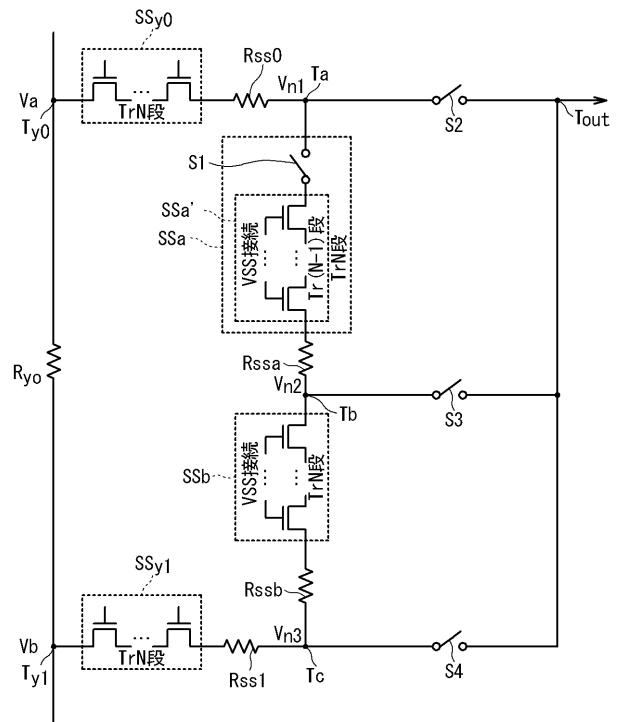
【 図 8 】

出力階調 電圧	わとなる 階調選択 MOSトランジスタ 群	わとなる スイッチ	出力階調 電圧	わとなる 階調選択 MOSトランジスタ 群	わとなる スイッチ
V0'	SS0, SS1	S2	V32'	SS8, SS9	S2
V1'	SS0, SS1	S1, S2	V33'	SS8, SS9	S1, S2
V2'	SS0, SS1	S1, S3	V34'	SS8, SS9	S1, S3
V3'	SS0, SS1	S1, S4	V35'	SS8, SS9	S1, S4
V4'	SS1, SS2	S4	V36'	SS9, SS10	S4
V5'	SS1, SS2	S1, S4	V37'	SS9, SS10	S1, S4
V6'	SS1, SS2	S1, S3	V38'	SS9, SS10	S1, S3
V7'	SS1, SS2	S1, S2	V39'	SS9, SS10	S1, S2
V8'	SS2, SS3	S2	V40'	SS10, SS11	S2
V9'	SS2, SS3	S1, S2	V41'	SS10, SS11	S1, S2
V10'	SS2, SS3	S1, S3	V42'	SS10, SS11	S1, S3
V11'	SS2, SS3	S1, S4	V43'	SS10, SS11	S1, S4
V12'	SS3, SS4	S4	V44'	SS11, SS12	S4
V13'	SS3, SS4	S1, S4	V45'	SS11, SS12	S1, S4
V14'	SS3, SS4	S1, S3	V46'	SS11, SS12	S1, S3
V15'	SS3, SS4	S1, S2	V47'	SS11, SS12	S1, S2
V16'	SS4, SS5	S2	V48'	SS12, SS13	S2
V17'	SS4, SS5	S1, S2	V49'	SS12, SS13	S1, S2
V18'	SS4, SS5	S1, S3	V50'	SS12, SS13	S1, S3
V19'	SS4, SS5	S1, S4	V51'	SS12, SS13	S1, S4
V20'	SS5, SS6	S4	V52'	SS13, SS14	S4
V21'	SS5, SS6	S1, S4	V53'	SS13, SS14	S1, S4
V22'	SS5, SS6	S1, S3	V54'	SS13, SS14	S1, S3
V23'	SS5, SS6	S1, S2	V55'	SS13, SS14	S1, S2
V24'	SS6, SS7	S2	V56'	SS14, SS15	S2
V25'	SS6, SS7	S1, S2	V57'	SS14, SS15	S1, S2
V26'	SS6, SS7	S1, S3	V58'	SS14, SS15	S1, S3
V27'	SS6, SS7	S1, S4	V59'	SS14, SS15	S1, S4
V28'	SS7, SS8	S4	V60'	SS15, SS16	S4
V29'	SS7, SS8	S1, S4	V61'	SS15, SS16	S1, S4
V30'	SS7, SS8	S1, S3	V62'	SS15, SS16	S1, S3
V31'	SS7, SS8	S1, S2	V63'	SS15, SS16	S1, S2

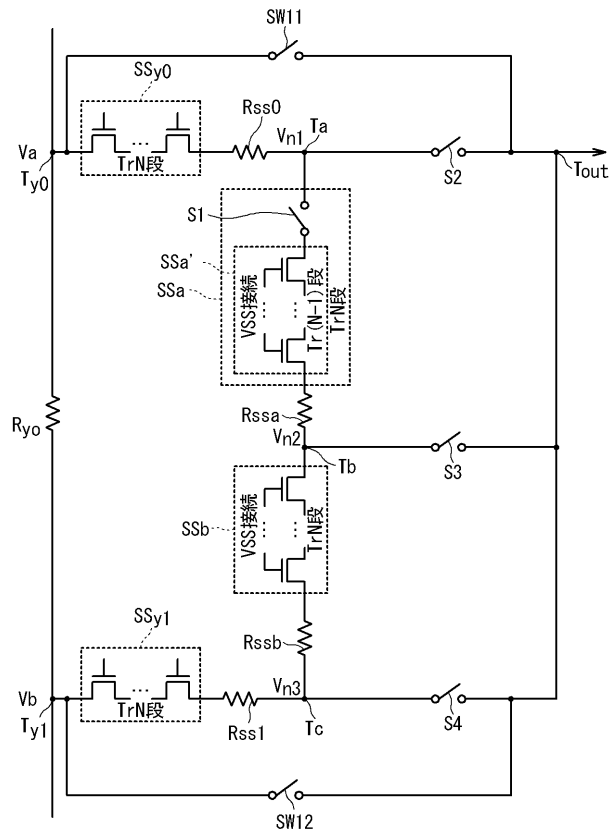
【 図 1 0 】



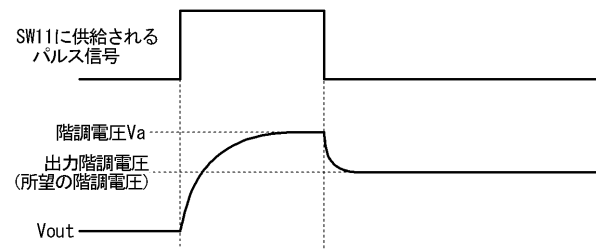
【圖 12】



【図 13】



【図 14】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 1 2 F
	G 0 9 G	3/20	6 2 1 F
	G 0 9 G	3/20	6 2 3 F
	G 0 9 G	3/20	6 2 3 R
	G 0 9 G	3/20	6 4 1 C

(56)参考文献 特開 2 0 0 4 - 1 6 3 4 5 6 (J P , A)
 特開平 0 4 - 2 2 6 4 2 2 (J P , A)
 特開平 0 8 - 0 4 6 5 0 1 (J P , A)
 特開 2 0 0 1 - 0 5 1 6 6 1 (J P , A)
 特開平 0 6 - 3 4 8 2 3 6 (J P , A)
 特開 2 0 0 2 - 2 2 9 5 3 3 (J P , A)
 特開 2 0 0 3 - 1 6 2 2 5 6 (J P , A)
 特開 2 0 0 2 - 0 3 2 0 5 3 (J P , A)
 特開平 0 7 - 0 7 2 8 2 9 (J P , A)
 特開 2 0 0 3 - 2 4 1 7 1 7 (J P , A)
 特開平 0 8 - 1 2 2 7 3 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

I P C G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 2 F 1 / 1 3 3

专利名称(译)	分级电压选择电路，驱动电路，液晶驱动电路，液晶显示装置		
公开(公告)号	JP4623712B2	公开(公告)日	2011-02-02
申请号	JP2004281641	申请日	2004-09-28
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	村田俊一		
发明人	村田 俊一		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/2011 G09G2310/0248 G09G2310/027 H03M1/682 H03M1/765		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.575 G09G3/20.611.H G09G3/20.611.J G09G3/20.612.F G09G3/20.621.F G09G3/20.623.F G09G3/20.623.R G09G3/20.641.C		
F-TERM分类号	2H093/NA51 2H093/NC21 2H093/ND39 2H093/ND49 2H193/ZD21 5C006/AA16 5C006/AF50 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BF03 5C006/BF04 5C006/BF24 5C006/BF25 5C006/BF34 5C006/BF43 5C006/FA12 5C006/FA20 5C006/FA26 5C006/FA37 5C006/FA41 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD25 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05		
代理人(译)	工藤稔		
审查员(译)	安藤达也		
优先权	2004196565 2004-07-02 JP		
其他公开文献	JP2006047943A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种可以减小电路规模的灰度电压选择电路。

ŽSOLUTION：在灰度电压选择电路中，第1灰度级选择MOS晶体管组（SS0），M级半灰度级电压MOS晶体管组（SSa，SSb）和第2灰度级选择MOS晶体管组（SS1）等分灰度电压第一灰度电压和第二灰度电压，以产生（M + 1）个半灰度电压。此时，通过第1灰度级选择MOS晶体管组（SS0），M级半灰度级电压MOS晶体管组（SSa，SSb）和第2灰度级选择MOS晶体管组（SS1）的导通电阻，几兆欧或更高的高电阻）。该灰度电压选择电路不需要在电路中使用电阻值为几欧姆或更大的电阻元件，因此灰度电压选择电路的电路规模，源极驱动器电路的电路规模和电路规模。液晶驱动电路可以比以前更小。Ž

出力階調 電圧	おとなる 第1の スイッチング 部	おとなる 第2の スイッチング 部	出力階調 電圧	おとなる 第1の スイッチング 部	おとなる 第2の スイッチング 部
V00'	S00, S01	Sa	V32'	S07, S08	Sa
V01'	S00, S01	Sb	V33'	S08, S09	Sb
V02'	S00, S01	Sc	V34'	S08, S09	Sc
V03'	S00, S01	Sd	V35'	S08, S09	Sd
V04'	S00, S01	Se	V36'	S08, S09	Se
V05'	S01, S02	Sd	V37'	S09, S10	Sd
V06'	S01, S02	Sc	V38'	S09, S10	Sc
V07'	S01, S02	Sb	V39'	S09, S10	Sb
V08'	S01, S02	Sa	V40'	S09, S10	Sa
V09'	S02, S03	Sb	V41'	S10, S11	Sb
V10'	S02, S03	Sc	V42'	S10, S11	Sc
V11'	S02, S03	Sd	V43'	S10, S11	Sd
V12'	S02, S03	Se	V44'	S10, S11	Se
V13'	S03, S04	Sd	V45'	S11, S12	Sd
V14'	S03, S04	Sc	V46'	S11, S12	Sc
V15'	S03, S04	Sb	V47'	S11, S12	Sb
V16'	S03, S04	Sa	V48'	S11, S12	Sa
V17'	S04, S05	Sb	V49'	S12, S13	Sb
V18'	S04, S05	Sc	V50'	S12, S13	Sc
V19'	S04, S05	Sd	V51'	S12, S13	Sd
V20'	S04, S05	Se	V52'	S12, S13	Se
V21'	S05, S06	Sd	V53'	S13, S14	Sd
V22'	S05, S06	Sc	V54'	S13, S14	Sc
V23'	S05, S06	Sb	V55'	S13, S14	Sb
V24'	S05, S06	Sa	V56'	S13, S14	Sa
V25'	S06, S07	Sb	V57'	S14, S15	Sb
V26'	S06, S07	Sc	V58'	S14, S15	Sc
V27'	S06, S07	Sd	V59'	S14, S15	Sd
V28'	S06, S07	Se	V60'	S14, S15	Se
V29'	S07, S08	Sd	V61'	S15, S16	Sd
V30'	S07, S08	Sc	V62'	S15, S16	Sc
V31'	S07, S08	Sb	V63'	S15, S16	Sb