

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4590147号  
(P4590147)

(45) 発行日 平成22年12月1日(2010.12.1)

(24) 登録日 平成22年9月17日(2010.9.17)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 612U
	G09G 3/20 621F
	G09G 3/20 631V
	G09G 3/20 641P
	請求項の数 6 (全 24 頁) 最終頁に続く

(21) 出願番号	特願2002-123680 (P2002-123680)	(73) 特許権者	501426046
(22) 出願日	平成14年4月25日(2002.4.25)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2003-36064 (P2003-36064A)		ミテッド
(43) 公開日	平成15年2月7日(2003.2.7)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成16年6月3日(2004.6.3)		イドードン 20
(31) 優先権主張番号	2001-32410	(74) 代理人	100109726
(32) 優先日	平成13年6月11日(2001.6.11)		弁理士 園田 吉隆
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100101199
(31) 優先権主張番号	2001-54327		弁理士 小林 義教
(32) 優先日	平成13年9月5日(2001.9.5)	(72) 発明者	ハム, ヨン スン
(33) 優先権主張国	韓国 (KR)		大韓民国 キョンギードー, アンヤン-
			シ, ドンガンーク, ホギエー1-ドン
			957-5, 201号
		審査官	小川 浩史
			最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法及びその装置

(57) 【特許請求の範囲】

【請求項1】

入力ラインからの入力データを上位ビットデータと下位ビットデータに分割する段階と

、  
現在のフレームと直前のフレームの間に前記上位ビットデータと前記下位ビットデータの変化量を検出する段階と、

前記上位ビットデータの変化量を第1基準値である1と比較する段階と、

前記下位ビットデータの変化量を、観察者がグレースケール変化を感じることができる最小値に設定された第2基準値と比較する段階と、

前記上位ビットデータの変化量が前記第1基準値と異なる場合に、現在のフレームの上位ビットデータと直前のフレームの上位ビットデータとをマッピングして現在の上位ビットデータとなるべき修正データを出力するルックアップテーブルに基づいて、前記入力データの上位ビットデータを修正し、それを出力する段階と、

前記上位ビットデータの変化量が前記第1基準値と同一であり、前記下位ビットデータの変化量が前記第2基準値より小さい場合に、現在のフレームの上位ビットデータと直前のフレームの上位ビットデータとをマッピングして現在の上位ビットデータとなるべき修正データを出力するルックアップテーブルに基づいて、前記入力データの上位ビットデータを修正し、それを出力する段階と、

前記上位ビットデータの変化量が前記第1基準値と同一であり、前記下位ビットデータの変化量が前記第2基準値以上である場合に、前記入力データの上位ビットデータを修正

10

20

せずに、前記入力ラインからの入力データの上位ビットデータを出力する段階と、  
を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 2】

前記変化量を検出する段階は、  
前記上位ビットデータと下位ビットデータを遅延させる段階と、  
遅延されていない前記上位ビットデータと前記遅延された上位ビットデータの間の差を算出する段階と、

遅延されていない前記下位ビットデータと前記遅延された下位ビットデータとの間の差を算出する段階を含むことを特徴とする請求項 1 記載の液晶表示装置の駆動方法。

【請求項 3】

入力ラインからの入力データを上位ビットデータと下位ビットデータに分割する段階と、

直前の入力データの上位ビットデータから現在の入力データの上位ビットデータを減算した値 ( a - b ) が第 1 基準値である「 1 」か否かを判断する段階 ( S 1 1 1 ) と、

前記直前の入力データの上位ビットデータから前記現在の入力データの上位ビットデータを減算した値 ( a - b ) が前記第 1 基準値と同一である場合に、前記現在の入力データの下位ビットデータから直前の入力データの下位ビットデータを減算した値 ( d - c ) と、観察者がグレースケール変化を感じることができる最小値に設定された第 2 基準値 ( k ) とを比較する段階 ( S 1 1 2 ) と、

前記現在の入力データの下位ビットデータから直前の入力データの下位ビットデータを減算した値 ( d - c ) が、第 2 基準値 ( k ) 以下である場合に、現在の入力データの上位ビットデータと直前の入力データの上位ビットデータとをマッピングして現在の入力データの上位ビットデータとなるべき修正データを出力するルックアップテーブルに基づいて、前記現在の入力データの上位ビットデータを修正し、それを出力する段階 ( S 1 1 3 ) と、

前記現在の入力データの下位ビットデータから直前の入力データの下位ビットデータを減算した値 ( d - c ) が、第 2 基準値 ( k ) より大きい場合に、前記現在の入力データの上位ビットデータを修正せずに、前記入力ラインからの入力データの上位ビットデータを出力する段階 ( S 1 1 4 ) と、

前記直前の入力データの上位ビットデータから前記現在の入力データの上位ビットデータを減算した値 ( a - b ) が前記第 1 基準値と異なる場合に、前記現在の入力データの上位ビットデータから前記直前の入力データの上位ビットデータを減算した値 ( b - a ) が第 1 基準値である「 1 」か否かを判断する段階 ( S 1 1 5 ) と、

前記現在の入力データの上位ビットデータから前記直前の入力データの上位ビットデータを減算した値 ( b - a ) が前記第 1 基準値と異なる場合に、前記ルックアップテーブルに基づいて、前記現在の入力データの上位ビットデータを修正し、それを出力する段階 ( S 1 1 7 ) と、

前記現在の上位ビットデータから前記直前の上位ビットデータを減算した値 ( b - a ) が前記第 1 基準値と同一である場合に、前記直前の入力データの下位ビットデータから前記現在の入力データの下位ビットデータを減算した値 ( c - d ) を、前記第 2 基準値 ( k ) と比較する段階 ( S 1 1 6 ) と、

前記直前の入力データの下位ビットデータから前記現在の入力データの下位ビットデータを減算した値 ( c - d ) が、前記第 2 基準値 ( k ) 以下である場合に、前記ルックアップテーブルに基づいて、前記現在の入力データの上位ビットデータを修正し、それを出力する段階 ( S 1 1 7 ) と、

前記直前の入力データの下位ビットデータから前記現在の入力データの下位ビットデータを減算した値 ( c - d ) が、前記第 2 基準値 ( k ) より大きい場合に、前記現在の入力データの上位ビットデータを修正せずに、前記入力ラインからの入力データの上位ビットデータを出力する段階 ( S 1 1 4 ) と、

を含むことを特徴とする液晶表示装置の駆動方法。

10

20

30

40

50

## 【請求項 4】

入力ラインからの入力データを上位ビットデータと下位ビットデータに分割する段階と、

現在の上位ビットデータと直前の上位ビットデータとの間の第 1 の差を第 1 基準値である 1 と比較する段階と、

前記第 1 の差が前記第 1 基準値と異なる場合に、現在のフレームの上位ビットデータと直前のフレームの上位ビットデータとをマッピングして現在の上位ビットデータとなるべき修正データを出力するルックアップテーブルに基づいて前記現在の上位ビットデータを修正し、それを出力する段階と、

前記第 1 の差が前記第 1 基準値と同じである場合に、前記現在の下位ビットデータと直前の下位ビットデータとの間の第 2 の差を、観察者がグレースケール変化を感じることができる最小値に設定された第 2 基準値と比較する段階と、

前記第 2 の差の値が前記第 2 基準値より小さい場合に、現在のフレームの上位ビットデータと直前のフレームの上位ビットデータとをマッピングして現在の上位ビットデータとなるべき修正データを出力するルックアップテーブルに基づいて前記現在の上位ビットデータを修正し、それを出力する段階と、

前記第 2 の差の値が前記第 2 基準値以上である場合に、現在の上位ビットデータを出力する段階と、

を含むことを特徴とする液晶表示装置の駆動方法。

## 【請求項 5】

入力ラインからの入力データに含まれる上位ビットデータと下位ビットデータをそれぞれ遅延させるためのフレームメモリと、

前記入力ラインからの上位ビットデータと前記遅延された上位ビットデータとを比較して前記上位ビットデータの第 1 の差を求めて前記第 1 の差を第 1 基準値である 1 と比較する第 1 比較器と、

前記入力ラインからの下位ビットデータと前記遅延された下位ビットデータとを比較して前記下位ビットデータの第 2 の差を求めて前記第 2 の差を、観察者がグレースケール変化を感じることができる最小値に設定された第 2 基準値と比較する第 2 比較器と、

現在のフレームの上位ビットデータと直前のフレームの上位ビットデータとをマッピングして現在の上位ビットデータとなるべき修正データを出力するルックアップテーブルに基づいて、前記入力データの上位ビットデータを修正する修正器と、

前記第 1 の差が前記第 1 基準値と異なるとき、または、前記第 1 の差が前記第 1 基準値と同一であり前記第 2 の差が前記第 2 基準値より小さいときに、前記修正器により修正された上位ビットデータを選択し、前記第 1 の差が前記第 1 基準値と同一であり前記第 2 の差が前記第 2 基準値以上であるときに前記入力ラインからの入力データの上位ビットデータを選択するための選択手段と、

を具備することを特徴とする液晶表示装置の駆動装置。

## 【請求項 6】

前記選択手段は、前記第 1 及び第 2 比較器の出力信号を論理演算するゲート素子と、前記ゲート素子からの出力に応じて、前記修正器により修正された上位ビットデータ及び前記入力ラインからの入力データの上位ビットデータの中のいずれか一つを選択するスイッチ素子とを具備することを特徴とする請求項 5 記載の液晶表示装置の駆動装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は液晶表示装置に関し、特に画質低下を防止した液晶表示装置、その製造方法及び当該方法を実施するための装置に関するものである。

## 【0002】

## 【従来の技術】

通常的に液晶表示装置は、ビデオ信号により液晶セルの光透過率を調節して画像を表示

10

20

30

40

50

する。液晶セル毎にスイッチング素子が形成されたアクティブマトリックスタイプの液晶表示装置は、動映像表示に好適である。アクティブマトリックスタイプの液晶表示装置に使用されるスイッチング素子としては主に薄膜トランジスタ (Thin Film Transistor : 以下、TFT という) が利用されている。

【0003】

液晶表示装置は、数式1及び2で分かるように、液晶の固有の粘性と弾性の特性に起因して応答速度が遅いのが欠点である。

【数1】

$$\tau_r \propto \frac{\gamma d^2}{\Delta \epsilon | V_a^2 - V_F^2 |} \quad 10$$

ここで、 $\tau_r$  は液晶に電圧が印加される際のライジングタイムを、 $V_a$  は印加電圧を、 $V_F$  は液晶分子が傾斜運動を始めるフリーデリック遷移電圧 (Frederick Transition Voltage) を、 $d$  は液晶セルのセル・ギャップを、 $\gamma$  は液晶分子の回転粘性 (rotational viscosity) をそれぞれ意味する。

【0004】

【数2】

$$\tau_f = \frac{\gamma d^2}{K} \quad 20$$

ここで、 $\tau_f$  は液晶に印加された電圧がオフされた後、液晶が弾性復元力により元の位置に復元されるフォーリング・タイムを、 $K$  は液晶固有の弾性係数をそれぞれ意味する。

【0005】

TNモードの液晶応答速度は、液晶材料の物性とセル・ギャップにより異なるが、通常は、ライジング・タイムが20~80ms、フォーリング・タイムが20~30msである。このような液晶の応答速度は、動映像の1フレーム期間 (NTSC - 16.67ms) より長いので、図1のように液晶セルに充電される電圧が所望の電圧に到達する前に次のフレームに進行することに起因して動映像で画面がぼんやり霞むモーション・ブラーリング現象が現れる。

【0006】

図1に示したように、従来の液晶表示装置は、動映像を表示する際に、応答速度が遅いために異なるレベルにデータ (VD) が変化する時、それに対応する表示輝度 (BL) が所望の輝度に到達できず、所望の色と輝度を表現できない。その結果、液晶表示装置には動画像でモーション・ブラーリング現象が表れ、明暗比の低下により表示品位が低下する。

【0007】

液晶表示装置の応答速度のこのような遅さを解決するために、アメリカ特許第5,495,265号とPCT国際公開番号WO99/05567には、ルックアップテーブルを利用してデータの変化の有無によりデータを修正する発明 (以下、「高速駆動」という) が提案されている。この高速駆動方法は図2のような原理でデータを修正する。

【0008】

図2を参照すると、従来の高速駆動方法は入力データ (VD) を修正して修正データ (MVD) を液晶セルに印加して望む輝度 (MBL) を得る。この高速駆動方法は1フレーム期間中に入力データの輝度値に対応して望む輝度が得られるようにデータの変化の有無

に基づいて数式 1 で  $|V_a^2 - V_F^2|$  を大きくすることで液晶の応答速度を加速する。従って、高速駆動方法を利用する液晶表示装置は、液晶の遅い速度をデータ値の修正によって補償して、動画像表示におけるモーション・ブラーリング現象を緩和して望む色と輝度で画像を表示することができる。

【0009】

図 3 に示したように、従来の高速駆動装置は、上位ビット出力バスライン (32) に接続されたフレームメモリ (33) と、上位ビット出力バスライン (32) とフレームメモリ (33) の出力端子に共通に接続されたルックアップテーブル (34) とを具備する。

【0010】

フレームメモリ (33) は上位ビットデータ (MSB) を 1 フレーム期間の間だけ格納して、格納されたデータをルックアップテーブル (34) に供給する。ここで、上位ビットデータ (MSB) は、上位 3 ビットか 4 ビットに設定されるが、5 ビットまたは 6 ビットに設定することもできる。

10

【0011】

ルックアップテーブル (34) は、上位ビット出力バスライン (32) から入力される現在のフレーム ( $F_n$ ) の上位ビットデータと、フレームメモリ (33) から入力される直前のフレーム ( $F_{n-1}$ ) の上位データを、表 1 のような修正データテーブルにマッピングして修正データ (Mdata) を出力する。このように修正されたビットデータ (Mdata) は修正されない下位ビットデータと加算される。

【0012】

最上位ビットデータ (MSB) を 4 ビットに限定した場合に、高速駆動方法のルックアップテーブルは下の表 1 及び表 2 のようになる。

20

【表 1】

区分	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	2	3	4	5	6	7	8	10	12	13	14	15	15	15	15
1	0	1	3	4	5	6	7	8	10	12	13	14	15	15	15	15
2	0	0	2	4	5	6	7	8	10	12	13	14	15	15	15	15
3	0	0	1	3	5	6	7	8	10	11	13	14	15	15	15	15
4	0	0	1	3	4	6	7	8	9	11	12	13	14	15	15	15
5	0	0	1	2	3	5	7	8	9	11	12	13	14	15	15	15
6	0	0	1	2	3	4	6	8	9	10	12	13	14	15	15	15
7	0	0	1	2	3	4	5	7	8	10	11	13	14	15	15	15
8	0	0	1	2	3	4	5	6	8	10	11	12	14	15	15	15
9	0	0	1	2	3	4	5	6	7	9	11	12	13	14	15	15
10	0	0	1	2	3	4	5	6	7	8	10	12	13	14	15	15
11	0	0	1	2	3	4	5	6	7	8	9	11	13	14	15	15
12	0	0	1	2	3	4	5	6	7	8	9	10	12	14	15	15
13	0	0	1	2	3	3	4	5	6	7	8	10	11	13	15	15
14	0	0	1	2	3	3	4	5	6	7	8	9	11	12	14	15
15	0	0	0	1	2	3	3	4	5	6	7	8	9	11	13	15

10

20

30

40

【表 2】

区分	0	16	32	49	64	80	96	112	128	144	160	176	192	208	224	240
0	0	32	48	64	80	96	112	144	160	192	208	224	240	240	240	240
16	0	16	48	64	80	96	112	128	160	192	208	224	240	240	240	240
32	0	0	32	64	80	96	112	128	160	192	208	224	240	240	240	240
49	0	0	16	48	96	96	112	128	160	176	208	224	240	240	240	240
64	0	0	16	48	64	96	112	128	144	176	192	208	224	240	240	240
80	0	0	16	32	48	80	112	128	144	176	192	208	224	240	249	240
96	0	0	16	32	48	64	96	128	144	160	192	208	224	240	240	240
112	0	0	16	32	48	64	80	112	144	160	176	208	224	240	240	240
128	0	0	16	32	48	64	80	96	128	160	176	192	224	240	240	240
144	0	0	16	32	48	64	80	96	112	144	176	192	208	224	240	240
160	0	0	16	32	48	64	80	96	112	128	176	192	208	224	240	240
176	0	0	16	32	48	64	80	96	112	128	144	176	208	224	240	240
192	0	0	16	32	48	64	80	96	112	128	144	160	192	224	240	240
208	0	0	16	32	48	48	64	80	96	112	128	160	176	208	240	240
224	0	0	16	32	48	48	64	80	96	112	128	144	176	192	224	240
240	0	0	0	16	32	48	48	64	80	96	112	128	144	176	208	240

10

20

30

40

## 【 0 0 1 3 】

表 1 及び表 2 において、左側の列は直前のフレーム (  $F_n - 1$  ) のデータ電圧 (  $V_{Dn} - 1$  ) であり、最も上の行は現在のフレーム (  $F_n$  ) のデータ電圧 (  $V_{Dn}$  ) である。表 1 は最上位 4 ビット (  $2^0$  ,  $2^1$  ,  $2^2$  ,  $2^3$  ) を十進数で表現したルックアップテーブル

50

ル情報である。表 2 は 8 ビットのデータの中に最上位の 4 ビットの加重値 ( $2^4, 2^5, 2^6, 2^7$ ) を適用した場合のルックアップテーブル情報である。

【 0 0 1 4 】

上位ビットデータ (MSB) を 4 ビットに構成して直前のフレーム ( $F_{n-1}$ ) の上位ビットデータ (MSB) と現在のフレーム ( $F_n$ ) の上位ビットデータ (MSB) がそれぞれ図 4 に示すものであれば、ルックアップテーブル (34) により修正されたデータ (Mdata) は現在のフレーム ( $F_n$ ) の上位ビットデータ (MSB) より大きくなる。

【 0 0 1 5 】

しかし従来的高速駆動装置は、図 5 のように直前のフレーム ( $F_{n-1}$ ) と現在のフレーム ( $F_n$ ) のデータがわずかに変化する場合に、修正データ (Mdata) の値が実際の変化量より過度に大きく変化する問題がある。

10

【 0 0 1 6 】

図 5 を参照すると、直前のフレーム ( $F_{n-1}$ ) のデータグレースケール値「00011111」は現在のフレーム ( $F_n$ ) で「00100000」に変化する。これを高速駆動のために表 1 のような修正テーブルによって修正すると、上位ビットデータの値が増加して「00110000」に変化する。しかし、実際には直前のフレーム ( $F_{n-1}$ ) と現在のフレーム ( $F_n$ ) のグレースケール値の差が十進数において「1」即ち、直前のフレーム ( $F_{n-1}$ ) のグレースケール値「31」が現在のフレーム ( $F_n$ ) における「32」にわずかに変化しただけであるが、これを表 1 のような修正テーブルによって修正すれば、値は「48」に修正される。従って、実際にはグレースケール変化が殆どない画像

20

【 0 0 1 7 】

このように実際のグレースケール値と大きく異なる値に修正されると、必要以上に液晶セルに過度な電圧が印加されるために、データの変化が生じる部分で明るい帯が現れることになる。

【 0 0 1 8 】

【 発明が解決しようとする課題 】

従って、本発明の目的は、画質低下を防ぐようにした液晶表示装置の駆動方法および当該方法を実行する装置を提供することである。

30

【 0 0 1 9 】

【 課題を解決するための手段 】

前記目的を達成するために、本発明の第 1 実施例による液晶表示装置の駆動方法は、ビデオデータを上位ビットデータと下位ビットデータに分割する段階と、上位ビットデータと前記下位ビットデータの変化を検出する段階と、前記上位ビットデータの変化量を第 1 基準値と比較する段階と、下位ビットデータの変化量を第 2 基準値と比較する段階と、比較結果によりビデオデータの修正の要否を決定する段階を含むことを特徴とする液晶表示装置の駆動方法を提案する。

【 0 0 2 0 】

本発明の第 1 実施例による液晶表示装置の駆動方法において、変化を検出する段階は、上位ビットデータと下位ビットデータを遅延させる段階と、遅延されていない上位ビットデータと前記遅延された上位ビットデータとの差を算出する段階と、遅延されていない前記下位ビットデータと遅延された下位ビットデータの差を算出する段階を含む。

40

【 0 0 2 1 】

本発明の第 2 実施例による液晶表示装置の駆動方法は、入力ラインからの入力データを上位ビットデータと下位ビットデータに分割する段階と、現在のフレームと直前のフレームの間の前記上位ビットデータと前記下位ビットデータの変化を検出する段階と、上位ビットデータの変化量を第 1 基準値と比較する段階と、下位ビットデータの変化量を第 2 基準値と比較する段階と、上位ビットデータの変化量が第 1 基準値と同一であり下位ビットデータの変化量が前記第 2 基準値より小さいときに前記入力データを修正する段階と、上

50

位ビットデータの変化量が第1基準値と同一であり下位ビットデータの変化量が第2基準値より同じかあるいは大きいときに入力データを供給する段階を含む。

【0022】

本発明の第2実施例による液晶表示装置の駆動方法は、上位ビットデータの変化量が前記第1基準値と異なる場合に前記入力データを修正する段階を更に含む。

【0023】

本発明の第2実施例による液晶表示装置の駆動方法において、データを修正する段階は前記上位ビットデータを修正することを特徴とする。

【0024】

本発明の第1及び第2実施例による液晶表示装置の駆動方法において、第1基準値は「1」であることを特徴とする。

10

【0025】

本発明の第3実施例による液晶表示装置の駆動方法は、入力ラインからの入力データを上位ビットデータと下位ビットデータに分割する段階と、現在の上位ビットデータがルックアップテーブルの第1データ領域に含まれるかどうかを判断する段階と、現在の上位ビットデータがルックアップテーブルの第1データ領域に含まれるときは現在の上位ビットデータと直前の上位ビットデータの差を第1基準値と比較する段階と、第1基準値との比較結果により現在の上位ビットデータの修正の要否を決定する段階と、現在の上位ビットデータがルックアップテーブルの第2データ領域に含まれるか否かを判断する段階と、現在の上位ビットデータがルックアップテーブルの第2データ領域に含まれるときは現在の  
下位ビットデータと直前の下位ビットデータの差を第2基準値と比較する段階と、前記第2基準値との比較結果により前記現在の上位ビットデータの修正の要否を決定する段階を含む。

20

【0026】

本発明の第3実施例による液晶表示装置の駆動方法において、現在の上位ビットデータがルックアップテーブルの第1データ領域に含まれるか否かを判断する段階は、現在の上位ビットデータの値が直前の上位ビットデータの値より大きいと直前の上位ビットデータを現在の上位ビットデータから減算する段階と、直前の上位ビットデータから現在の上位ビットデータを減算した値が「1」か否かを判断する段階を含む。

【0027】

本発明の第3実施例による液晶表示装置の駆動方法において、現在の上位ビットデータがルックアップテーブルの第1データ領域に含まれるか否かを判断する段階は、直前の上位ビットデータが現在の上位ビットデータより大きいときに現在の上位ビットデータから直前の上位ビットデータを減算する段階と、現在の上位ビットデータから直前の上位ビットデータを減算した値が「1」か否かを判断する段階を含む。

30

【0028】

本発明の第3実施例による液晶表示装置の駆動方法は直前の下位ビットデータと現在の下位ビットデータとの間の差が第1基準値と異なるときに、前記現在の上位ビットデータを修正することを特徴とする。

【0029】

本発明の第3実施例による液晶表示装置の駆動方法は、第1基準値が「1」であることを特徴とする。

40

【0030】

本発明の第3実施例による液晶表示装置の駆動方法は、第2基準値は観察者がグレースケール変化を感じることができる最小値に決定されていることを特徴とする。

【0031】

本発明の第3実施例による液晶表示装置の駆動方法において、直前の上位ビットデータと前記現在の上位ビットデータの間の第1の差の値が第1基準値と同一であり、直前の下位ビットデータと現在の下位ビットデータの第2の差の値が第2基準値より小さいときに現在の上位ビットデータを修正することを特徴とする。

50

## 【0032】

本発明の第1実施例による液晶表示装置の駆動装置は、入力ラインからの入力データに含まれた上位ビットデータと下位ビットデータをそれぞれ遅延させるためのフレームメモリと、入力ラインからの上位ビットデータと遅延された上位ビットデータを比較して前記上位ビットデータの差を求めて第1の差を第1基準値と比較する第1比較器と、入力ラインからの下位ビットデータと前記遅延された下位ビットデータを比較して下位ビットデータの差を求めて2値の差の値を第2基準値と比較する第2比較器と、第1及び第2比較器の比較結果により入力ラインからの上位ビットデータの修正の要否を決定する選択手段とを更に具備する。

10

## 【0033】

本発明の第1実施例による液晶表示装置の駆動装置は、入力ラインからの入力データに含まれる上位ビットデータと下位ビットデータをそれぞれ遅延させるためのフレームメモリと、入力ラインからの上位ビットデータと遅延された上位ビットデータを比較して上位ビットデータの第1の差を求めて当該第1の差と第1基準値と比較する第1比較器と、入力ラインからの下位ビットデータと遅延された下位ビットデータを比較して下位ビットデータの第2の差を求めて当該第2の差を第2基準値と比較する第2比較器と、入力データを修正する修正器と、第1及び第2比較器の比較結果に基づいて、修正器により修正されたデータと入力ラインからのビデオデータの中のいずれか一つを選択するための選択手段とを具備する。

20

## 【0034】

本発明の第2実施例による液晶表示装置の駆動装置は、第1基準値が「1」であることを特徴とする。

## 【0035】

本発明の第1及び第2実施例による液晶表示装置の駆動装置は、第2基準値は観察者がグレースケール変化を感じることができる最小値に決定されることを特徴とする。

## 【0036】

本発明の第2実施例による液晶表示装置の駆動装置において、修正器はルックアップテーブルを利用して前記上位ビットデータを修正することを特徴とする。

## 【0037】

本発明の第2実施例による液晶表示装置の駆動装置において、選択手段は第1の差が第2基準値と同一であり第2の差が前記第2基準値より小さいと前記修正器により修正されたデータを選択することを特徴とする。

30

## 【0038】

本発明の第2実施例による液晶表示装置の駆動装置において、選択手段は第1の差が前記第1基準値と異なる場合には、前記修正器により修正されたデータを選択することを特徴とする。

## 【0039】

本発明の第2実施例による液晶表示装置の駆動装置において、選択手段は第1の差が前記第1基準値と同一であり第2の差が第2基準値より大きいと入力ラインからの入力データを選択することを特徴とする。

40

## 【0040】

本発明の第2実施例による液晶表示装置の駆動装置において、選択手段は第1及び第2比較器の出力信号を論理演算するゲート素子と、ゲート素子の出力により修正器の出力及び入力ラインからの入力データの中のいずれか一つを選択するスイッチ素子とを具備することを特徴とする。

## 【0041】

本発明の第2実施例による液晶表示装置の駆動装置は、修正されたデータと入力ラインからの入力データを液晶パネルのデータラインに供給するためのデータ駆動部と、液晶パネルのゲートラインにスキヤニング信号を供給するためのゲート駆動部と、入力データを入力ラインに供給すると共にデータ駆動部とゲート駆動部を制御するためのタイミング制

50

御器を更に具備する。

【 0 0 4 2 】

本発明の第 3 実施例による液晶表示装置の駆動装置は、修正されたデータと入力ラインからの入力データを前記液晶パネルのデータラインに供給するためのデータ駆動部と、液晶パネルのゲートラインにスキヤニング信号を供給するためのゲート駆動部と、入力データを入力ラインに供給すると共に前記データ駆動部とゲート駆動部を制御するためのタイミング制御器を更に具備する。

【 0 0 4 3 】

本発明の第 3 実施例による液晶表示装置の駆動装置は、入力ラインから入力された入力データに含まれる上位ビットデータと下位ビットデータをそれぞれ遅延させるためのフレイムメモリと、遅延された上位ビットデータから入力ラインから入力された上位ビットデータを減算して前記減算により得られた差を第 1 基準値と比較する第 1 比較器と、入力ラインから入力された下位ビットデータから遅延された下位ビットデータを減算して減算により得られた差を第 2 基準値と比較する第 1 比較器と、第 1 及び第 2 比較器の比較結果により入力ラインから入力される上位ビットデータに対する修正の要否を決定する第 1 論理素子と、入力ラインから入力された上位ビットデータから前記遅延された上位ビットデータを減算して減算により得られた差を前記第 1 基準値と比較する第 3 比較器と、遅延された下位ビットデータから入力ラインから入力された下位ビットデータを減算して減算により得られた差を前記第 2 基準値と比較する第 4 比較器と、第 3 及び第 4 比較器の比較結果により入力ラインからの上位ビットデータに対する修正の要否を決定する第 2 論理素子と、入力ラインからの上位ビットデータと遅延された上位ビットデータの変化により入力ラインからの上位ビットデータを修正する修正器と、前記第 1 及び第 2 論理素子の出力論理値により修正されたデータと入力ラインからの入力データの中のいずれか 1 つを選択するための選択手段とを具備する。

【 0 0 4 4 】

本発明の第 3 実施例による液晶表示装置の駆動装置において、第 1 及び第 2 論理素子は AND ゲートであることを特徴とする。

【 0 0 4 5 】

本発明の第 3 実施例による液晶表示装置の駆動装置において、選択手段は、第 1 及び第 2 論理素子の出力信号の論理和を演算する OR ゲートと、OR ゲートの制御により修正手段の出力及び入力ラインからの入力データの中のいずれか一つを選択するスイッチ素子とを更に具備する。

【 0 0 4 6 】

【作用】

本発明による液晶表示装置の駆動方法及び装置は、直前のフレームと現在のフレームで上位ビットデータと下位ビットデータそれぞれの変化量を考慮してデータ修正の要否を決定する。

【 0 0 4 7 】

【発明の実施の形態】

以下、図 6 乃至図 12 を参照して本発明の好ましい実施例について説明する。

図 6 に示すように、本発明による液晶表示装置の駆動装置は、データライン (65) とゲートライン (66) が交差してその交差部に液晶セル (CLC) を駆動するための TFT が形成された液晶パネル (67) と、液晶パネル (67) のデータライン (65) にデータを供給するためのデータ・ドライバ (63) と、液晶パネル (67) のゲートライン (66) にスキヤニングパルスを供給するためのゲート・ドライバ (64) と、デジタル・ビデオ・データと同期信号 (H、V) が供給されるタイミング・コントローラ (61) と、タイミング・コントローラ (61) とデータ・ドライバ (63) の間に接続されて入力データ (RGB) を修正するためのデータ修正部 (62) とを具備する。

【 0 0 4 8 】

液晶パネル (67) は二枚のガラス基板の間に液晶が注入されて、その下部ガラス基板

の上にデータライン(65)とゲートライン(66)が相互直交するように形成される。データライン(65)とゲートライン(66)上のデータを液晶セル(C1c)に供給する。このために、TFTのゲート電極はゲートライン(66)に接続されて、ソース電極はデータライン(65)に接続される。そしてTFTのドレイン電極は液晶セル(C1c)の画素電極に接続される。

【0049】

タイミング・コントローラ(61)は、図示しないデジタル・ビデオ・カードから供給されるデジタル・ビデオ・データを再生列する。タイミング・コントローラ(61)により再生されたデータ(RGB data)は、データ修正部(62)に供給される。また、タイミング・コントローラ(61)は入力される水平/垂直同期信号(H、V)を利用してドットクロック(Dclk)、ゲート・スタート・パルス(GSP)、図示しないゲート・シフト・クロック(GSC)、出力インエーブル/ディスエーブル信号のタイミング制御信号と極性の制御信号を生成して、データ・ドライバ(63)とゲート・ドライバ(64)を制御する。ドットクロック(Dclk)と極性制御信号はデータ・ドライバ(63)に供給されて、ゲート・スタート・パルス(GSP)とゲート・シフト・クロック(GSC)はゲート・ドライバ(64)に供給される。

10

【0050】

ゲート・ドライバ(64)はタイミング・コントローラ(61)から供給されるゲート・スタート・パルス(GSP)とゲート・シフト・クロック(GSC)にตอบสนองしてスキャンパルス即ち、ゲート・ハイパルスを順次的に発生するシフト・レジスタと、スキャンパルスの電圧を液晶セル(C1c)の駆動に適合のレベルにシフトさせるためのレベル・シフトを含む。このスキャンパルスにตอบสนองしてTFTはターン・オンされてデータライン(65)上のビデオ・データを液晶セル(C1c)の画素電極に供給する。

20

【0051】

データ・ドライバ(63)にはデータ修正部(62)により修正された赤(R)、緑(G)及び青(B)色の修正されたデータ(RGB Mdata)が供給されると共に、タイミング・コントローラ(61)からドットクロック(Dclk)が入力される。このデータ・ドライバ(63)はドットクロック(Dclk)に合わせて赤(R)、緑(G)及び青(B)色の修正されたデータ(RGB Mdata)をラッチした後に、ラッチされたデータをアナログ・データに変換して1ライン分ずつデータライン(65)に供給する。また、データ・ドライバ(63)は修正データに対応するガンマ電圧をデータライン(65)に供給することもできる。

30

【0052】

データ修正部(62)は直前のフレーム(Fn-1)と現在のフレーム(Fn)それぞれで上位ビットデータ(MSB)と下位ビットデータ(LSB)を比較することで入力データのグレースケール変化を検出する。そしてデータ修正部(62)は検出されたグレースケール変化の大きさによりデータの修正の要否を決定する。

【0053】

データ修正部(62)に入力されるデータ(RGB data)の表現の可能なグレースケール範囲が0~255であり、図7のように8ビットである時、データ修正部(62)の修正アルゴリズムを図8に対応させて段階的に説明すると次のようになる。

40

【0054】

直前のフレーム(Fn-1)と現在のフレーム(Fn)で上位ビットデータ(MSB)はb4~b7ビットであり下位ビットデータ(LSB)はb0~b3の4ビットである。直前のフレーム(Fn-1)の上位ビットデータ(MSB)は「a」であり、その下位ビットデータ(LSB)は「c」である。そして現在のフレーム(Fn)の上位ビットデータ(MSB)は「b」であり、その下位ビットデータ(LSB)は「d」である。

【0055】

図8は本発明の第1実施例によるデータ修正部の制御手順を表す。

図8に示すように、データ修正部(62)は現在のフレーム(Fn)と直前のフレーム

50

( $F_n - 1$ )で上位ビットデータ( $b$ 、 $a$ )の差即ち、グレースケール変化( $|b - a|$ )を検出する。さらにデータ修正部(62)は現在のフレーム( $F_n$ )と直前のフレーム( $F_n - 1$ )で下位ビットデータ(LSB)の差( $|d - c|$ )を検出する。

【0056】

データ修正部(62)は現在のフレーム( $F_n$ )と直前のフレーム( $F_n - 1$ )で上位ビットデータ( $a$ 、 $b$ )のデータ値の変化を判断する(S81段階)。上位ビットデータ( $a$ 、 $b$ )のデータ値が変化がないか( $b - a = 0$ )、変化するビットが2以上( $|b - a| > 1$ )であれば、データ修正部(62)はS83段階に分岐して表1のようなルックアップテーブルを利用してデータを修正する。

【0057】

これとは異なり、S81段階でデータ値が変化する上位ビットデータ( $a$ 、 $b$ )のビット値が1であれば( $|b - a| = 1$ )、現在のフレーム( $F_n$ )と直前のフレーム( $F_n - 1$ )で下位ビットデータ( $c$ 、 $d$ )のデータ値の変化するビット値を判断する(S82段階)。現在のフレーム( $F_n$ )と直前のフレーム( $F_n - 1$ )で下位ビットデータ( $c$ 、 $d$ )のグレースケール値の差が所定の基準値「 $k$ 」より小さいと、ルックアップテーブルを利用してデータを修正する(S83段階)。これとは異なり、現在のフレーム( $F_n$ )と直前のフレーム( $F_n - 1$ )で下位ビットデータ( $c$ 、 $d$ )のグレースケール値の差が基準値( $k$ )以上であれば、データ修正部(62)は入力データ(RGB data)を修正せずにそのまま出力する(S84段階)。ここで、「 $k$ 」は、下位ビットデータ(LSB)の値を考慮して観察者が視覚的にフレーム間のグレースケール変化を認知することができる程度即ち、最小認知のグレースケールの変化値に設定する。この $k$ は、例えば、「12」に設定することができる。このような下位ビットデータ( $c$ 、 $d$ )の比較基準値( $k$ )は、下位ビットデータ( $c$ 、 $d$ )の値と観察者の視覚認知の特性により異なってもよい。

【0058】

結果的に、データ修正部(62)は、下位ビットデータ(LSB)のグレースケール値の変化に基づき、上位ビットデータ( $a$ 、 $b$ )の変化するビット値が1より大きい時、データ修正を実施する。また、データ修正部(62)は、上位ビットデータ( $a$ 、 $b$ )の値の変化するビット値が1であって、下位ビットデータ( $c$ 、 $d$ )の変化するビット値が所定の基準値( $k$ )より小さい時にデータ修正を実施する。これに反して、データ修正部(62)は上位ビットデータ( $a$ 、 $b$ )で変化するビット値が1であって、下位ビットデータ( $c$ 、 $d$ )の変化するビット値が基準値( $k$ )より大きい時にデータ修正を実施せずに入力データをデータドライバ(32)にバイパスさせる。

【0059】

図9に示すように、本発明の第1実施例によるデータ修正部(62)は、タイミング・コントローラ(61)からデータ(RGB data)が入力されるフレーム・メモリ(91)と、上位ビットデータ(MSB)を修正するためのルックアップテーブル(95)と、修正された上位ビットデータ( $m_b$ )と修正されない上位ビットデータ( $b$ )の中の一つを選択するためのマルチプレクサ(以下、MUXという)(96)と、フレーム・メモリ(91)とMUX(96)の間に接続された第1比較器(92)、第2比較器(93)及びORゲート(94)とを具備する。

【0060】

フレーム・メモリ(91)はタイミング・コントローラ(61)の上位ビット出力バスライン(97)と下位ビット出力バスライン(98)に共通に接続されてタイミング・コントローラ(61)から入力される上位ビットデータ(MSB)と下位ビットデータ(LSB)を一フレームの期間の間に格納する。そしてフレーム・メモリ(91)はフレーム毎に格納された上位ビットデータ(MSB)をルックアップテーブル(95)と第2比較器(93)に供給すると共に、下位ビットデータ(LSB)を第1比較器(92)に供給する。

【0061】

10

20

30

40

50

ルックアップテーブル(95)はタイミング・コントローラ(61)の上位ビット出力バスライン(97)から入力される現在のフレーム(Fn)の上位ビットデータ(b)とフレームメモリ(91)の上位ビット出力バスライン(101)から入力される直前のフレーム(Fn-1)の上位ビットデータ(a)の変化の有無により下の関係式1乃至3のように現在のフレーム(Fn)の上位ビットデータ(MSB)を修正する。

$$VD_n < VD_{n-1} \text{ ---> } MVD_n < VD_n \text{ -----式1}$$

$$VD_n = VD_{n-1} \text{ ---> } MVD_n = VD_n, \text{ -----式2}$$

$$VD_n > VD_{n-1} \text{ ---> } MVD_n > VD_n \text{ -----式3}$$

式1乃至式3において、VDn-1は直前のフレームのデータ電圧、VDnは現在のフレームのデータ電圧、そしてMVDnは修正データ電圧をそれぞれ表す。

10

#### 【0062】

第1比較器(92)はタイミング・コントローラ(61)の下位ビット出力バスライン(98)から入力される現在のフレーム(Fn)の下位ビットデータ(d)とフレームメモリ(91)の下位ビット出力バスライン(102)から入力される直前のフレーム(Fn-1)の下位ビットデータ(c)の間の差の値を算出する。そして第1比較器(92)は直前のフレーム(Fn-1)と現在のフレーム(Fn)の間の下位ビットデータ(c、d)の差を基準値(k)と比較する。直前のフレーム(Fn-1)と現在のフレーム(Fn)の間の下位ビットデータ(c、d)の差の値が基準値(k)より小さければ、第1比較器(92)はハイ論理「1」をORゲート(94)の第1入力端子に供給する。これとは異なり、直前のフレーム(Fn-1)と現在のフレーム(Fn)の間の下位ビットデータ(c、d)の差の値が基準値(k)以上であると、第1比較器(92)はロー論理「0」をORゲート(94)の第1入力端子に供給する。

20

#### 【0063】

第2比較器(93)はタイミング・コントローラ(61)の上位ビット出力バスライン(97)から入力される現在のフレーム(Fn)の上位ビットデータ(b)とフレームメモリ(91)の上位ビット出力バスライン(101)から入力される直前のフレーム(Fn-1)の上位ビットデータ(a)の間の差の値を算出する。そして第2比較器(93)は直前のフレーム(Fn-1)と現在のフレーム(Fn)の間の上位ビットデータ(a、b)の差を「1」と比較する。直前のフレーム(Fn-1)と現在のフレーム(Fn)の間の上位ビットデータ(a、b)の差が「1」でなければ、ハイ論理「1」をORゲート(94)の第2入力端子に供給する。これとは異なり、直前のフレーム(Fn-1)と現在のフレーム(Fn)の間の上位ビットデータ(a、b)の差の値が「1」であれば、ロー論理「0」をORゲート(94)の第2入力端子に供給する。

30

#### 【0064】

ORゲート(94)はMUX(96)と第1及び第2比較器(92、93)の間に接続されて第1及び第2比較器(92、93)の出力信号に対して論理和の演算を遂行してその結果によりMUX(96)を制御する。論理和の演算により、ORゲート(94)は上位ビットデータ(a、b)の差の値が「1」でない場合に、ハイ論理「1」を出力する。そしてORゲート(94)は上位ビットデータ(a、b)の差の値が「1」である場合に、下位ビットデータ(c、d)の変化量によりハイ論理「1」かロー論理「0」を選択する。上位ビットデータ(a、b)の差の値が「1」であり、下位ビットデータ(c、d)の差の値が基準値(k)より小さければ、ORゲート(94)は、ハイ論理「1」を出力する。これに反して、上位ビットデータ(a、b)の差の値が「1」であり、下位ビットデータ(c、d)の差の値が所定の基準値(k)以上だと、ORゲート(94)はロー論理「0」を出力する。

40

#### 【0065】

MUX(96)にはルックアップテーブル(95)により修正された上位ビットデータ(mb)とタイミング・コントローラ(61)の上位ビット出力バスライン(97)を経由して入力される上位ビットデータ即ち、修正されない上位ビットデータ(b)が入力される。このMUX(96)はORゲート(94)の出力信号により制御されて修正された

50

上位ビットデータ (mb) と修正されない上位ビットデータ (b) の中の一つを選択する。ORゲート (94) の出力信号がハイ論理「1」であれば、MUX (96) はルックアップテーブル (95) により修正された上位ビットデータ (mb) を出力する。ORゲート (94) の出力信号がロー論理「0」であれば、MUX (96) は修正されない上位ビットデータ (b) を出力する。従って、MUX (96) は上位ビットデータ (a、b) の差の値が「1」でないか、その差の値が「1」であるが下位ビットデータ (c、d) の差の値が基準値 (k) より小さい場合に修正された上位ビットデータ (mb) を出力する。そしてMUX (96) は上位ビットデータ (a、b) の差の値が「1」であり下位ビットデータ (c、d) 差の値が基準値 (k) 以上の場合に修正されない上位ビットデータ (a、b) を出力する。

10

## 【0066】

データ修正部 (62) から出力される上位ビットデータ (mb または b) と下位ビットデータ (LSB: d) は組み合わされてデータドライバ (63) に供給される。

## 【0067】

このように実際のデータ変化量に基づいてデータ修正とデータバイパスが選択されるために、ルックアップテーブルは実際のデータ変化量により図10のように修正対象データ領域と非修正対象データ領域に分けられることができる。

## 【0068】

自然なグレースケール画像を表示するために、図10で第1及び第4データ領域 (S1、S4) に含まれるデータは、関係式1乃至3に基づいて修正されるべきであり、第2及び第3データ領域 (S2、S3) は修正されずにバイパスされなければならない。

20

## 【0069】

従って、修正対象データ領域と非修正対象データ領域の判断仮定が必要である。

## 【0070】

図11は本発明の第2実施例によるデータ修正部 (62) の制御手順を表す。

図11において、図10のルックアップテーブルを参照してデータ修正部 (62) の制御手順を説明する。

## 【0071】

図11に示すように、データ修正部 (62) は直前のフレーム (Fn-1) の上位ビットデータ (a) から現在のフレーム (Fn) の上位ビットデータ (b) を減算する。続いて、直前のフレーム (Fn-1) の上位ビットデータ (a) から現在のフレーム (Fn) の上位ビットデータ (b) を減算した値が「1」であるか否かを判断する (S111段階)。

30

## 【0072】

S111段階で、直前のフレーム (Fn-1) の上位ビットデータ (a) から現在のフレーム (Fn) の上位ビットデータ (b) を減算した値が「1」である場合には、現在のフレーム (Fn) の下位ビットデータ (d) から直前のフレーム (Fn-1) の下位ビットデータ (c) を減算した値が基準値 (k) より大きいかなんかを判断する (S112段階)。即ち、S111段階で現在のフレーム (Fn) に入力されるデータが、直前のフレーム (Fn-1) より小さい第1及び第2データ領域 (S1、S2) にあると判断されると、データ修正部 (62) はS112段階を遂行する。

40

## 【0073】

S112段階で、現在のフレーム (Fn) の下位ビットデータ (d) から直前のフレーム (Fn-1) の下位ビットデータ (c) を減算した値が基準値 (k) 以下であると判断されると、データ修正部 (62) はルックアップテーブルを利用して現在入力されるデータを修正する (S113段階)。即ち、S112段階は現在のフレーム (Fn) で入力されるデータが直前のフレーム (Fn-1) で入力されたデータより小さく、現在のフレーム (Fn) の下位ビットデータ (d) から直前のフレーム (Fn-1) の下位ビットデータ (c) を減算した値が基準値 (k) 以下であるルックアップテーブルの第1データ領域 (S1) に含まれるかなんかを判断する。

50

## 【0074】

S112段階で、現在のフレーム(F<sub>n</sub>)の下位ビットデータ(d)から直前のフレーム(F<sub>n-1</sub>)の下位ビットデータ(c)を減算した値が基準値(k)より大きいと判断されると、データ修正部(62)はルックアップテーブルを利用して現在入力されるデータを修正せずに出力ラインにバイパスさせる(S114段階)。即ち、データ修正部(62)はS112段階で現在のフレーム(F<sub>n</sub>)に入力されるデータが直前のフレームで入力されたデータより小さく、基準値(k)より大きいルックアップテーブルの第1データ領域(S1)に含まれる場合には、現在入力されるデータをバイパスさせる。

## 【0075】

S111段階で、直前のフレーム(F<sub>n-1</sub>)の上位ビットデータ(a)から現在のフレーム(F<sub>n</sub>)の上位ビットデータ(b)を減算した値が「1」でない場合、即ち、現在入力されるデータが直前のフレーム(F<sub>n-1</sub>)のデータより小さくない場合に、データ修正部(62)はS115段階を遂行する。

10

## 【0076】

S115段階で、データ修正部(62)は現在のフレーム(F<sub>n</sub>)の上位ビットデータ(b)から直前のフレーム(F<sub>n-1</sub>)の上位ビットデータ(a)を減算する。続いて、現在のフレーム(F<sub>n</sub>)の上位ビットデータ(b)から直前のフレーム(F<sub>n-1</sub>)の上位ビットデータ(a)を減算した値が「1」であるか否かを判断する。

## 【0077】

S115段階で、直前のフレーム(F<sub>n-1</sub>)の上位ビットデータ(a)を現在のフレーム(F<sub>n</sub>)の上位ビットデータ(b)から減算した値が「1」である場合には、直前のフレーム(F<sub>n-1</sub>)の下位ビットデータ(c)から現在のフレーム(F<sub>n</sub>)の下位ビットデータ(d)を減算した値が基準値(k)より大きいと否かを判断する。(S116段階)即ち、S115段階で現在のフレーム(F<sub>n</sub>)に入力されるデータが直前のフレーム(F<sub>n-1</sub>)より大きい第3及び第4データ領域(S3、S4)にあると判断されると、データ修正部(62)はS116段階を遂行する。

20

## 【0078】

S115段階で、直前のフレーム(F<sub>n-1</sub>)の上位ビットデータ(a)を現在のフレーム(F<sub>n</sub>)の上位ビットデータ(b)から減算した値が「1」と異なる場合にもデータ修正部(62)はS117段階に分岐する。

30

## 【0079】

S116段階で、直前のフレーム(F<sub>n-1</sub>)の下位ビットデータ(c)から現在のフレーム(F<sub>n</sub>)の下位ビットデータ(d)を減算した値が基準値(k)より大きいと判断されると、データ修正部(62)はルックアップテーブルを利用して現在入力されるデータを修正せずに出力ラインにバイパスさせる(S114段階)。即ち、S116段階は現在のフレーム(F<sub>n</sub>)で入力されるデータが直前のフレーム(F<sub>n-1</sub>)で入力されたデータより大きく、基準値(k)より大きいルックアップテーブルの第3データ領域(S3)に含まれたか否かを判断する。

## 【0080】

S116段階で、直前のフレーム(F<sub>n-1</sub>)の下位ビットデータ(c)から現在のフレーム(F<sub>n</sub>)の下位ビットデータ(d)を減算した値が基準値(k)以下であると判断されると、データ修正部(62)はルックアップテーブルを利用して現在入力されるデータを修正する(S117段階)。即ち、データ修正部(62)はS116段階で現在のフレーム(F<sub>n</sub>)で入力されるデータが直前のフレームで入力されたデータより大きく、基準値(k)以下であるルックアップテーブルの第4データ領域(S4)に含まれる場合に、現在入力されるデータを修正する。

40

## 【0081】

図12に示すように、本発明の第2実施例によるデータ修正部(62)はタイミング・コントローラ(61)からデータ(RGB data)が入力されるフレーム・メモリ(121)と、上位ビットデータ(MSB)を修正するためのルックアップ・テーブル(129

50

)と、修正された上位ビットデータ (mb) と修正されない上位ビットデータ (b) の内のいずれか1つを選択するためのMUX (130) と、フレーム・メモリ (121) とMUX (130) の間に接続された第1乃至第4比較器 (122乃至125)、第1及び第2ANDゲート (126 - 127) 及びORゲート (128) とを具備する。

【0082】

フレーム・メモリ (121) はタイミング・コントローラ (61) の上位ビット出力バスライン (132) と下位ビット出力バスライン (131) に共通に接続されてタイミング・コントローラ (61) から入力される上位ビットデータ (MSB) と下位ビットデータ (LSB) を1フレームの期間の間だけ格納する。フレーム・メモリ (121) はフレーム毎に格納された上位ビットデータ (MSB) をルックアップテーブル (129) と第1及び第3比較器 (122 - 124) に供給すると共に、下位ビットデータ (LSB) を第2及び第4比較器 (123 - 125) に供給する。

10

【0083】

ルックアップテーブル (129) はタイミング・コントローラ (61) の上位ビット出力バスライン (132) から入力される現在のフレーム (Fn) の上位ビットデータ (b) とフレームメモリ (121) の上位ビット出力バスライン (134) から入力される直前のフレーム (Fn - 1) の上位ビットデータ (a) の変化の有無により関係式1乃至3のように現在のフレーム (Fn) の上位ビットデータ (MSB) を修正する。

【0084】

第1比較器 (122) にはフレーム・メモリ (121) の上位ビット出力バスライン (134) から直前のフレーム (Fn - 1) の上位ビットデータ (a) が入力されると同時に、タイミング・コントローラ (61) の上位ビット出力バスライン (132) から現在のフレーム (Fn) の上位ビットデータ (b) が入力される。この第1比較器 (122) は直前のフレーム (Fn - 1) の上位ビットデータ (a) から現在のフレーム (Fn) の上位ビットデータ (b) を減算した値を算出して、その算出された値を「1」と比較する。直前のフレーム (Fn - 1) の上位ビットデータ (a) から現在のフレーム (Fn) の上位ビットデータ (b) を減算した値が「1」であれば、第1比較器 (122) はハイ論理「1」を第1ANDゲート (126) の第1入力端子に供給する。これとは異なり、直前のフレーム (Fn - 1) の上位ビットデータ (a) から現在のフレーム (Fn) の上位ビットデータ (b) を減算した値が「1」と異なると、第1比較器 (122) はロー論理「0」を第1ANDゲート (126) の第1入力端子に供給する。

20

30

【0085】

第2比較器 (123) にはフレーム・メモリ (121) の下位ビット出力バスライン (133) から直前のフレーム (Fn - 1) の下位ビットデータ (c) が入力されると同時に、タイミング・コントローラ (61) の下位ビット出力バスライン (131) から現在のフレーム (Fn) の下位ビットデータ (d) が入力される。この第2比較器 (123) は現在のフレーム (Fn) の下位ビットデータ (d) から直前のフレーム (Fn - 1) の下位ビットデータ (c) を減算した値を算出して、その算出された値と比較する。現在のフレーム (Fn) の下位ビットデータ (d) から直前のフレーム (Fn - 1) の下位ビットデータ (c) を減算した値が基準値 (k) より大きいと、第2比較器 (123) はハイ論理「1」を第1ANDゲート (126) の第2入力端子に供給する。これとは異なり、現在のフレーム (Fn) の下位ビットデータ (d) から直前のフレーム (Fn - 1) の下位ビットデータ (c) を減算した値が基準値 (k) 以下であれば、第2比較器 (123) はロー論理「0」を第1ANDゲート (126) の第2入力端子に供給する。

40

【0086】

第1ANDゲート (126) は第1及び第2比較器 (122 - 123) から入力される2つの信号の論理和を演算する。第1及び第2比較器 (122 - 123) の出力信号がすべてハイ論理「1」であれば即ち、現在入力されるデータがルックアップテーブルの第2領域 (S2) に含まれると判断されると、第1ANDゲート (126) はハイ論理「1」の出力信号を発生する。第1比較器 (122) の出力信号がロー論理「0」であれば、第

50

1 ANDゲート(126)は第2比較器(123)の出力信号の論理値と無関係にロー論理「0」の出力信号を発生する。また、第1比較器(122)の出力信号がハイ論理「1」であり第2比較器(123)の出力信号がロー論理「0」である場合に即ち、現在入力されるデータがルックアップテーブルの第1データ領域(S1)に含まれると判断されると、第1ANDゲート(126)はロー論理「0」の出力信号を発生する。

【0087】

第3比較器(124)にはフレーム・メモリ(121)の上位ビット出力バスライン(134)から直前のフレーム(F<sub>n-1</sub>)の下位ビットデータ(a)が入力されると同時に、タイミング・コントローラ(61)の上位ビット出力バスライン(132)から現在のフレーム(F<sub>n</sub>)の上位ビットデータ(b)が入力される。この第3比較器(124)は現在のフレーム(F<sub>n</sub>)の上位ビットデータ(b)から直前のフレーム(F<sub>n-1</sub>)の上位ビットデータ(a)を減算した値を算出して、その算出された値を「1」と比較する。現在のフレーム(F<sub>n</sub>)の上位ビットデータ(b)から直前のフレーム(F<sub>n-1</sub>)の上位ビットデータ(a)を減算した値が「1」であれば、第3比較器(124)はハイ論理「1」を第2ANDゲート(127)の第1入力端子に供給する。これとは異なり、現在のフレーム(F<sub>n</sub>)の上位ビットデータ(b)から直前のフレーム(F<sub>n-1</sub>)の上位ビットデータ(a)を減算した値が「1」と異なると、第3比較器(124)はロー論理「0」を第2ANDゲート(127)の第1入力端子に供給する。

10

【0088】

第4比較器(125)にはフレーム・メモリ(121)の下位ビット出力バスライン(133)から直前のフレーム(F<sub>n-1</sub>)の下位ビットデータ(c)が入力されると同時に、タイミング・コントローラ(61)の下位ビット出力バスライン(131)から現在のフレーム(F<sub>n</sub>)の下位ビットデータ(d)が入力される。この第4比較器(125)は直前のフレーム(F<sub>n-1</sub>)の下位ビットデータ(c)から現在のフレーム(F<sub>n</sub>)の下位ビットデータ(d)を減算した値を算出して、その算出された値と比較する。直前のフレーム(F<sub>n-1</sub>)の下位ビットデータ(c)から現在のフレーム(F<sub>n</sub>)の下位ビットデータ(d)を減算した値が基準値(k)より大きいと、第4比較器(125)はハイ論理「1」を第2ANDゲート(127)の第2入力端子に供給する。これとは異なり、直前のフレーム(F<sub>n-1</sub>)の下位ビットデータ(c)から現在のフレーム(F<sub>n</sub>)の下位ビットデータ(d)を減算した値が基準値(k)以下であれば、第4比較器(125)はロー論理「0」を第2ANDゲート(127)の第2入力端子に供給する。

20

30

【0089】

第2ANDゲート(127)は第3及び第4比較器(124-125)から入力される2つの信号の論理和を演算する。第3及び第4比較器(124-125)の出力信号がすべてハイ論理「1」であれば即ち、現在入力されるデータがルックアップテーブルの第3領域(S3)に含まれると判断されると、第2ANDゲート(127)はハイ論理「1」の出力信号を発生する。第3比較器(124)の出力信号がロー論理「0」であれば、第2ANDゲート(127)は第4比較器(125)の出力信号の論理値と無関係にロー論理「0」の出力信号を発生する。また、第3比較器(124)の出力信号がハイ論理「1」であり第4比較器(125)の出力信号がロー論理「0」である場合に即ち、現在入力されるデータがルックアップテーブルの第4データ領域(S4)に含まれると判断されると、第2ANDゲート(127)はロー論理「0」の出力信号を発生する。

40

【0090】

ORゲート(128)にはMUX(130)と第1及び第2ANDゲート(126-127)の間に接続されて第1及び第2ANDゲート(126-127)の出力信号に対して論理和の演算を遂行してその結果値によりMUX(130)を制御する。論理和の演算により、ORゲート(128)は第1及び第2ANDゲート(126-127)の出力信号の中に少なくともいずれか1つの論理値がハイ論理「1」である場合にハイ論理「1」の出力信号を発生する。換言すれば、ORゲート(128)は現在入力されるルックアップテーブルの第2データ領域(S2)か第3データ領域(S3)に含まれる場合にハイ論

50

理「1」の出力信号を発生する。第1及び第2 ANDゲート(126 - 127)の出力信号すべてがロー論理「0」である場合に即ち、現在入力されるデータがルックアップテーブルの第1データ領域(S1)か第4データ領域(S4)に含まれる場合に、ORゲート(128)はロー論理「0」の出力信号を発生する。

【0091】

MUX(130)にはルックアップテーブル(129)により修正された上位ビットデータ(mb)とタイミング・コントローラ(61)の上位ビット出力バスライン(132)を經由して入力される上位ビットデータ(MSB)即ち、修正されない上位ビットデータ(b)が入力される。このMUX(130)はORゲート(128)の出力信号により制御されて修正された上位ビットデータ(mb)と修正されない上位ビットデータ(b)を選択する。ORゲート(128)の出力信号がハイ論理「1」であれば、MUX(130)は修正されない上位ビットデータ(b)を出力する。ORゲート(128)の出力信号がロー論理「0」であれば、MUX(130)はルックアップテーブル(129)により修正された上位ビットデータ(mb)を出力する。従って、MUX(130)は現在入力されるデータがルックアップテーブルの第2及び第3データ領域(S2、S3)に含まれると判断されると、修正されない上位ビットデータ(b)を選択し、現在入力されるデータがルックアップテーブルの第1及び第4データ領域(S1、S4)に含まれると判断されると、修正された上位ビットデータ(mb)を選択する。

10

【0092】

このようにMUX(130)により選択された上位ビットデータ(bまたはmb)はタイミング・コントローラ(61)の下位ビット出力バスライン(131)を經由してバイパスされた下位ビットデータ(LSB:d)と組み合わせられてデータドライバ(63)に供給される。

20

【0093】

本発明の液晶表示装置の色修正方法及び装置は実施例でルックアップテーブルの大きさを小さくするために上位ビットデータ(MSB)の修正だけを修正対象に選択した。ルックアップテーブルの大きさがやや大きくなるが、上位ビットデータ(MSB)と下位ビットデータ(LSB)すべてを修正することができるのは勿論である。

【0094】

【発明の効果】

30

上述のように、本発明による液晶表示装置の駆動方法及び装置は直前のフレームと現在のフレームで上位ビットデータと下位ビットデータそれぞれの変化量を考慮してデータの修正の要否を決定することで画質低下を防ぐことができる。更に、本発明による液晶表示装置の駆動方法及び装置は現在入力されるデータが修正対象であるかどうかを正確に判断して修正の要否を決定する。

【0095】

以上説明した内容を通して当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることが分かる。例えば、図6に図示されたデータ修正部はタイミング・コントローラの前段に設置されてタイミング・コントローラに入力されるデータを修正することもできる。また、データ修正部はルックアップテーブル以外にもプログラムとこれを実行するためのマイクロプロセッサのように異なる形態で具現することもできる。従って、本発明の技術的な範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。

40

【図面の簡単な説明】

【図1】 図1は通常の液晶表示装置においてデータによる輝度変化を表す波形図である。

【図2】 図2は従来的高速駆動方法においてデータ修正による輝度変化の一例を表す波形図である。

【図3】 図3は従来的高速の駆動装置を表すブロック図である。

【図4】 図4は従来的高速の駆動装置において上位ビットデータの修正を表す図面であ

50

る。

【図 5】 図 5 は従来の高速の駆動装置において過度なデータ修正を表す図面である。

【図 6】 図 6 は本発明の実施例による液晶表示装置の駆動装置を表すブロック図である。

【図 7】 図 7 は図 6 に図示されたデータ修正部に入力されるデータを表す図面である。

【図 8】 図 8 は本発明の第 1 実施例によるデータ修正部の制御手順を段階的に表す流れ図である。

【図 9】 図 9 は本発明の第 1 実施例によるデータ修正部を詳細に表すブロック図である。

【図 10】 図 10 は本発明の実施例による液晶表示装置の駆動方法及び装置のルックアップテーブルにおいて修正対象のデータ領域と非修正対象のデータ領域を表す図面である。

10

【図 11】 図 11 は本発明の第 2 実施例によるデータ修正部の第 2 実施例による制御手順を段階的に表す流れ図である。

【図 12】 図 12 は本発明の第 2 実施例によるデータ修正部を詳細に表すブロック図である。

【符号の説明】

3 2、9 7、1 3 2、1 3 4：上位ビット出力バスライン

3 3、9 1、1 2 1：フレーム・メモリ

3 4、9 5、1 2 9：ルックアップ・テーブル

20

6 1：タイミング・コントローラ

6 2：データ修正部

6 3：データドライバ

6 4：ゲートドライバ

6 5：データライン

6 6：ゲートライン

6 7：液晶パネル

9 2、1 2 2：第 1 比較器

9 3、1 2 3：第 2 比較器

9 4、1 2 8、1 3 1、1 3 3：下位ビット出力バスライン

30

9 6、1 3 0：M U X

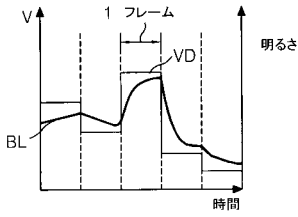
1 2 4：第 3 比較器

1 2 5：第 4 比較器

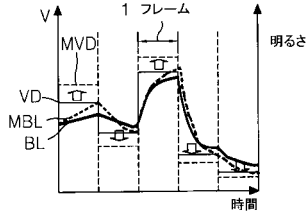
1 2 6：第 1 A N D ゲート

1 2 7：第 2 A N D ゲート

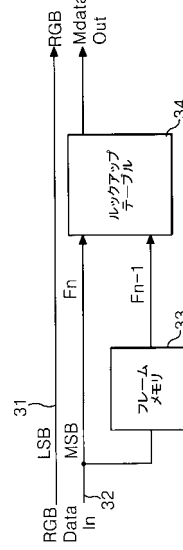
【図1】



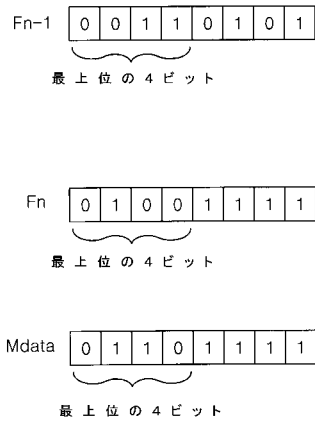
【図2】



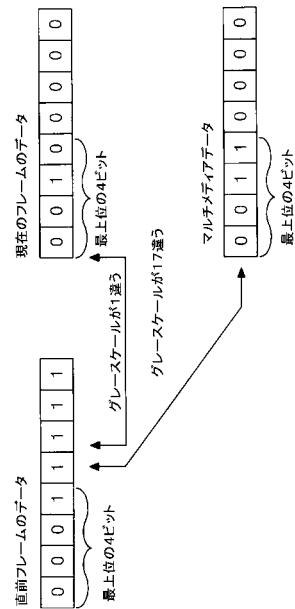
【図3】



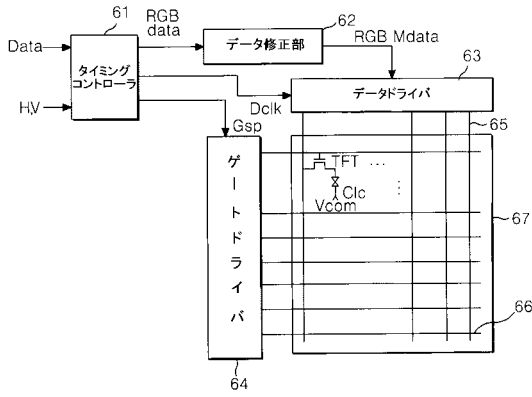
【図4】



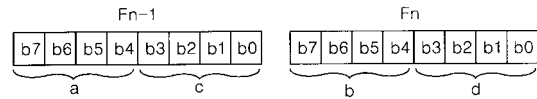
【図5】



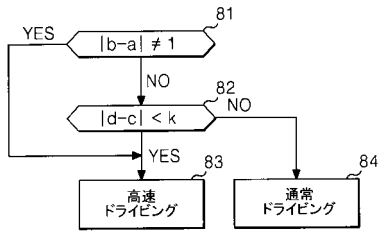
【図6】



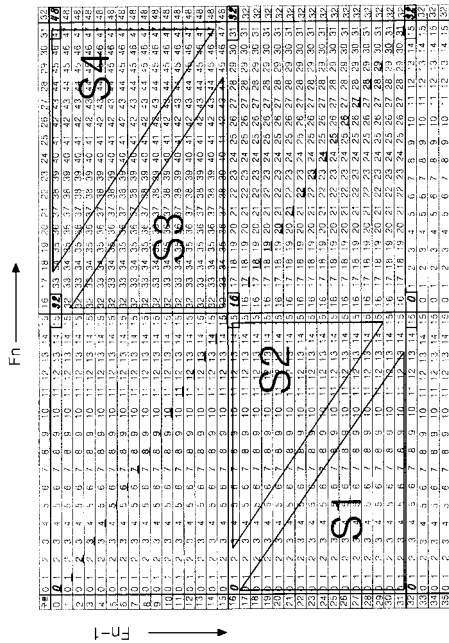
【図7】



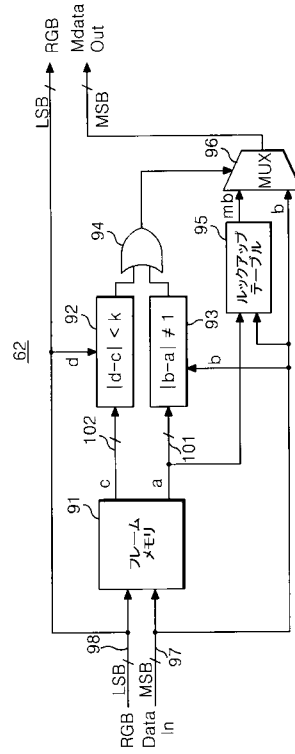
【図8】



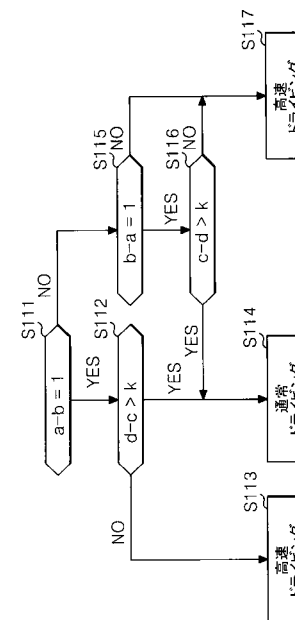
【図10】



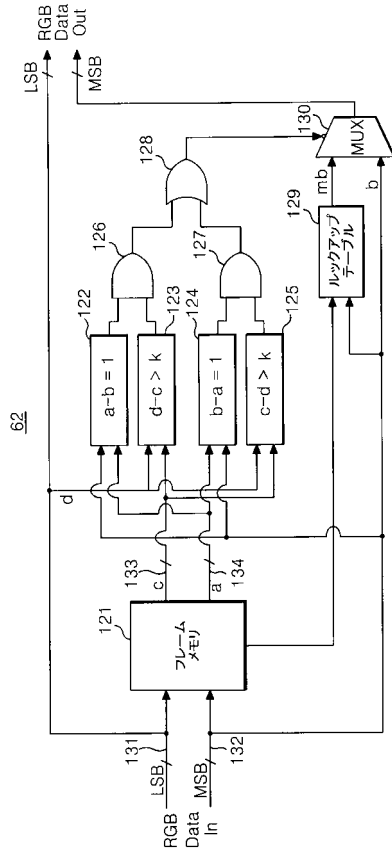
【図9】



【図11】



【 図 1 2 】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 6 0 V

(56)参考文献 特開2003-36055(JP,A)  
特開2002-297104(JP,A)  
特開2002-189458(JP,A)  
特開2001-265298(JP,A)  
特開平11-126050(JP,A)  
特開平8-179734(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G09G 3/20-3/38

专利名称(译)	用于驱动液晶显示装置的方法和设备		
公开(公告)号	<a href="#">JP4590147B2</a>	公开(公告)日	2010-12-01
申请号	JP2002123680	申请日	2002-04-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ハムヨンスン		
发明人	ハム, ヨン スン		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3611 G09G3/3648 G09G2320/0252 G09G2340/16		
FI分类号	G09G3/36 G09G3/20.612.U G09G3/20.621.F G09G3/20.631.V G09G3/20.641.P G09G3/20.660.V G02F1/133.550 G09G3/20.642.A		
F-TERM分类号	2H093/NA16 2H093/NA52 2H093/NC13 2H093/NC14 2H093/NC29 2H093/NC34 2H093/NC65 2H093/ND04 2H093/ND06 2H093/ND58 2H193/ZA04 2H193/ZD22 2H193/ZH40 5C006/AA01 5C006/AF13 5C006/AF44 5C006/AF45 5C006/AF46 5C006/BB16 5C006/BC16 5C006/BF07 5C006/BF14 5C006/BF28 5C006/FA14 5C006/FA24 5C006/FA25 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/EE19 5C080/EE28 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ06 5C080/JJ07		
审查员(译)	小川博		
优先权	1020010032410 2001-06-11 KR 1020010054327 2001-09-05 KR		
其他公开文献	JP2003036064A		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明涉及一种用于驱动液晶显示装置的方法和装置，该方法和装置可防止图像质量下降。根据本发明的用于驱动液晶显示装置的方法和装置是用于驱动液晶显示装置的方法和装置，包括步骤：将比较结果与高位数据的第一参考值和低位数据和第二参考值的比较结果进行比较；决定是否修改。

区分	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	2	3	4	5	6	7	8	10	12	13	14	15	15	15	15
1	0	1	3	4	5	6	7	8	10	12	13	14	15	15	15	15
2	0	0	2	4	5	6	7	8	10	12	13	14	15	15	15	15
3	0	0	1	3	5	6	7	8	10	11	13	14	15	15	15	15
4	0	0	1	3	4	6	7	8	9	11	12	13	14	15	15	15
5	0	0	1	2	3	5	7	8	9	11	12	13	14	15	15	15
6	0	0	1	2	3	4	6	8	9	10	12	13	14	15	15	15
7	0	0	1	2	3	4	5	7	8	10	11	13	14	15	15	15
8	0	0	1	2	3	4	5	6	8	10	11	12	14	15	15	15
9	0	0	1	2	3	4	5	6	7	9	11	12	13	14	15	15
10	0	0	1	2	3	4	5	6	7	8	10	12	13	14	15	15
11	0	0	1	2	3	4	5	6	7	8	9	11	13	14	15	15
12	0	0	1	2	3	4	5	6	7	8	9	10	12	14	15	15
13	0	0	1	2	3	3	4	5	6	7	8	10	11	13	15	15
14	0	0	1	2	3	3	4	5	6	7	8	9	11	12	14	15
15	0	0	0	1	2	3	3	4	5	6	7	8	9	11	13	15