

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4523348号
(P4523348)

(45) 発行日 平成22年8月11日 (2010. 8. 11)

(24) 登録日 平成22年6月4日 (2010. 6. 4)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 6 (2006. 01)

G 0 2 F 1 / 1 3 3 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

G 0 9 G 3 / 3 6

G 0 2 F 1 / 1 3 3 5 5 0

G 0 2 F 1 / 1 3 3 5 7 0

G 0 9 G 3 / 2 0 6 2 1 F

G 0 9 G 3 / 2 0 6 3 1 B

請求項の数 8 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2004-199436 (P2004-199436)
 (22) 出願日 平成16年7月6日 (2004. 7. 6)
 (65) 公開番号 特開2006-23379 (P2006-23379A)
 (43) 公開日 平成18年1月26日 (2006. 1. 26)
 審査請求日 平成18年11月20日 (2006. 11. 20)

(73) 特許権者 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100093506
 弁理士 小野寺 洋二
 (72) 発明者 萬場 則夫
 神奈川県川崎市麻生区王禅寺1099番地
 株式会社 日立製作
 所 システム開発研究所内
 (72) 発明者 庄司 孝志
 神奈川県横浜市戸塚区吉田町292番地
 株式会社 日立アド
 バンストデジタル内

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

複数本の走査線と複数本の信号線との交差部に配置された複数の画素を有する表示部と、
 前記走査線に走査信号を印加する走査線駆動回路と、
 前記信号線に表示電圧を印加する信号駆動回路とを有する表示装置において、
 前記信号駆動回路は、
 前記表示部に対応した映像信号を記憶するメモリと、
 外部からの入力映像信号を異なるフォーマットの映像信号に変換する信号変換回路と、
 前記信号変換回路により変換された映像信号と前記メモリに記憶されていた映像信号と
 から補正レベル量を求め、前記補正レベル量と変換された映像信号とを出力する補正レ
 ベル演算回路と、
 前記補正レベル量に基づいて前記変換された映像信号に補正処理を行う補正処理回路と
 前記補正処理回路により処理された映像信号を表示電圧に変換するためのフォーマット
 に再変換するための信号再変換回路とを備え、
 前記メモリは、前記補正レベル量と前記変換された映像信号とを記憶し、
 前記表示部の表示を行う場合は、前記メモリから前記補正レベル量と前記変換された映
 像信号とを読み出し、
 前記補正処理回路は、前記補正レベル量に応じて前記変換された映像信号に対し処理を

10

20

行うことを特徴とする表示装置。

【請求項 2】

複数本の走査線と複数本の信号線との交差部に配置された複数の画素を有する表示部と、

前記走査線に走査信号を印加する走査線駆動回路と、

前記信号線に表示電圧を印加する信号駆動回路とを有する表示装置において、

前記信号駆動回路は、

前記表示部に対応した映像信号を記憶するメモリと、

外部からの入力映像信号を異なるフォーマットの映像信号に変換する信号変換回路と、

前記信号変換回路により変換された映像信号と前記メモリに記憶されていた映像信号とから補正レベル量を求め、前記補正レベル量と変換された映像信号とを出力する補正レベル演算回路と、

前記補正レベル量に基づいて前記変換された映像信号に補正処理を行う補正処理回路と、

前記補正処理回路により処理された映像信号を表示電圧に変換するためのフォーマットに再変換するための信号再変換回路と、

前記入力映像信号と、前記補正レベル演算回路が出力する補正レベル量及び映像信号とのどちらかを選択して出力する第 1 のマルチプレクサ回路と、

前記メモリから読出した映像信号と前記信号再変換回路が出力する映像信号とのどちらかを選択して出力する第 2 のマルチプレクサ回路とを備え、

前記第 1 のマルチプレクサ回路が、前記入力映像信号を選択し、かつ前記第 2 のマルチプレクサ回路が、前記メモリから読出した映像信号を選択する場合には、

前記メモリに前記入力映像信号を記憶し、

前記メモリから読み出した映像信号を前記表示部に表示し、

一方、前記第 1 のマルチプレクサ回路が、前記補正レベル演算回路が出力する映像信号を選択し、かつ前記第 2 のマルチプレクサ回路が、前記信号再変換回路が出力する映像信号を選択する場合には、

前記メモリは、前記補正レベル演算回路が出力する補正レベル量と映像信号とを記憶し、

前記メモリから前記補正レベル量と前記映像信号とを読み出し、

前記補正処理回路は、読み出した補正レベル量に応じて読み出した映像信号に対し処理を行って前記表示部への出力信号とすることを特徴とする表示装置。

【請求項 3】

複数本の走査線と複数本の信号線との交差部に配置された複数の画素を有する表示部と、

前記走査線に走査信号を印加する走査線駆動回路と、

前記信号線に表示電圧を印加する信号駆動回路とを有する表示装置において、

前記信号駆動回路は、

前記表示部に対応した映像信号を記憶するメモリと、

外部からの入力映像信号と前記メモリに記憶されていた映像信号とから補正レベル量を求め、前記補正レベル量と前記入力映像信号を出力する補正レベル演算回路と、

前記補正レベル量を記憶する補正レベル記憶手段と、

前記補正レベル量に基づいて映像信号に補正処理を行う補正処理回路とを備え、

前記メモリは、前記入力映像信号を記憶し、

前記補正レベル記憶手段は、前記補正レベル量を記憶し、

前記表示部の表示を行う場合は、前記メモリから映像信号を読み出し、前記補正レベル記憶手段から補正レベル量を読み出し、

前記補正処理回路は、読み出した補正レベル量に応じて読み出した映像信号に対し処理を行うことを特徴とする表示装置。

【請求項 4】

複数本の走査線と複数本の信号線との交差部に配置された複数の画素を有する表示部と、
、
前記走査線に走査信号を印加する走査線駆動回路と、
前記信号線に表示電圧を印加する信号駆動回路とを有する表示装置において、
前記信号駆動回路は、
前記表示部に対応した映像信号を記憶するメモリと、
前記メモリから読み出した映像信号を入力映像信号のフォーマットに変換する信号再変換回路と、
前記信号再変換回路からの映像信号と入力映像信号とにより補正レベル量を求め、前記補正レベル量と共に入力映像信号を出力する補正レベル演算回路と、
前記補正レベル演算回路の出力する映像信号を異なるフォーマットに変換する信号変換回路と、
前記補正レベル量に応じて入力される映像信号に対して補正処理を行う補正処理回路と、
、
前記入力映像信号と、前記補正レベル演算回路が出力する補正レベル量及び前記信号変換回路の出力する映像信号とのどちらかを選択して出力する第1のマルチプレクサ回路と、
、
前記メモリから読み出した映像信号と前記補正処理回路が出力する映像信号とのどちらかを選択して出力する第2のマルチプレクサ回路とを備え、
前記第1のマルチプレクサ回路が、前記入力映像信号を選択し、かつ前記第2のマルチプレクサ回路が、前記メモリから読出した映像信号を選択する場合には、
前記メモリに前記入力映像信号を記憶し、
前記メモリから読み出した映像信号を前記表示部に表示し、
一方、前記第1のマルチプレクサ回路が、前記補正レベル量と前記信号変換回路の出力である映像信号を選択し、かつ前記第2のマルチプレクサ回路が、前記補正処理回路の出力する映像信号を選択する場合には、
前記メモリは、前記補正レベル量と前記信号変換回路の出力である映像信号とを記憶し、
、
前記メモリから補正レベル量と映像信号とを読み出し、
前記補正処理回路は、読み出した補正レベル量に応じて読み出した映像信号に対し処理を行って前記表示部への出力信号とすることを特徴とする表示装置。

10

20

30

【請求項5】

前記入力映像信号がRGBの映像信号の場合に、
前記信号変換回路は、RGBの映像信号を輝度信号Yと色差信号UとVに変換するRGB-YUV変換回路であり、
前記信号再変換回路は、YUVの映像信号をRGBの映像信号に変換するYUV-RGB変換回路であり、
前記RGB-YUV変換回路は、圧縮された色差信号UとVを出力することで、YUVの映像信号のデータ量を少なくすることを特徴とする請求項1、2又は請求項4に記載の表示装置。

40

【請求項6】

前記入力映像信号がYUVの映像信号の場合に、
前記補正処理回路により処理された映像信号を表示電圧に変換するためのフォーマットに再変換するための信号再変換回路を設け、
前記YUVの映像信号をRGBの映像信号に変換することを特徴とする請求項3に記載の表示装置。

【請求項7】

前記表示部の他にもう一つ補助表示部を有し、
前記信号駆動回路は、前記表示部と前記補助表示部の両方を駆動し、
前記補正レベル記憶手段は、前記信号駆動回路が、両方を駆動する場合には、前記補助

50

表示部で表示する映像信号を記憶し、前記表示部のみを駆動する場合には、前記表示部で表示する映像信号の補正レベル量を記憶することを特徴とする請求項 3 に記載の表示装置。

【請求項 8】

前記補正処理回路での補正処理は液晶の応答速度を改善するための補正処理であることを特徴とする請求項 1 から請求項 4 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリを備えた信号駆動回路を用いて、画素を駆動する表示装置及び駆動方法に関するもので、特に、動画表示性能を向上するために、液晶の応答速度を高速化する液晶表示装置及びその駆動方法に関する。

10

【背景技術】

【0002】

液晶表示装置は液晶の応答速度が遅いために、動画を表示すると尾引きや動画ぼやけが発生し画質が劣化する。動画表示時の尾引きや動画ぼやけを解消して画質を向上するために液晶の応答速度を高速化する液晶表示装置として、下記特許文献 1 に記載の液晶表示装置がある。

【0003】

この液晶表示装置は、外部の表示信号源から液晶表示装置のフレーム周期に同期してフレーム画像が順次転送される場合に、1 枚のフレーム画像信号を記憶するフレームメモリと、このフレームメモリに記憶された画像信号と外部から入力されるフレーム画像信号との時間的变化を検出する手段を備え、検出した変化量によりフィルタ特性を変更可能な適応型フィルタ回路を用いて、入力されるフレーム画像データを応答速度が速くなるように補正する。

20

【0004】

近年、携帯電話を代表とするモバイル機器でも、テレビ放送受信が可能になるなど、動画表示を行う機会が増えている。そのため、携帯電話用の小型の液晶表示装置にも動画性能の向上が要求されている。

【0005】

30

携帯電話に用いられる液晶表示装置の信号駆動回路には、映像信号転送による電力消費を削減するために、少なくとも 1 枚のフレーム画像信号を記憶することができるフレームメモリを内蔵した信号駆動回路が用いられている。

【0006】

液晶表示装置の制御を行う信号源（CPU 等）は、映像信号の切り替わり時に 1 枚のフレーム映像信号全てを転送するのではなく、変化のある画素の映像信号だけを信号駆動回路に転送してフレームメモリ内の画像信号を変更する。信号駆動回路は液晶表示装置のフレーム周波数に従ってフレームメモリからフレーム映像信号を読み出して表示を行う。

【0007】

一般的に、CPU が液晶表示装置に転送する映像信号のフレームレートは、液晶駆動のフレーム周波数（例えば 60 Hz）に比べて小さいために、液晶表示装置は信号駆動回路のフレームメモリに記憶されたフレーム画像が数回表示されることになる。ここで、携帯電話向け液晶表示装置の動画表示の画質を向上させるためには、前述した駆動を映像信号が切り替わった最初のフレームのみに対して行う必要がある。

40

【0008】

また、下記特許文献 2 には、動画や TV 映像等の映像データを補正するために、入力される RGB 信号を輝度色差信号に変換する信号変換手段と、1 フレーム毎に輝度信号の特徴を抽出するフレーム特徴抽出手段と、輝度信号と色差信号とを補正する信号補正手段と、信号補正手段から出力される輝度色差信号を RGB 信号に変換する信号変換手段とを備えた画質補正装置によって、1 フレーム前のフレーム特徴や輝度色差信号の値によって、

50

輝度信号や色差信号を補正して、階調特性を向上する液晶表示装置が記載されている。

【0009】

【特許文献1】特許第3167351号

【特許文献2】特開2002-132225号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、現在の携帯電話向け液晶表示装置のシステムでは、1フレームの画像信号(静止画)を記憶するフレームメモリしか内蔵されていないため、このフレームメモリは、入力されてくる1フレームの映像信号(動画)は記憶できても、入力されてくる映像信号とフレームメモリに記憶されている映像信号との変化量(差分量又は液晶のオーバードライブ量)を記憶する領域がない。

10

【0011】

そこで、入力映像信号とフレームメモリに記憶されている映像信号との変化量に基づいてフィルタ処理により補正(オーバードライブ)した映像信号をフレームメモリに記憶してしまうと、入力映像信号のフレーム周期よりも早い周期で補正された映像信号を表示する場合には、入力映像信号の表示切り替わり時点以外の早いフレーム周期での表示にも補正された映像信号を繰り返し表示することになり、その結果、補正量(オーバードライブ量)が過剰となり、本来の映像とは異なった映像が表示され画質が劣化してしまう。

【0012】

20

本発明の目的は、メモリを内蔵しCPU等で制御される信号駆動回路を備えた表示装置において、動画表示時の画質を向上させることが可能な表示装置を提供することである。

【課題を解決するための手段】

【0013】

本発明は、複数本の走査線と前記走査線と交差する複数本の信号線とその交差部に対応して配置された画素を有する表示部と、前記走査線に走査信号を印加する走査線駆動回路と、前記走査信号により選択電圧が印加された走査線に接続される画素に対応する表示電圧を前記信号線に印加する信号駆動回路と、前記表示部と前記走査線駆動回路と前記信号駆動回路に対して各種電圧を供給するための電源回路を有する表示装置において、前記信号駆動回路は前記表示部に対応した映像信号を記憶することのできるメモリと、外部信号源からの入力映像信号を異なるフォーマットの映像信号に変換する信号変換手段と、前記信号変換手段により変換された映像信号と前記外部信号源からの入力映像信号が入力される前にメモリに記憶されていた映像信号との2つの映像信号から補正レベル量を求め、前記補正レベル量と入力される2つの映像信号のうち前記信号変換手段により変換された映像信号を出力する補正レベル演算手段と、前記補正レベル量に基づいて映像信号に補正処理を行う補正処理手段と、前記補正処理手段により処理された映像信号を表示電圧に変換するためのフォーマットに再変換するための信号再変換手段とを備え、前記メモリは前記補正レベル演算手段が出力する前記補正レベル量と前記映像信号とを記憶し、前記表示部の表示を行う場合は、前記メモリから補正レベル量と映像信号とを読み出し、前記補正処理手段は補正レベル量に応じて映像信号に対し処理を行うことを特徴とする。

30

40

【発明の効果】

【0014】

本発明によれば、表示装置のフレーム周波数に比べ信号源から転送される映像信号のフレームレートが低い場合でも、映像信号の切替り時のみに、例えば、液晶の応答速度を早くする処理を行うことが可能となり、携帯電話における表示において高画質な動画表示を行うことができる。

【0015】

なお、信号源から転送される映像信号が、映像信号に変化のあった画素の映像信号とアドレスのみで構成される場合にも、映像信号の切替り時のみに、例えば、液晶の応答速度を早くする処理を行うことが可能であり、高画質な動画表示を行うことができる。

50

【 0 0 1 6 】

上記処理を行うにあたっては、少なくとも表示部に対応するフレームメモリがあればよいため、新規にメモリを増設する必要がなく、回路規模を押さえ高画質な動画表示を行うことができる。

【 0 0 1 7 】

なお、表示装置の信号駆動回路内に Y U V - R G B 変換回路を設けているため、外部の信号源から転送される映像信号が R G B 信号でも Y U V 信号でも対応可能である。

【 0 0 1 8 】

また、表示装置の信号駆動回路内に動画表示の性能向上を行うための処理回路を含むため、動画性能向上用の新たな処理回路 I C を設ける必要がなくなる。

10

【 発明を実施するための最良の形態 】

【 0 0 1 9 】

以下、図面を用いて、本発明の実施例を説明する。

【 実施例 1 】

【 0 0 2 0 】

本発明に係る表示装置及びその駆動方法の実施例 1 について、図 1 ないし図 4 を参照して説明する。

【 0 0 2 1 】

図 1 は、実施例 1 における液晶表示装置の構成を示す概略図である。以下で、実施例 1 における液晶表示装置の構成を説明する。液晶表示装置 1 は、例えば、水平方向の画素数が m 個、垂直方向のライン数が n 本の液晶表示部 2 と信号駆動回路と走査線駆動回路と電源回路からなる。

20

【 0 0 2 2 】

液晶表示部 2 は、走査線 G 1、・・・、G n を n 本と、走査線 G と交わる方向に信号線 D 1、・・・、D m の m 本を備えている。これらの走査線 G と信号線 D が交わる交差点付近には画素 3 が夫々配置される。したがって、液晶表示部 2 には水平方向に m 個、垂直方向に n 個の画素 3 がマトリクス状に配置される。

【 0 0 2 3 】

この画素 3 は、スイッチング素子 T F T (以下、単に「T F T」という。)、液晶容量 C l c、液晶容量 C l c に電圧を印加するための画素電極 S と対向電極 C O M からなる。図 1 では、例えば、T F T として薄膜トランジスタを用いた場合を示しているが、T F T は、これに限定されない。また図中には示していないが、画素電極 S に接続される補償容量 C s t g が各画素には設けられる。

30

【 0 0 2 4 】

T F T は、アモルファス S i や多結晶 S i や単結晶 S i など形成される。T F T のゲート端子は走査線 G に接続し、ドレイン端子は信号線 D に接続し、ソース端子は各画素の画素電極 S に接続する。

【 0 0 2 5 】

一方、信号駆動回路は、液晶表示装置 1 を制御する C P U との間で液晶表示装置 1 用の信号 L C D M - S I G を送受信する。信号駆動回路は L C D M - S I G により転送された映像信号に基づいて液晶に印加する表示電圧を生成し、液晶表示部 2 の信号線 D に印加する。

40

【 0 0 2 6 】

走査線駆動回路は、信号駆動回路が出力する走査線駆動回路制御信号 V C N T を受けて液晶表示部 2 の走査線 G に走査信号を印加する。また、電源回路は、信号駆動回路が出力する電源回路制御信号 P C N T を受け、信号駆動回路と走査線駆動回路、及び液晶表示部 2 で必要となる各種電圧を生成して出力する。

【 0 0 2 7 】

図 1 に示した実施例 1 の液晶表示装置 1 において画像を表示する動作について説明する。液晶表示装置 1 は、対向電極 C O M に対向基準電圧 V C O M を印加し、画素電極 S に各

50

画素 3 の映像信号に基づいて信号駆動回路が生成した表示電圧を印加することで、液晶容量 $C1c$ に映像信号に応じた液晶印加電圧を保持させることで多階調表示を行っている。

【0028】

この際、液晶容量 $C1c$ の劣化を防ぐために $VCOM$ に対して高電位の表示電圧である正極性表示電圧と、低電位の表示電圧である負極性表示電圧とを交互に印加する必要がある。したがって、液晶表示装置 1 では一定の周期(以下「フレーム周期」という。)で各画素 3 の液晶容量 $C1c$ に保持させる液晶印加電圧を書換える。フレーム周期は任意に設定できるが、例えば、フレーム周期を $1/60$ 秒として以下の説明を続ける。

【0029】

各走査線 G は、 $VCNT$ により制御された走査線駆動回路により走査信号が印加される。各走査線 G は、フレーム周期内に少なくとも 1 回は走査信号により選択電圧を印加される。例えば、 TFT が n 型の場合には、高電位の信号が選択電圧となる。走査線 G に接続している各画素 3 の TFT は、ゲート端子に選択電圧が印加されるとオン状態となり、信号線 D により伝播される各画素の映像信号に応じた表示信号を画素電極 S に印加する。

【0030】

その後、走査線駆動回路は走査信号として非選択電圧(n 型の TFT の場合には低電位となる)を走査線 G に出力する。非選択電圧がゲート端子に印加された TFT はオフ状態となり、先に信号線 D から伝播された表示電圧を液晶容量 $C1c$ に保持する。この動作をフレーム期間内に $G1$ から Gn まで一通り行うことにより、 $m \times n$ 画素に対応する映像信号(以下「1 フレーム分の映像信号」という。)に応じた多階調表示を液晶表示装置 1 に表示することができる。

【0031】

次に、実施例 1 の信号駆動回路の構成及び動作について図 2 を用いて説明する。信号駆動回路は、 $LCDM$ 制御部 4、映像データ処理部 5、階調電圧生成部 6 及び表示電圧出力部 7 からなる。

【0032】

$LCDM$ 制御部 4 は、 $LCDM-SIG$ によりフレーム周期や各種電圧設定や駆動方法などの各種設定情報を含む表示状態の制御信号を受け取り、 $VCNT$ 、 $PCNT$ 及び信号駆動回路内の映像データ処理部 5 の制御信号である $DCNT$ と、階調電圧生成部 6 の制御信号である $RCNT$ を生成して出力する。また、 $LCDM$ 制御部 4 は、 $LCDM-SIG$ により転送される映像信号 $in-RGB$ を映像データ処理部 5 に出力する。

【0033】

図 2 において、例えば、転送される映像信号を赤(R)、 G (緑)、 B (青)として説明を続ける。さらに、 $LCDM$ 制御部 4 は、映像データ処理部 5 の動作状態に応じて映像データ処理部 5 が映像信号 $in-RGB$ を受けられるタイミングを $LCDM-SIG$ により CPU に転送している。

【0034】

映像データ処理部 5 は、 $DCNT$ により制御され、 $LCDM$ 制御部 4 が出力する映像信号 $in-RGB$ を記憶する。また、映像データ処理部 5 は、表示電圧出力部 7 で表示電圧を生成するために必要な映像信号 $out-RGB$ を出力する。

【0035】

階調電圧生成部 6 は、 $RCNT$ により設定された階調基準電圧 $VREF$ を生成して表示電圧出力部 7 に出力する。

【0036】

表示電圧出力部 7 は、 $LCDM$ 制御部が出力するタイミング制御信号 $TCNT$ により制御され、映像データ処理部 5 が出力する映像信号に応じた表示電圧を階調基準電圧 $VREF$ に基づいて生成し、対応する画素が接続される液晶表示部 2 の信号線 D に出力する。

【0037】

表示電圧出力部 7 が表示電圧を出力する時に、 $VCNT$ により制御される走査線駆動回路は対応する水平ラインの走査線 G に選択電圧を印加することで、対応する水平ラインの

10

20

30

40

50

画素に映像信号に応じた表示電圧を印加、保持させることが可能となる。

【 0 0 3 8 】

ここで、信号駆動回路に含まれる映像データ処理 5 の構成及び動作について説明する。図 3 は映像データ処理部 5 のブロック図である。映像データ処理部 5 は、フレームメモリ部 5 0 1、制御回路 5 0 2、マルチプレクサ 5 0 3、マルチプレクサ 5 0 4、RGB - YUV 変換回路 5 0 5、YUV - RGB 変換回路 5 0 6、補正レベル演算回路 5 0 7 及び補正処理回路 5 0 9 からなる。

【 0 0 3 9 】

まず、映像データ処理部 5 の各構成要素について説明する。フレームメモリ部 5 0 1 は、1 フレーム分の映像信号を記憶する記憶手段であり、例えば、CPU から転送される映像信号が各画素に対して 8 b i t の場合、フレームメモリ部 5 0 1 の記憶容量は $m \times n \times 8 \text{ b i t}$ が必要となる。ただし、CPU から転送される映像信号は 8 b i t 以外でもよい。また、フレームメモリ部 5 0 1 は制御回路 5 0 2 が出力するアドレス制御信号 A d により制御される。

【 0 0 4 0 】

制御回路 5 0 2 は、LCDM 制御部が出力する D C N T により制御され、それぞれの動作状態に応じてアドレス制御信号 A d、マルチプレクサ 5 0 3、5 0 4 の出力切替信号 S E L、補正処理回路 5 0 9 のイネーブル信号 E N A 及び補正レベル演算回路 5 0 7 のリセット信号 R E S を生成して出力する。

【 0 0 4 1 】

マルチプレクサ 5 0 3、5 0 4 は、それぞれ 2 つの入力信号群のうちから出力切替信号 S E L に応じて、どちらか一方の信号群を出力する。

【 0 0 4 2 】

RGB - YUV 変換回路 5 0 5 は、RGB 各画素に対応した映像信号を輝度情報である Y 信号と色差信号である U、V に変換する回路であり、YUV - RGB 変換回路 5 0 6 は、YUV からなる映像信号を RGB 各画素に対応した映像信号に変換する回路である。

【 0 0 4 3 】

また、補正レベル演算回路 5 0 7 は、入力される 2 つの映像信号から補正レベル量 O D を求める回路である。

【 0 0 4 4 】

最後に、補正処理回路 5 0 9 は、補正レベル演算回路 5 0 7 が求めた補正レベル量 O D に応じて映像信号に補正処理を行う回路である。

【 0 0 4 5 】

以下、映像データ処理部 5 の動作について、液晶表示装置 1 に静止画を表示する場合と動画を表示する場合で分けて説明する。

【 0 0 4 6 】

まず初めに、静止画を表示する場合の動作について説明を行う。静止画表示は同じフレームの映像信号を表示し続ける場合には、フレームメモリ部 5 0 1 に記憶された 1 フレーム分の映像信号を読み出すことにより表示を行う。

【 0 0 4 7 】

制御回路 5 0 2 は、表示動作に必要な画素の映像信号を読み出すために、対応するアドレス A d をフレームメモリ部 5 0 1 に転送する。フレームメモリ部 5 0 1 は、アドレス A d により指定されたアドレスの映像信号をリードデータ R d としてマルチプレクサ 5 0 4 に出力する。

【 0 0 4 8 】

マルチプレクサ 5 0 4 は、液晶表示装置 1 が静止画表示の場合には S E L によりリードデータ R d を選択し、表示電圧出力部 7 に o u t - R G B として出力する。

【 0 0 4 9 】

また、静止画表示においてフレームが切り替わる場合、CPU は映像信号が変化する画素のアドレスと映像信号、又はフレーム切り替わり後の 1 フレーム分の映像信号を液晶表

10

20

30

40

50

示装置 1 に転送する。CPU が転送した $in - RGB$ はマルチプレクサ 503 で SEL 信号によりライトデータ Wd として選択出力されてフレームメモリ部 501 に出力される。

【0050】

制御回路 502 は、ライトデータ Wd に対応するアドレスを出力することで、フレームメモリ部 501 にはフレームが切り替わった後の映像信号が記憶される。

【0051】

この際、LCDM 制御部は、映像データ処理部 5 の動作を把握しており、フレームメモリ部 501 が読み出し動作を行っていない期間に、CPU が映像信号を転送するように LCDM - SIG を出力する。このようにして、上記動作を繰り返すことにより液晶表示装置 1 において静止画を表示することが可能になる。

10

【0052】

次に、動画を表示する場合の映像データ処理部 5 の動作について説明する。ここでは、液晶表示装置 1 のフレーム周期を $1/60$ 秒、CPU から転送される動画のフレームレートを 15 フレーム/秒として説明する。ただし、フレーム周波数とフレームレートはこれに限定されない。

【0053】

動画表示の場合も、CPU はフレームの切り替わりで変化のあった画素のアドレスと映像信号、又はフレーム切り替わり後の 1 フレーム分の映像信号を転送する。動画表示の場合には、CPU から転送される映像信号 $in - RGB$ を RGB - YUV 変換回路 505 により YUV 信号である $in - YUV$ に変換して補正レベル演算回路 507 に出力する。

20

【0054】

この際に、RGB - YUV 変換回路 505 は、フレームメモリ部 501 に CPU から転送される映像信号と共に補正レベル演算回路 507 で求められる補正レベル量 OD を記憶する領域を設けるため、映像信号の圧縮を行う。

【0055】

例えば、YUV 信号に変換する際に、CPU から転送される映像信号の bit 数よりも小さい bit 数で量子化する。すなわち、RGB 各 8 bit の $in - RGB$ を、それより小さい 6 bit の YUV 信号に変換することで映像信号を圧縮する。また、例えば、人間の目が色差情報よりも輝度情報に敏感であることから、色差情報を圧縮する方法を用いてもよい。

30

【0056】

一般的に知られている圧縮形態として、YUV 422、YUV 411、YUV 410 などの方式がある。例えば、YUV 422 の場合には、連続する 4 つのピクセル(ここでは、1 ピクセルが RGB 3 画素で構成される単位と考える。)から、輝度情報 Y を 4 つ全て用い、色差情報である U と V に対しては 4 つの中から 2 つずつ選択する。

【0057】

これにより、色差情報である U と V は $1/2$ に圧縮されるため、YUV を 8 bit で量子化した場合でも連続する 4 つのピクセルで考えると $2/3$ にデータ量を圧縮できる。また、単純に UV 信号のみ量子化の bit 数を小さくして圧縮することも可能である。

【0058】

補正レベル演算回路 507 は、RGB - YUV 変換回路 505 から転送された映像信号 $in - YUV$ と、フレームメモリ部 501 に記憶されたフレーム切り替わり前の映像信号との 2 つの映像信号により補正レベル量 OD を計算する。したがって、制御回路 502 は映像信号 $in - YUV$ と同じ画素のフレーム切り替わり前の映像信号を読み出すように制御を行う。

40

【0059】

補正レベル量 OD の求め方としては、入力される 2 つの映像信号の差を計算し、その結果から求めてもよい。この場合には、差から計算式により補正レベル量 OD を算出してもよいし、差や映像信号に対する補正レベル量 OD を予め設定したテーブル値を用意しておき選択してもよい。なお、補正レベル量 OD は、単純に比較器による比較結果と映像信号

50

から求めてもよい。また、補正レベル量ODは、YUV各データに対して設定してもよいし、輝度情報であるYに対してのみ設定してもよいし、RGB各画素に対して設定してもよい。さらに、補正レベル量ODは、映像信号が増加する方向に変化した場合にのみ設定してもよいし、映像信号が減少する方向に変化した場合にのみ設定してもよいし、増加及び減少の両方に対して設定してもよい。

【0060】

補正レベル演算回路507は、補正レベル量ODと、ODを求める際に用いたin-YUVの出力であるid-YUVをマルチプレクサ503に出力する。

【0061】

マルチプレクサ回路503は、液晶表示装置1が動画を表示する際にはSEL信号により補正レベル演算回路507が出力するid-YUV信号とOD信号とを選択して、フレームメモリ部501のライトデータWdとして出力する。

【0062】

制御回路502は、映像信号id-YUVに対応したアドレスAdを出力し、フレームメモリ部501に圧縮された映像信号id-YUVと補正レベル量ODを記憶する。

【0063】

また、あとで説明するが、CPUからフレーム切り替わり後の映像信号が転送される前に、フレームメモリ部501に記憶された各画素の補正レベル量ODは、全てリセットされている状態（補正が行われない状態）にする。

【0064】

以上の動作により、フレームメモリ部501にはフレーム切り替わり後の1フレーム分の映像信号と、フレーム切り替わりにより映像信号が変化した画素に対する補正レベル量ODが記憶されることになる。なお、映像信号が変化しない画素の補正レベル量ODは、リセット状態のままであるから、補正が行われない。

【0065】

次に、フレームメモリ部501からの読出し動作について説明する。ここでは、フレーム周期を1/60秒としCPUから転送される映像信号のフレームレートを15フレーム/秒としているため、液晶表示装置1には、4回連続して同じフレームの映像信号が表示される。

【0066】

したがって、動画表示性能を改善するためには、フレームが切り替わった後の最初のフレームを表示するときに映像信号に対して補正レベル量ODに基づく補正処理を行い、残り3フレームの表示に対しては補正処理をせずフレームメモリ部501から読出した映像信号に基づいて表示を行うことが望ましい。

【0067】

このため、フレームが切り替わりフレームメモリ部501に記憶されるデータが新しい映像信号に対応したデータに書換えられた後、最初の読出し動作により表示を行うフレームに対してのみ制御回路502がENA信号をオンにして補正処理回路509の処理動作をイネーブル状態とし、フレームメモリ501からのリードデータRdに基づき映像信号に対して補正レベル量ODに応じた補正処理を行って映像信号o-YUVを出力する。

【0068】

一方、フレームが、次に変化するまでの残りの3フレームの表示を行う場合には、制御回路502がENA信号をオフにして補正処理回路509の処理動作をディセーブル状態とし、フレームメモリ501からのリードデータRdに含まれる映像信号をo-YUVとして出力する。

【0069】

ここで、補正レベル量ODによる補正処理は、例えば、映像信号と補正レベル量ODにより求まる計算式により、補正処理後の映像信号o-YUVを算出してもよいし、予め補正処理量のテーブル値を用意してリードデータRdに含まれる映像信号と補正レベル量ODにより補正処理量を選択し、それを反映して映像信号o-YUVを求めてもよい。なお

10

20

30

40

50

、補正レベル量ODがリセット状態と同じ場合は、補正処理を行わず、リードデータRdに含まれる映像信号を出力する。

【0070】

YUV-RGB変換回路506は、補正処理回路509が出力する映像信号o-YUV信号を受けて、RGB信号に変換してマルチプレクサ回路504に出力する。

【0071】

マルチプレクサ回路504は、動画表示の場合にはYUV-RGB変換回路506の出力信号o-RGBを選択して表示電圧出力部7に転送する。

【0072】

また、先に説明したように、制御回路502は、補正処理が必要なフレームの読出しが終了し、ENAがオフ状態であり、なおかつフレームメモリ部501が、読み出し動作を行っていない期間に、リセット信号RESをオン状態として補正レベル演算回路507が出力する補正レベル量ODをリセット状態とし、フレームメモリ部501に記憶される補正レベル量ODのデータを全てリセット状態に書換える動作を行う。

【0073】

この動作を、次にフレームが変化してCPUから変化後の映像信号が転送されるまでに行うことにより、変化部分(差分)のみの映像信号とアドレスがCPUから転送される場合にも、1フレームの全画素に対して対応する変化部分(差分)のみの補正レベル量ODを記憶することが可能となる。

【0074】

フレームメモリ部501から読み出される映像表示データは、RGB-YUV変換回路505により圧縮されたデータであるため、YUV-RGB変換回路506で表示電圧出力部7に適した信号に変換する必要がある。ここでは、表示電圧出力部7がRGB各8bitの信号に対応しているため、RGB各8bitの映像信号データにする必要がある。

【0075】

ここで、図3においては、YUV信号のまま補正処理回路509で補正処理を行い、その後YUV-RGB変換回路506によりRGB信号に変換しているが、補正処理を行う前にYUV-RGB変換回路506でRGBデータに変換し、その後RGBデータに対して補正処理回路509と同様に補正レベル量ODに応じて補正処理を行ってもよい。

【0076】

また、前述の説明では、フレームが変化してフレームメモリ部501に記憶されるデータが新しい映像信号に書換えられた後、最初の読出し動作により表示を行うフレームに対してのみ補正処理を行ったが、補正処理を行うフレーム数は、補正レベル量(オーバードライブ量)に応じて、任意に設定可能である。

【0077】

さらに、図3の説明では、CPUから転送される映像信号がRGB信号であると仮定したが、CPUから転送される映像信号がYUV信号であっても対応可能である。ただし、この場合にはRGB-YUV変換回路505が不要になる。また、マルチプレクサ503と504も不要になり、ライトデータWdとしては補正レベル演算回路507が出力するid-YUVと補正レベル量ODを用い、表示電圧出力部7にはYUV-RGB変換回路506が生成するo-RGB信号を用いればよい。

【0078】

また、フレームメモリ部501に、液晶をオーバードライブする補正レベル量ODを記憶するための領域を設ける必要がある場合には、CPUから転送される映像信号を圧縮する回路を補正レベル演算回路507の前段に設ける必要がある。

【0079】

ここまでで説明した動画表示時の映像データ処理部5の動作について、図4を用いて説明する。VstはVCNTに含まれる信号であり、液晶表示装置1の走査線駆動回路が走査線Gに選択電圧を印加するスタート信号であり、フレーム周期で出力される。したがって、信号駆動回路はVstに同期して1フレーム分の表示電圧を順次出力するため、映像

10

20

30

40

50

データ処理部 5 が出力する $out - RGB$ 信号も Vst に同期して順次出力される。

【0080】

ここで、動画像がフレーム A からフレーム B に切り替わる場合は、CPU から $in - RGB$ として映像信号 fb が転送される。したがって、フレームの切り替わり後、第 1 の表示フレームである FB_1 の期間 Tr でのみ ENA 信号がオン状態（図では Hi レベル）となり、映像信号に対して補正処理を行い出力し、その後の 3 つの表示フレームである FB_2 、 FB_3 及び FB_4 では ENA 信号がオフ（図では Low レベル）となり補正処理を行わない映像信号を出力する。すなわち、表示フレーム FB_1 の期間 Tr では、補正処理により液晶の応答を早く、その後の表示フレーム FB_2 、 FB_3 及び FB_4 では、表示を繰り返すことによりフリッカを防止することで、動画像である映像信号の表示画質を向上させることができる。

10

【0081】

また、 RES 信号がオン（図では Hi レベル）状態のときに、フレームメモリ部 501 に記憶される補正レベル量 OD をリセットすることで、変化部分（差分）のみの映像信号とアドレスが CPU から転送される場合にも、最初の表示フレームで液晶のオーバードライブが行われ、その後の表示フレームでは行われないので、オーバードライブを過剰とすることなく、次のフレームの切り替わりに向け準備できる。

【0082】

以上で説明したように、本発明である実施例 1 を用いることにより、フレームメモリを内蔵し CPU 等で制御される信号駆動回路を備えた液晶表示装置において、動画表示時の画質を向上させることが可能となる。

20

【実施例 2】

【0083】

本発明に係る表示装置及びその駆動方法の実施例 2 について、図 5 を用いて説明する。本発明における実施例 2 は、実施例 1 の信号駆動回路に含まれる映像データ処理部 5 の構成以外は共通であるため説明を省略し、ここでは、図 5 を用いて実施例 2 における映像データ処理部 5 の構成及び動作について説明する。

【0084】

図 5 は、本発明における実施例 2 の映像データ処理部 5 のブロック図である。映像データ処理部 5 の構成回路で実施例 1 と共通のものは同一の符号を付け、ここでの説明を省略する。実施例 2 において、補正レベル演算回路 508 は入力される 2 つの映像信号が RGB 信号であり、この 2 つの映像信号により補正レベル量 OD を求めて出力する。また、補正処理回路 510 は入力される RGB の映像信号に対して補正レベル量 OD に応じた補正処理を行う。

30

【0085】

次に、図 5 に示す映像データ処理部 5 の動作について説明する。静止画表示の動作については実施例 1 と同様であるため説明を省略し、動画表示の動作について説明する。説明を簡単にするため、実施例 1 と同様に液晶表示装置 1 のフレーム周期を $1/60$ 秒、CPU から転送される動画のフレームレートを 15 フレーム / 秒として説明する。ただし、フレーム周波数とフレームレートはこれに限定されない。

40

【0086】

動画表示時において、補正レベル演算回路 508 には CPU から転送される映像信号 $in - RGB$ が入力される。一方、フレームメモリ部 501 からはフレーム切り替わり前の映像信号が読み出され、 $YUV - RGB$ 変換回路 506 により RGB 信号に変換された映像信号 $r - RGB$ が補正レベル演算回路 508 に入力される。したがって、補正レベル演算回路 508 では映像フレームが切り替わる前後の映像信号により補正レベル量 OD を求めることが可能となる。

【0087】

補正レベル量 OD の求め方としては、入力される 2 つの映像信号の差を計算し、その結果から求めてもよい。この場合には、差から計算式により OD を算出してもよいし、差や

50

映像信号に対するODを予め設定したテーブル値を用意しておき選択してもよい。なお、補正レベル量ODは単純に比較器による比較結果と映像信号から求めてもよい。また、補正レベル量ODは、映像信号が増加する方向に変化した場合にのみ設定してもよいし、映像信号が減少する方向に変化した場合にのみ設定してもよいし、増加及び減少の両方に対して設定してもよい。

【0088】

補正レベル演算回路508で求めた補正レベル量ODと共に演算で用いた映像フレーム切り替わり後の映像信号を記憶するために、補正レベル演算回路508が出力する映像信号id-RGBをRGB-YUV変換回路505によりYUV信号id-YUVに変換して映像信号を圧縮する。

10

【0089】

マルチプレクサ回路503は、SEL信号により制御されて補正レベル演算回路508が出力するODとRGB-YUV変換回路505が出力するid-YUV信号とを選択して、フレームメモリ部501のライトデータWdとして出力する。

【0090】

制御回路502は、映像信号id-YUVに対応したアドレスAdを出力し、フレームメモリ部501に圧縮された映像信号id-YUVと補正レベル量ODを記憶する。

【0091】

上述の動作により、フレームメモリ部501にはフレーム切り替わり後の1フレーム分の映像信号と、フレーム切り替わりにより映像信号が変化した画素に対する補正レベル量ODが記憶されることになる。

20

【0092】

次にフレームメモリ部501からの読出し動作について説明する。ここでは、フレーム周期を1/60秒としCPUから転送される映像信号のフレームレートを15フレーム/秒としているため、液晶表示装置1には4回連続して同じフレームの映像信号が表示される。

【0093】

したがって、動画表示性能を改善するためには、フレームが切り替わった後の最初のフレームを表示するときに映像信号に対してODに基づく補正処理を行い、残り3フレームの表示に対しては補正処理をせずフレームメモリ部501から読出した映像信号に基づいて表示を行うことが望ましい。

30

【0094】

まず、表示動作のためにフレームメモリ部501から読み出された映像信号は、一旦YUV-RGB変換回路506により映像信号r-RGBに変換されて補正処理回路510に出力される。

【0095】

ここで、フレームが切り替わりフレームメモリ部501に記憶されるデータが新しい映像信号に対応したデータに書換えられた後、最初の読出し動作により表示を行うフレームに対してのみ制御回路502がENA信号をオンにして補正処理回路510の処理動作をイネーブル状態とし、フレームメモリ501からのリードデータRdに基づき映像信号r-RGBに対して補正レベル量ODに応じた補正処理を行って映像信号o-RGBを出力する。

40

【0096】

一方、フレームが次に変化するまでの残りの3フレームの表示を行う場合には、制御回路502がENA信号をオフにして補正処理回路510の処理動作をディセーブル状態とし、フレームメモリ501からのリードデータRdに含まれる映像信号であるr-RGBを補正処理なしで出力する。

【0097】

ここで、補正レベル量ODによる補正処理は、例えば、映像信号と補正レベル量ODにより求まる計算式により補正処理後の映像信号o-RGBを算出してもよいし、予め補正

50

処理量のテーブル値を用意して $r - RGB$ と補正レベル量 OD により補正処理量を選択し、それを反映して映像信号 $o - RGB$ を求めてもよい。なお、補正レベル量 OD がリセット状態と同じ場合は補正処理を行わず出力する。

【0098】

補正処理回路 510 が出力する映像信号 $o - RGB$ はマルチプレクサ回路 504 により選択されて表示電圧出力部 7 に転送される。

【0099】

また先に説明したように、制御回路 502 は、補正処理が必要なフレームの読出しが終了し、 ENA がオフ状態であり、なおかつフレームメモリ部 501 が読み出し動作を行っていない期間に、リセット信号 RES をオン状態として補正レベル演算回路 508 が出力する OD をリセット状態とし、フレームメモリ部 501 に記憶される OD のデータを全てリセット状態に書換える動作を行う。

10

【0100】

この動作を、次にフレームが変化して CPU から変化後の映像信号が転送されるまでに行うことにより、変化部分のみの映像信号とアドレスが CPU から転送される場合にも、1 フレームの全画素に対して対応する OD を記憶することが可能となる。

【0101】

なお、前述の説明ではフレームが変化してフレームメモリ部 501 に記憶されるデータが新しい映像信号に書換えられた後、最初の読出し動作により表示を行うフレームに対してのみ補正処理を行ったが、補正処理を行うフレーム数は任意に設定可能である。

20

【0102】

以上で説明したように、本発明である実施例 2 を用いることにより、実施例 1 と同様にフレームメモリを内蔵し CPU 等で制御される信号駆動回路を備えた液晶表示装置において、動画表示時の画質を向上させることが可能となる。

【実施例 3】

【0103】

本発明における実施例 1 の映像データ処理部 5 においては、フレームメモリ部 501 に、映像信号と共に補正レベル量 OD を記憶するために映像信号の圧縮を行っているが、本実施例では、実施例 1 の構成に加えて、図 6 に示すように、フレームメモリ部 501 の他に、映像データ処理部 5 内に、補正レベル量を記憶する補正レベル記憶手段 601 を設置することにより、映像信号を圧縮することなく補正レベル量を記憶することが可能となり、これによって、実施例 1 と同様に動画表示時の画質を向上させることが可能となる。

30

【0104】

なお、図 6 において、補正レベル演算回路 610 からの補正レベル量 OD は、補正レベル記憶手段 601 に記憶され、実施例 1 と同様に、この補正レベル量 OD を読み出して、補正処理回路 620 で、フレームメモリ部 501 から読み出された映像信号に対して補正を行う。したがって、図 3 に示す実施例 1 の構成のうち、マルチプレクサ回路 503, 504 及び変換回路 505, 506 が不要となる。

【0105】

また、信号駆動回路が、液晶表示部 2 と、それ以外のもう一つの補助表示部とを駆動し、映像データ処理部 5 に、液晶表示部 2 に対応するフレームメモリ部 501 と、図 7 に示すように、補助表示部に対応する補助メモリ部 701 とが存在する場合には、この補助メモリ部 701 を、動画表示時には、補正レベル量 OD を記憶する補正レベル記憶手段として使用し、静止画表示時には、補助表示部の補助メモリとして使用することにより、動画表示時の画質を向上させることが可能となる。

40

【0106】

なお、図 7 において、補正レベル演算回路 710 からの補正レベル量 OD と、補助表示用の入力映像信号 $in' - RGB$ とのいずれかが、マルチプレクサ回路 703 で選択され、補助メモリ部 701 に記憶される。動画表示の場合には、補正レベル量 OD が、選択されて、補助メモリ部 701 に記憶され、静止画表示の場合には、入力映像信号 $in' - R$

50

G B が、選択されて、補助メモリ部 7 0 1 に記憶される。

【 0 1 0 7 】

記憶された補正レベル量 O D 又は入力映像信号 i n ' - R G B は、動画表示の場合には、実施例 1 と同様に、補正レベル量 O D を用いて補正処理回路 7 2 0 で補正処理が行われ、静止画表示の場合には、出力映像信号 o u t ' - R G B が補助表示部で表示される。

【 0 1 0 8 】

以上、本発明における実施例は、表示部に液晶を用いた場合について説明を行ったが、その他の表示素子(例えば、有機 E L など)においても、映像フレームが変化する前後の 2 フレームの映像信号により補正レベル量を求め、その補正レベル量に応じて映像信号に補正処理を行った信号に基づき表示を行う場合には適用可能である。

10

【 0 1 0 9 】

また、本発明における液晶表示装置において信号駆動回路と走査線駆動回路と電源回路は個別に設けているが、構成はこれに限定されることはなく、例えば、信号駆動回路と走査線駆動回路が集積化され 1 つの回路で構成されてもよい。

【図面の簡単な説明】

【 0 1 1 0 】

【図 1】本発明に係る実施例 1 における液晶表示装置の概略図

【図 2】実施例 1 における信号駆動回路のブロック図

【図 3】実施例 1 における映像データ処理部のブロック図

【図 4】実施例 1 における映像データ処理部のタイミングチャート

20

【図 5】本発明に係る実施例 2 における映像データ処理部のブロック図

【図 6】本発明に係る実施例 3 における映像データ処理部のブロック図

【図 7】実施例 3 における他の映像データ処理部のブロック図

【符号の説明】

【 0 1 1 1 】

1 ... 液晶表示装置、 2 ... 液晶表示部、 3 ... 画素、 4 ... L C D M 制御部、 5 ... 映像データ処理部、 6 ... 階調電圧生成部、 7 ... 表示電圧出力部、 5 0 1 ... フレームメモリ部、 5 0 2 ... 制御回路、 5 0 3 ... マルチプレクサ回路、 5 0 4 ... マルチプレクサ回路、 5 0 5 ... R G B - Y U V 変換回路、 5 0 6 ... Y U V - R G B 変換回路、 5 0 7 , 5 0 8 ... 補正レベル演算回路、 5 0 9 , 5 1 0 ... 補正処理回路、 6 0 1 ... 補正レベル記憶手段、 6 1 0 ... 補正レベル演算回路、 6 2 0 ... 補正処理回路、 7 0 1 ... 補助メモリ部、 7 0 3 ... マルチプレクサ回路、 7 1 0 ... 補正レベル演算回路、 7 2 0 ... 補正処理回路

30

【 図 3 】

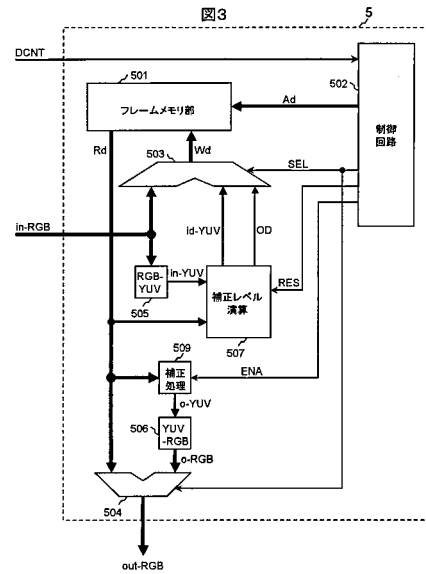
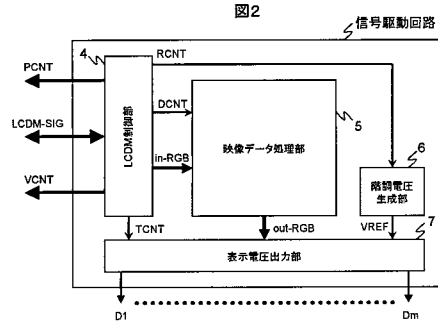
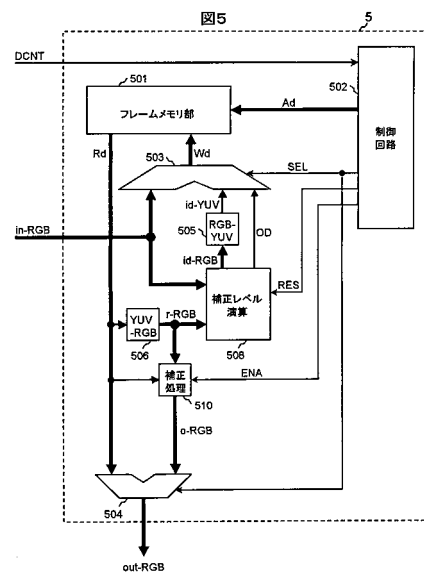
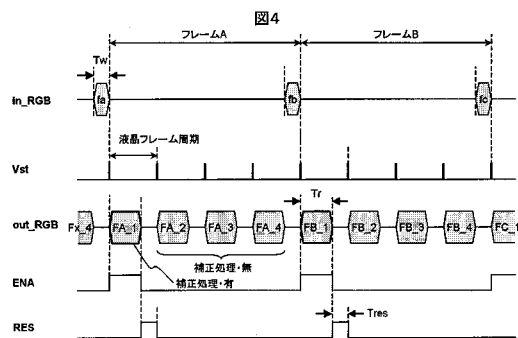


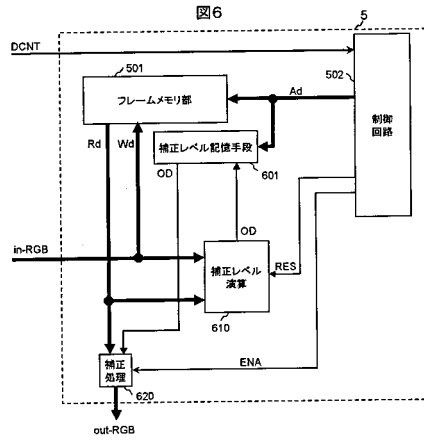
图2



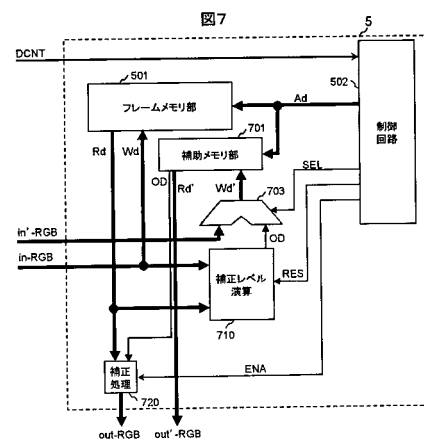
【圖 5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 1 R
G 0 9 G 3/20 6 4 2 J
G 0 9 G 3/20 6 5 0 F
G 0 9 G 3/20 6 6 0 V

(72)発明者 松戸 利充
千葉県茂原市早野 3 3 0 0 番地
株式会社 日立ディスプレイズ内

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 4 - 1 3 9 0 9 6 (J P , A)
特開 2 0 0 3 - 2 4 1 7 2 1 (J P , A)
特開 2 0 0 1 - 3 0 6 0 5 4 (J P , A)
特開平 0 9 - 2 7 5 5 6 3 (J P , A)
特開 2 0 0 2 - 2 5 1 1 6 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP4523348B2	公开(公告)日	2010-08-11
申请号	JP2004199436	申请日	2004-07-06
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	萬場則夫 庄司孝志 松戸利充		
发明人	萬場 則夫 庄司 孝志 松戸 利充		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G2320/0252 G09G2320/0261 G09G2320/0613 G09G2340/16		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.570 G09G3/20.621.F G09G3/20.631.B G09G3/20.631.R G09G3/20.642.J G09G3/20.650.F G09G3/20.660.V H04N9/30		
F-TERM分类号	2H093/NA16 2H093/NC11 2H093/NC29 2H093/NC34 2H093/NC58 2H093/ND32 2H093/NE10 2H093/NG20 2H193/ZA04 2H193/ZH21 2H193/ZP20 5C006/AA01 5C006/AA02 5C006/AA16 5C006/AA22 5C006/AF03 5C006/AF04 5C006/AF19 5C006/AF23 5C006/AF26 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF83 5C006/BC16 5C006/BF02 5C006/BF14 5C006/BF24 5C006/EB04 5C006/EB05 5C006/FA14 5C006/FA29 5C006/FA44 5C060/BA04 5C060/BA09 5C060/BB13 5C060/BC01 5C060/DA03 5C060/DB09 5C060/DB11 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD08 5C080/DD22 5C080/DD28 5C080/EE17 5C080/EE19 5C080/EE29 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ04 5C080/KK07 5C080/KK47		
代理人(译)	小野寺杨枝		
其他公开文献	JP2006023379A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决在输入视频信号和存储在一帧存储器中的视频信号之间没有用于存储变化量（校正水平）的区域的问题，因为用于移动电话的液晶显示装置仅包含一帧存储器，则不可能通过使用校正级别来改善运动图像的质量。ŽSOLUTION：显示装置配备有：一帧存储器501;RGB-YUV转换器电路505，用于将输入视频信号转换为YUV信号并压缩UV信号;校正电平计算电路507，用于根据存储在一帧存储器中的转换后的YUV信号和YUV信号的两个视频信号计算并输出校正电平。校正电路509，用于根据校正电平校正YUV信号;YUV-RGB转换器电路506将处理后的YUV信号重新转换成RGB信号。单帧存储器存储校正电平和压缩的YUV信号。在显示动画时，从一帧存储器中读出校正电平和压缩的YUV信号，并根据校正电平处理压缩的YUV信号。Ž

