

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4427038号
(P4427038)

(45) 発行日 平成22年3月3日(2010.3.3)

(24) 登録日 平成21年12月18日(2009.12.18)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 570
G09G 3/20 (2006.01)	G09G 3/20 633H
	G09G 3/20 633C
	G09G 3/20 611G

請求項の数 9 (全 13 頁) 最終頁に続く

(21) 出願番号	特願2006-173496 (P2006-173496)	(73) 特許権者	501426046
(22) 出願日	平成18年6月23日(2006.6.23)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2007-72440 (P2007-72440A)		ミテッド
(43) 公開日	平成19年3月22日(2007.3.22)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成18年7月14日(2006.7.14)		イドードン 20
(31) 優先権主張番号	10-2005-0082685	(74) 代理人	100064447
(32) 優先日	平成17年9月6日(2005.9.6)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100094112
			弁理士 岡部 譲
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動回路及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

画像を表示する色に対応する赤色、緑色及び青色のデジタルデータ信号を組み合わせて第1及び第2の組み合わせデジタルデータ信号を生成し、前記第1及び第2の組み合わせデジタルデータ信号を第1及び第2のデータ伝送ラインにそれぞれ供給するタイミングコントローラと、

前記タイミングコントローラからの前記第1及び第2の組み合わせデジタルデータ信号を処理して前記赤色、緑色及び青色のデジタルデータ信号に復元し、復元された前記赤色、緑色及び青色のデジタルデータ信号をアナログデータ信号に変換し、そして、前記アナログデータ信号を表示パネルに供給する複数のデータドライバ集積回路とを備え、

前記第1の組み合わせデジタルデータ信号が、前記赤色のデジタルデータ信号の全てのビットと前記青色のデジタルデータ信号の一部のビットとを組み合わせることで生成され、そして、前記第2の組み合わせデジタルデータ信号が、前記緑色のデジタルデータ信号の全てのビットと前記青色のデジタルデータ信号の残りのビットとを組み合わせることで生成される、ことを特徴とする表示装置の駆動回路。

【請求項 2】

前記データドライバ集積回路の各々は、

前記第1及び第2のデータ伝送ラインを通じて供給される前記第1及び第2の組み合わせデジタルデータ信号を処理して、前記赤色、緑色及び青色のデジタルデータ信号に復元するデータ復元部と、

前記タイミングコントローラからのソースシフトクロック及びソーススタートパルスを使用してサンプリング信号を発生するシフトレジスタと、

前記シフトレジスタから供給されたサンプリング信号に応じて、前記データ復元部からの復元された前記赤色、緑色及び青色のデジタルデータ信号をラッチするラッチ部と、

前記ラッチ部からのラッチされた前記デジタルデータ信号をアナログデータ信号に変換して前記アナログデータ信号を前記表示パネルに供給するデジタル-アナログ変換部と、を備えることを特徴とする、請求項1に記載の駆動回路。

【請求項3】

前記第1及び第2のデータ伝送ラインが、前記タイミングコントローラと前記データドライバ集積回路の各々との間に位置する、ことを特徴とする、請求項1に記載の駆動回路

10

【請求項4】

前記タイミングコントローラから前記データドライバ集積回路の各々へクロック信号を伝送するクロック信号伝送ラインをさらに備え、前記データドライバ集積回路の各々は、前記クロック信号に応じて、前記第1及び第2の組み合わせデジタルデータ信号をサンプリングする、ことを特徴とする、請求項1に記載の駆動回路。

【請求項5】

赤色、緑色及び青色のデジタルデータ信号を受信し、第1及び第2の組み合わせデジタルデータ信号を生成し、そして、前記第1及び第2の組み合わせデジタルデータ信号を第1及び第2のデータ伝送ラインにそれぞれ供給するタイミングコントローラと、

20

前記第1及び第2の組み合わせデジタルデータ信号を受信し、前記赤色、緑色及び青色のデジタルデータ信号に復元し、復元された前記赤色、緑色及び青色のデジタルデータ信号をアナログデータ信号に変換し、そして、前記アナログデータ信号を表示パネルに供給するデータドライバ集積回路を備え、

前記第1の組み合わせデジタルデータ信号が、前記赤色のデジタルデータ信号の全てのビットと前記青色のデジタルデータ信号の一部のビットとを組み合わせることで生成され、そして、前記第2の組み合わせデジタルデータ信号が、前記緑色のデジタルデータ信号の全てのビットと前記青色のデジタルデータ信号の残りのビットとを組み合わせることで生成される、ことを特徴とする、表示装置の駆動回路。

【請求項6】

30

前記データドライバ集積回路は、

前記第1及び第2の組み合わせデジタルデータ信号を処理して前記赤色、緑色及び青色のデジタルデータ信号に復元するデータ復元部と、

前記タイミングコントローラからのソースシフトクロック及びソーススタートパルスを使用してサンプリング信号を発生するシフトレジスタと、

前記サンプリング信号に応じて、復元された前記赤色、緑色及び青色のデジタルデータ信号をラッチするラッチ部と、

ラッチされた前記デジタルデータ信号をアナログデータ信号に変換して、前記アナログデータ信号を前記表示パネルに供給する変換部と、

を備えることを特徴とする、請求項5に記載の駆動回路。

40

【請求項7】

前記第1の組み合わせデジタルデータ信号は、第1データ伝送ラインを通じて前記タイミングコントローラから前記データドライバ集積回路に伝送され、前記第2の組み合わせデジタルデータ信号は、第2データ伝送ラインを通じて前記タイミングコントローラから前記データドライバ集積回路に伝送されることを特徴とする、請求項5に記載の駆動回路

【請求項8】

画像を表示する色に対応する赤色、緑色及び青色のデジタルデータ信号を組み合わせ第1及び第2の組み合わせデジタルデータ信号を生成する段階を備え、前記第1の組み合わせデジタルデータ信号が、前記赤色のデジタルデータ信号の全てのビットと前記青色のデ

50

デジタルデータ信号の一部のビットとを組み合わせることで生成され、そして、前記第2の組み合わせデジタルデータ信号が、前記緑色のデジタルデータ信号の全てのビットと前記青色のデジタルデータ信号の残りのビットとを組み合わせることで生成され、さらに、

前記第1及び第2の組み合わせデジタルデータ信号を第1及び第2のデータ伝送ラインのそれぞれを通じてデータドライバ集積回路へ伝送する段階と、

前記第1及び第2の組み合わせデジタルデータ信号を処理して、前記赤色、緑色及び青色のデジタルデータ信号に復元する段階と、

復元された前記赤色、緑色及び青色のデジタルデータ信号をアナログデータ信号に変換する段階と、

前記アナログデータ信号を表示パネルに供給する段階と、
を備えることを特徴とする、表示装置の駆動方法。

10

【請求項9】

ソースシフトクロック及びソーススタートパルスを使用してサンプリング信号を発生する段階と、

前記サンプリング信号に応じて、復元された前記赤色、緑色及び青色のデジタルデータ信号をラッチする段階と、

をさらに備えることを特徴とする、請求項8に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に係り、特に、データ伝送ラインの数と周波数の大きさを最適化することができる液晶表示装置の駆動回路及びその駆動方法に関する。

【背景技術】

【0002】

近来、陰極線管(Cathode Ray Tube)の短所とされる重さと体積を低減できる各種の平板表示装置が台頭してきている。かかる平板表示装置には、液晶表示装置(Liquid Crystal Display)、電界放出表示装置(Field Emission Display)、プラズマ表示パネル(Plasma Display Panel)及び発光表示装置(Light Emitting Display)などがある。

【0003】

なかでも液晶表示装置は、複数のデータラインと複数のゲートラインによって定義される領域に複数の液晶セルが配置され、各液晶セルにスイッチ(Switch)素子である薄膜トランジスタ(Thin Film Transistor)が形成された薄膜トランジスタ基板と、カラーフィルタ(Color Filter)が形成されたカラーフィルタ基板と、これら両基板間に形成された液晶層と、を備える。このような液晶表示装置は、データ信号によって液晶層に電界を形成し液晶層を通過する光の透過率を調節することによって望む画像を表示する。

30

【0004】

図1は、従来の液晶表示装置を概略的に示す図である。

従来の液晶表示装置は、図1に示すように、n個のゲートラインGL1~GLnとm個のデータラインDL1~DLmとによって定義される液晶セルを含む液晶パネル110と、データラインDL1~DLmにアナログデータ信号を供給するデータドライバ140と、ゲートラインGL1~GLnにスキャンパルスを供給するゲートドライバ150と、外部から入力されるデジタルデータ信号RGBを、液晶パネル110の駆動に合わせて整理してデータドライバ140に供給するとともに、データドライバ140とゲートドライバ150を制御するタイミングコントローラ130と、を備える。

40

【0005】

液晶パネル110は、n個のゲートラインGL1~GLnとm個のデータラインDL1~DLmとによって定義される領域に形成された薄膜トランジスタTF Tと、薄膜トランジスタTF Tに接続される液晶セルと、を備える。薄膜トランジスタTF Tは、ゲートラインGL1~GLnからのスキャンパルスにตอบสนองしてデータラインDL1~DLmからのデータ信号を液晶セルに供給する。液晶セルは、液晶を間において対面する共通電極と薄

50

膜トランジスタTFTに接続されたサブピクセル電極とで構成されるので、等価的に液晶キャパシタC_{lc}で表示されることができる。このような液晶セルは、液晶キャパシタC_{lc}に充電されたデータ信号を次のデータ信号が充電されるまで維持させるために、前段ゲートラインに接続されたストレージキャパシタC_{st}を備える。

【0006】

タイミングコントローラ130は、外部から供給されるデジタルデータ信号RGBを、液晶パネル110の駆動に合わせて整列してデータドライバ140に供給する。また、タイミングコントローラ130は、外部から入力されるメインクロックMCLK、データインエーブル信号DE、水平及び垂直同期信号Hsync、Vsyncを用いてデータ制御信号DCSとゲート制御信号GCSを生成し、データドライバ140とゲートドライバ150のそれぞれの駆動タイミングを制御する。

10

【0007】

ゲートドライバ150は、タイミングコントローラ130からのゲート制御信号GCSにตอบสนองしてスキャンパルス、すなわち、ゲートハイパルスを順次発生するシフトレジスタを含む。このため、ゲートドライバ150は、シフトレジスタを有する複数のゲートドライバ集積回路を備える。

【0008】

図2は、図1に示すタイミングコントローラと複数のデータドライバ集積回路間の接続構造を示す図である。同図において、データドライバ140は、液晶パネル110のデータラインDLのそれぞれにアナログデータ信号を供給する複数のデータドライバ集積回路242を備える。

20

【0009】

各データドライバ集積回路242は、タイミングコントローラ130から供給されるデータ制御信号DCSによって、タイミングコントローラ130からの整列されたデジタルデータ信号Dataをアナログデータ信号に変換し、ゲートラインGL1~GLnにスキャンパルスが供給される1水平周期ごとに1水平ライン分のアナログデータ信号をデータラインDL1~DLmに供給する。すなわち、各データドライバ集積回路242は、データ信号Dataの階調に対応する相異なる電圧値を持つ複数のガンマ電圧を生成し、デジタルデータ信号Dataの階調値によって一つのガンマ電圧を上記アナログデータ信号として選択してデータラインDL1~DLmに供給する。

30

【0010】

このような従来の液晶表示装置の駆動装置は、CMOSインターフェース方式によってタイミングコントローラ130で外部からのデジタルソースデータRGBをTTL/CMOS(Transistor-Transistor Logic/Complementary Metal Oxide Semiconductor)レベルに変換し、変換されたデータ信号Dataを1ポート対1ポートまたは1ポート対2ポート方式でデータドライバ140に並列伝送する。

【0011】

このため、従来の液晶表示装置の駆動装置は、図2に示すように、タイミングコントローラ130と各データドライバ集積回路242との間に、データ伝送のための複数のデータ伝送ライン222及びデータ制御信号DCSの伝送のための複数の制御信号伝送ライン224を備える。

40

【0012】

タイミングコントローラ130は、TTL/CMOSレベルのデータ信号Dataを複数のデータ伝送ライン222に供給すると同時に、データ制御信号DCSを複数の制御信号伝送ライン224に供給する。この制御信号伝送ライン224は、複数のクロックラインを含む。

【0013】

各データドライバ集積回路242は、複数のデータ伝送ライン222及び複数の制御信号伝送ライン224に共通して接続される。これにより、各データドライバ集積回路242は、複数の制御信号伝送ライン224から供給されるデータ制御信号DCSによって順

50

次に駆動され、複数のデータ伝送ライン 2 2 2 からのデータ信号 Data を受信し、受信したデータ信号 Data をアナログデータ信号に変換して各データライン DL 1 ~ DL m に供給する。

【 0 0 1 4 】

一般に、データ伝送ライン 2 2 2 の個数が少ないほど液晶表示装置のサイズは小さくなる。しかし、データ伝送ライン 2 2 2 の個数が少ないほどこのデータ伝送ライン 2 2 2 に沿って供給されるデジタルデータ信号の周波数が増加してしまう。すなわち、データ伝送ライン 2 2 2 の個数を減少させると、液晶表示装置のサイズは低減できるが、周波数が増加するという問題につながり、一方、データ伝送ライン 2 2 2 の個数を増やすと、液晶表示装置のサイズが増加するという短所があるが、周波数を減少できるという長所が得られる。

10

【 0 0 1 5 】

したがって、二つの場合における長所を最大化するようにデータ伝送ライン 2 2 2 の個数を最適化させることが重要である。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 6 】

しかしながら、従来の液晶表示装置の駆動回路は、データ伝送ライン 2 2 2 の個数が最適化しておらず、周波数が大きく増加したり、液晶表示装置のサイズが大きく増加するという問題点があった。

20

【 課題を解決するための手段 】

【 0 0 1 7 】

本発明は上記の従来の問題点を解決するためのもので、その目的は、R / G / B デジタルデータ信号を組み合わせることで 2 個の新しいデジタルデータ信号を生成し、これをデータ伝送ラインを通じてデータ集積回路に供給することによって周波数に対するデータ伝送ラインの数を大きく減少させることができる液晶表示装置の駆動回路及びその駆動方法を提供することにある。

【 0 0 1 8 】

上記目的を達成するための本発明に係る液晶表示装置の駆動回路は、画像を表現するための相異なる色の p (ただし、p は、正の整数) 個のデジタルデータ信号を組み合わせることで新しい q (ただし、q は、p より小さい正の整数) 個のデジタルデータ信号を生成し、この生成された q 個のデジタルデータ信号を q 個のデータ伝送ラインにそれぞれ供給するタイミングコントローラと、前記 q 個のデータ伝送ラインを通じて供給される q 個のデジタルデータ信号を組み合わせることで元の p 個のデジタルデータ信号に復元し、この復元された p 個のデジタルデータ信号をアナログ変換して液晶パネルに供給する複数のデータドライバ集積回路と、を備えて構成されることを特徴とする。

30

【 0 0 1 9 】

また、上記目的を達成するための本発明に係る液晶表示装置の駆動回路は、画像を表現するための相異なる色の第 1 デジタルデータ信号を組み合わせることによって、前記第 1 デジタルデータ信号の数よりも少ない第 2 デジタルデータ信号を生成し、この生成された第 2 デジタルデータ信号を前記第 2 デジタルデータ信号と同じ数のデータ伝送ラインにそれぞれ供給するタイミングコントローラと、前記データ伝送ラインを通じて供給される第 2 デジタルデータ信号を組み合わせることによって、前記第 1 デジタルデータ信号と同じ第 3 デジタルデータ信号を生成し、この生成された第 3 デジタルデータ信号をアナログ変換して液晶パネルに供給する複数のデータドライバ集積回路と、を備えて構成されることを特徴とする。

40

【 0 0 2 0 】

また、上記目的を達成するための本発明に係る液晶表示装置の駆動方法は、画像を表示するための液晶表示装置の駆動方法において、前記画像を表現するための相異なる色の p (ただし、p は、正の整数) 個のデジタルデータ信号を組み合わせることで新しい q (ただし、q

50

は、 p より小さい正の整数)個のデジタルデータ信号を生成する段階と、前記生成された q 個のデジタルデータ信号を q 個のデータ伝送ラインを通じて伝送する段階と、前記 q 個のデータ伝送ラインを通じて供給される q 個のデジタルデータ信号を組み合わせる元の p 個のデジタルデータ信号に復元する段階と、前記復元された p 個のデジタルデータ信号をアナログ変換する段階と、前記アナログに変換されたデジタルデータ信号を液晶パネルに供給する段階と、を備えてなることを特徴とする。

【発明の効果】

【0021】

本発明に係る液晶表示装置の駆動回路は、デジタルデータ信号を変調してデータ伝送ラインに供給することによって、デジタルデータ信号が伝送されるデータ伝送ラインの数を最適化させ、これにより、周波数の大きさ及びデータ伝送ラインの数を最適化させることが可能になる。

10

【発明を実施するための最良の形態】

【0022】

以下、添付の図面を参照して、本発明に係る液晶表示装置の好適な実施形態について詳細に説明する。

【0023】

図3は、本発明の実施形態による液晶表示装置を示す図である。

【0024】

本発明の実施形態による液晶表示装置は、図3に示すように、画像を表示する表示部312を有する液晶パネル310と、液晶パネル310にスキャンパルスを供給する複数のゲートドライバ集積回路GIC1~GICiと、システム(図示せず)から供給される異なる色のデジタルデータ信号を組み合わせる新しいデジタルデータ信号を生成し、この生成されたデジタルデータ信号を複数のデータ伝送ライン群TL1~TLkに供給するタイミングコントローラ330と、各データ伝送ライン群TL1~TLkを通じて供給されるデジタルデータ信号を元のデジタルデータ信号に復元し、この復元されたデジタルデータ信号をアナログ信号に変換して液晶パネル310に供給する複数のデータドライバ集積回路DIC1~DICkと、を備える。

20

【0025】

また、本発明の実施形態による液晶表示装置は、タイミングコントローラ330及び電源回路(図示せず)が実装された印刷回路基板(Printed Circuit Board)320と、各データドライバ集積回路DIC1~DICkが実装され、印刷回路基板320と液晶パネル310間に取り付けられる複数のデータテープキャリアパッケージ(Tape Carrier package; 以下、「TCP」という。)341と、各ゲートドライバ集積回路GIC1~GICiが実装され、液晶パネル310に取り付けられる複数のゲートTCP351と、をさらに備える。

30

【0026】

液晶パネル310は、マトリクス形態に形成された液晶セルLCの光透過率を調節することによって画像を表示する。各液晶セルLCは、ゲートラインGLとデータラインDLとの交差点に接続されたスイッチング素子である薄膜トランジスタを備える。データラインDLは、各データドライバ集積回路DIC1~DICkからアナログデータ信号が供給される。

40

【0027】

各データTCP341は、TAB(Tape Automated Bonding)方式によって印刷回路基板320と液晶パネル310間に取り付けられる。このときに、各データTCP341の入力パッドは、印刷回路基板320に電氣的に接続され、出力パッドは液晶パネル310のデータパッドに電氣的に接続される。このような各データTCP341上にはデータドライバ集積回路DIC1~DICkが実装される。

【0028】

各ゲートTCP341は、TAB方式によって液晶パネル310のゲートパッドに電氣

50

的に接続される。このような各ゲート T C P 3 4 1 上にはゲートドライバ集積回路 G I C 1 ~ G I C i が実装される。

【 0 0 2 9 】

印刷回路基板 3 2 0 には、タイミングコントローラ 3 3 0、電源回路（図示せず）、及び各データドライバ集積回路 D I C 1 ~ D I C k に基準ガンマ電圧を供給する基準ガンマ電圧生成部（図示せず）などが実装される。また、印刷回路基板 3 2 0 には、各構成要素同士間の電気的接続のための信号配線（図示せず）が形成される。これら信号配線は、データ伝送ライン群 T L 1 ~ T L k を含む。

【 0 0 3 0 】

タイミングコントローラ 3 3 0 は、ユーザーコネクタ（図示せず）を通じて外部から入力されるメインクロック M C L K、データネーブル信号 D E、水平及び垂直同期信号 H s y n c、V s y n c を用いてデータ制御信号 D C S とゲート制御信号 G C S を生成し、複数のデータドライバ集積回路 D I C 1 ~ D I C k と各ゲートドライバ集積回路 G I C ~ G I C i の駆動タイミングを制御する。

【 0 0 3 1 】

このようなタイミングコントローラ 3 3 0 及びデータドライバ集積回路 D I C 1 ~ D I C k 間の連結関係についてより具体的に説明すると、下記の通りである。

【 0 0 3 2 】

図 4 は、図 3 のタイミングコントローラとデータドライバ集積回路間の結合関係を示す図である。

【 0 0 3 3 】

すなわち、図 4 に示すように、タイミングコントローラ 3 3 0 と第 1 乃至第 k データドライバ集積回路 D I C 1 ~ D I C k は、第 1 乃至第 k データ伝送ライン群 T L 1 ~ T L k によって互いに接続されている。ここで、各データ伝送ライン群 T L 1 ~ T L k は、2 個のデータ伝送ラインからなる。

【 0 0 3 4 】

具体的に、図 4 のタイミングコントローラと第 1 データドライバ集積回路間の接続関係を示す図 5 を参照すると、第 1 データ伝送ライン群 T L 1 は、第 1 データ伝送ライン L 1 と第 2 データ伝送ライン L 2 とからなっている。その結果、各データドライバ集積回路 D I C 1 ~ D I C k は、図 5 に示すように、第 1 及び第 2 データ伝送ライン L 1、L 2 を通じてタイミングコントローラ 3 3 0 からデジタルデータ信号を受信する。

【 0 0 3 5 】

また、各データドライバ集積回路 D I C 1 ~ D I C k は、タイミングコントローラ 3 3 0 から一つのクロック信号を受信する。このため、各データドライバ集積回路 D I C 1 ~ D I C k とタイミングコントローラ 3 3 0 は、クロック信号を伝送する一つのクロックライン C L によって互いに接続されている。

【 0 0 3 6 】

タイミングコントローラ 3 3 0 は、システムから供給される p 個のデジタルデータ信号を取り込む。ここで、p（ただし、p は、正の整数）個のデジタルデータ信号は相異なる色相に対する情報を有する信号であって、一般に、p が 3 の場合、各信号は、赤色に対する情報を有する赤色データデジタル信号、緑色に対する情報を有する緑色デジタルデータ信号、そして青色に対する情報を有する青色デジタルデータ信号を意味する。他の例として、p が 4 の場合、上記の 3 色のデジタルデータに加えて、白色に対する情報を有する白色デジタルデータ信号が含まれる。

【 0 0 3 7 】

一方、タイミングコントローラ 3 3 0 とシステムは、伝送ライン（図示せず）を通じて互いに接続される。タイミングコントローラ 3 3 0 とシステムとが 3 個の伝送ラインによって接続される場合、上記 3 色のデジタルデータ信号は各伝送ラインを通じて独立してタイミングコントローラ 3 3 0 に供給される。すなわち、赤色、緑色、及び青色デジタルデータ信号をいずれも 8 ビットのデジタルデータ信号とすると、赤色デジタルデータ信号の

10

20

30

40

50

全てのビットはいずれかの伝送ラインを通じてタイミングコントローラ 330 に順次供給され、緑色デジタルデータ信号の全てのビットは、残り二つの伝送ラインのいずれか一つを通じてタイミングコントローラ 330 に順次供給され、青色データ信号の全てのビットは、残りの一つの伝送ラインを通じてタイミングコントローラ 330 に供給される。

【0038】

また、タイミングコントローラ 330 は、上記供給された 3 色のデジタルデータ信号を、新しい q (ただし、 q は、 p より小さい正の整数) 個のデジタルデータ信号に変換する。すなわち、タイミングコントローラ 330 は、3 色のデジタルデータ信号を受信し、3 色より少ない 2 色のデジタルデータ信号を生成する。具体的に、タイミングコントローラ 330 は、各デジタルデータ信号のビットを組み合わせて新しい 2 色のデジタルデータ信号を生成する。

10

【0039】

一方、タイミングコントローラ 330 がシステムから 4 個のデジタルデータ信号 (すなわち、赤色デジタルデータ信号、緑色デジタルデータ信号、青色デジタルデータ信号、及び白色デジタルデータ信号) を受信する場合、タイミングコントローラ 330 は、上述した方法で 4 個のデジタルデータ信号を組合せ 2 個または 3 個の組合せデジタルデータ信号を生成する。このときに、データ伝送ラインの数は、組合せデジタルデータ信号の数によって変化する。すなわち、データ伝送ラインの数は、組合せデジタルデータ信号の数と同一である。

【0040】

20

例えば、図 6 は、図 4 に示すタイミングコントローラから出力されるデジタルデータ信号の波形及びクロック信号の波形を示す図であり、タイミングコントローラ 330 は、図 6 に示すように、赤色デジタルデータ信号 $Data_R$ の全てのビット $R0 \sim R7$ と、青色デジタルデータ信号 $Data_B$ の上位ビット $B0 \sim B3$ とを組み合わせて一つの新しいデジタルデータ信号 $Data_R/B$ (以下、'第 1 組合せデジタルデータ信号 $Data_R/B$ ' という。) を生成する。また、タイミングコントローラ 330 は、図 6 に示すように、緑色デジタルデータ信号 $Data_G$ の全てのビット $G0 \sim G7$ と、青色デジタルデータ信号 $Data_B$ の下位ビット $B4 \sim B7$ とを組み合わせて一つの新しいデジタルデータ信号 $Data_G/B$ (以下、'第 2 組合せデジタルデータ信号 $Data_G/B$ ' という。) を生成する。

30

【0041】

すなわち、タイミングコントローラ 330 は、システムから供給された 8 ビットの 3 色のデジタルデータ信号 $Data_R$ 、 $Data_G$ 、 $Data_B$ を組み合わせることで 12 ビットの第 1 及び第 2 組合せデジタルデータ信号 $Data_R/B$ 、 $Data_G/B$ を生成する。

【0042】

そして、タイミングコントローラ 330 は、第 1 組合せデジタルデータ信号 $Data_R/B$ を各データドライバ集積回路 $DIC1 \sim DICk$ に供給する。このときに、タイミングコントローラ 330 は、第 1 組合せデジタルデータ信号 $Data_R/B$ を、各第 1 データ伝送ライン $L1$ を通じて各データドライバ集積回路 $DIC1 \sim DICk$ に供給する。

40

【0043】

また、タイミングコントローラ 330 は、第 2 組合せデジタルデータ信号 $Data_G/B$ を、各データドライバ集積回路 $DIC1 \sim DICk$ に供給する。このときに、タイミングコントローラ 330 は、第 2 組合せデジタルデータ信号 $Data_G/B$ を、各第 2 データ伝送ライン $L2$ を通じて各データドライバ集積回路 $DIC1 \sim DICk$ に供給する。

【0044】

この際、各データドライバ集積回路 $DIC1 \sim DICk$ は、クロック信号 CLK の各立ち上がりエッジ及び立ち下がりエッジごとに第 1 及び第 2 組合せデジタルデータ信号 $Data$

50

t a _ R / B、D a t a _ G / Bの各ビットをサンプリングして取り込む。

【 0 0 4 5 】

その後、データドライバ集積回路D I C 1 ~ D I C kのそれぞれは、自分に供給された第1及び第2組合せデジタルデータ信号D a t a _ R / B、D a t a _ G / Bを組み替えて元のデジタルデータ信号に復元する。すなわち、第1及び第2組合せデータ信号のビットを組み替えて元のデジタルデータ信号(赤色デジタルデータ信号D a t a _ R、緑色デジタルデータ信号D a t a _ G、及び青色デジタルデータ信号D a t a _ B)に復元する。そして、この復元されたデジタルデータ信号(D a t a _ R、D a t a _ G、D a t a _ B)を液晶パネル3 1 0の各データラインD Lに供給する。

【 0 0 4 6 】

このようなデータドライバ集積回路D I C 1 ~ D I C kの構成についてより詳細に説明すると、下記の通りである。

【 0 0 4 7 】

図7は、図4に示す各データドライバ集積回路の詳細構成図である。

各データドライバ集積回路D I C 1 ~ D I C kは、図7に示すように、タイミングコントローラ3 3 0から第1及び第2組合せデジタルデータ信号D a t a _ R / B、D a t a _ G / Bを受信し、これらのビットを組み替えて元の赤色、緑色、及び青色デジタルデータ信号D a t a _ R、D a t a _ G、D a t a _ Bを生成するデータ復元部7 2 0と、タイミングコントローラ3 3 0からのデータ制御信号D C Sのうち、ソースシフトクロックS S C及びソーススタートパルスS S Pを用いてサンプリング信号を発生するシフトレジスタ2 0 0と、このサンプリング信号に応じてデータ復元部7 2 0から供給される1ライン分の赤色、緑色、及び青色デジタルデータ信号D a t a _ R、D a t a _ G、D a t a _ Bを順次サンプリングする第1ラッチ7 3 0と、データ制御信号D C Sのうちソース出力イネーブル信号S O Eに応じて、第1ラッチ7 3 0でサンプリングされた1ライン分の赤色、緑色、及び青色デジタルデータ信号D a t a _ R、D a t a _ G、D a t a _ Bを同時に出力する第2ラッチ7 4 0と、第2ラッチ7 4 0から供給される1ライン分のデジタルデータ信号をアナログデータ信号に変換して液晶パネル3 1 0の各データラインD L 1 ~ D L mに供給するデジタル-アナログ変換器7 5 0と、を備える。

【 0 0 4 8 】

このように構成された本発明の液晶表示装置において、pは3に設定し、qは2(各データ伝送ライン群T L 1 ~ T L kを構成するデータ伝送ラインL 1、L 2の数と同一)に設定し、kは8に設定することが好ましい。このように設定する場合、本発明の液晶表示装置は、3色のデジタルデータ信号を2色のデジタルデータ信号に変換し、この変換された2色のデジタルデータ信号を2個のデータ伝送ラインを通じて8個のデータドライバ集積回路D I C 1 ~ D I C kのそれぞれに供給する。

【 0 0 4 9 】

このような実際の構成を有する本発明の液晶表示装置と従来の液晶表示装置とを、周波数及びデータ伝送ラインの数に基づいて比較すると、次の通りである。

【 0 0 5 0 】

表1は、周波数及びデータ伝送ラインの数に基づいて本発明の液晶表示装置と従来の液晶表示装置とを比較説明したものである。

【 0 0 5 1 】

【表1】

	TTL	Mini-LVDS	PPDS	本発明
周波数	62. 2MHz	124. 4MHz	147MHz	93. 3MHz
データ伝送ライン	48	24	32	16
クロックライン	1	2	4	1

【 0 0 5 2 】

10

20

30

40

50

ここで、表 1 に示す本発明の液晶表示装置、従来の T T L 方式の液晶表示装置、従来の M i n i - L V D (S l o w V o l t a g e D i f f e r e n t i a l S i g n a l) 方式の液晶表示装置、及び従来の P P D S (P o i n t t o P o i n t D i f f e r e n t i a l S i g n a l) 方式の液晶表示装置は、1920 * 1080 の解像度を有し、8 ビットのデジタルデータ信号を受信し、8 個のデータドライバ集積回路 D I C 1 ~ D I C k (各データドライバ集積回路 D I C 1 ~ D I C k は、720 個のチャンネルを有する。) を備える。ここで、T T L 方式及び M i n i - L V D S 方式の液晶表示装置は、2 ポート対 2 ポート方式を採用しており、P P D S 方式は 2 ペア方式を採用している。

【 0 0 5 3 】

表 1 に示すように、本発明の液晶表示装置は、従来の M i n i - L V D S 方式の液晶表示装置及び従来の P P D S 方式の液晶表示装置に比べて、より小さい周波数を表す。また、本発明の液晶表示装置は、上記の 2 種類の従来液晶表示装置に比べて、より少ない数のデータ伝送ライン及びより少ない数のクロックラインを使用する。

10

【 0 0 5 4 】

一方、本発明の液晶表示装置は、従来の T T L 方式の液晶表示装置に比べてやや高い周波数を表すが、より少ない数のデータ伝送ラインを使用する。ここで、本発明の液晶表示装置のクロックラインの数と前記 T T L 方式の液晶表示装置のクロックラインの数は同一である。

【 0 0 5 5 】

以上では具体的な実施形態及び添付の図面に基づいて本発明を説明してきたが、これに限定されず、本発明の技術的思想を逸脱しない範囲内で種々の置換、変形及び変更が可能であるということは、本発明の属する技術分野における通常の知識を持つ者にとって明白である。

20

【 図面の簡単な説明 】

【 0 0 5 6 】

【 図 1 】 従来の液晶表示装置を概略的に示す図である。

【 図 2 】 図 1 に示すタイミングコントローラと複数のデータドライバ集積回路間の接続構造を示す図である。

【 図 3 】 本発明の実施形態による液晶表示装置を示す図である。

【 図 4 】 図 3 のタイミングコントローラとデータドライバ集積回路間の結合関係を示す図である。

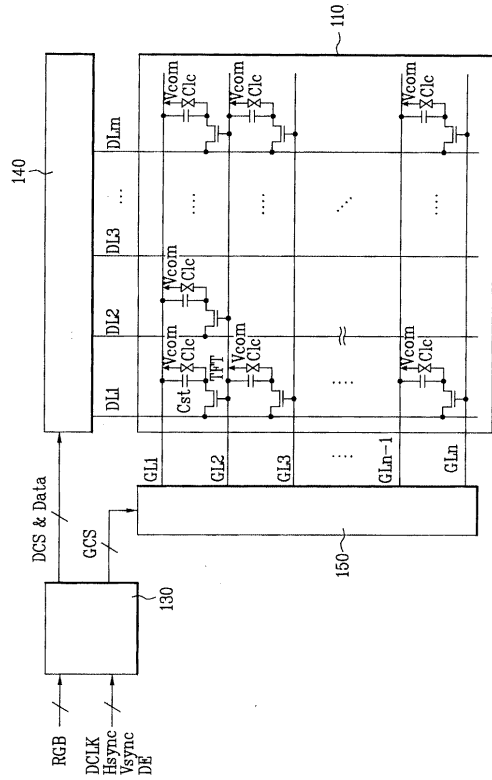
30

【 図 5 】 図 4 のタイミングコントローラと第 1 データドライバ集積回路間の接続関係を示す図である。

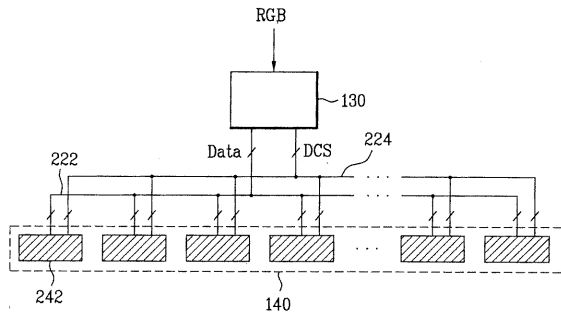
【 図 6 】 図 4 に示すタイミングコントローラから出力されるデジタルデータ信号の波形及びクロック信号の波形を示す図である。

【 図 7 】 図 4 に示す各データドライバ集積回路の詳細構成図である。

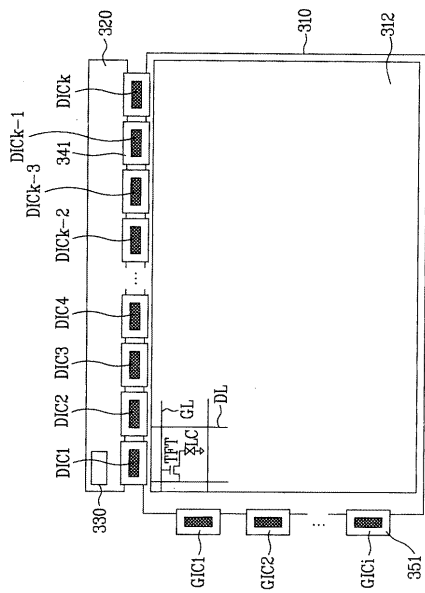
【 図 1 】



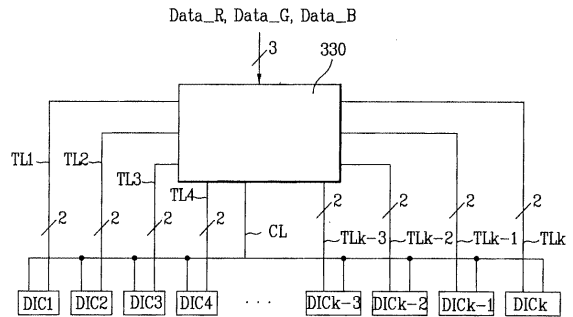
【 図 2 】



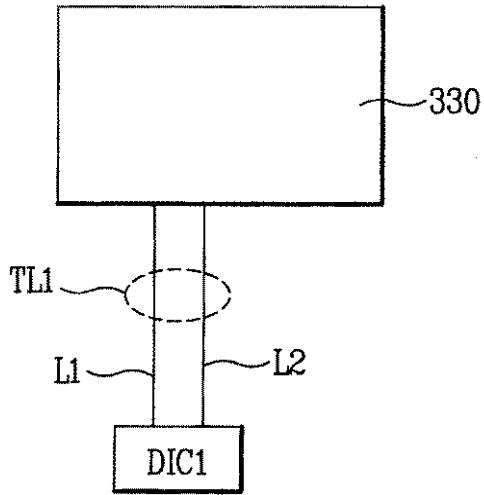
【 図 3 】



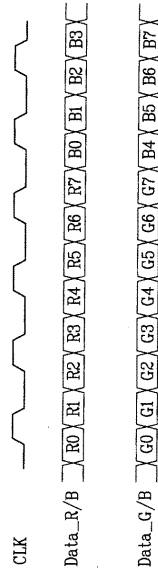
【 図 4 】



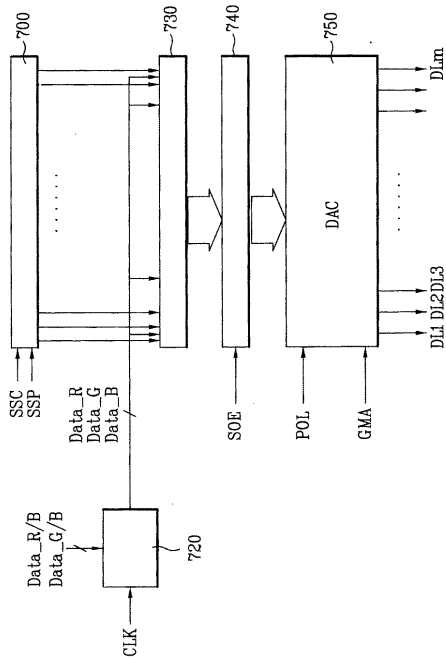
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3 / 2 0 6 3 3 G

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 張 哲 相

大韓民国 京畿道 安養市 東安區 平安洞 8 9 9 - 2 ハンチョン ヒュンダイ 4チャ 2
0 7 - 6 0 1

(72)発明者 金 鐘 勳

大韓民国 京畿道 軍浦市 山本洞 サンボン サイバーテル 9 1 0

(72)発明者 金 善 暎

大韓民国 京畿道 水原市 長安區 泉川洞 5 0 9 / 7 - 2 0 4

審査官 堀部 修平

(56)参考文献 特開平 0 7 - 0 5 6 5 4 3 (J P , A)

特開平 1 1 - 1 9 4 7 3 7 (J P , A)

特開 2 0 0 1 - 2 5 5 8 4 1 (J P , A)

特開 2 0 0 4 - 0 5 3 9 6 0 (J P , A)

特開平 0 8 - 2 7 8 4 7 9 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置的驱动电路及其驱动方法		
公开(公告)号	JP4427038B2	公开(公告)日	2010-03-03
申请号	JP2006173496	申请日	2006-06-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	張哲相 金鐘勳 金善暎		
发明人	張 哲 相 金 鐘 勳 金 善 暎		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/2003 G09G3/3648 G09G2300/0426 G09G2310/0218		
FI分类号	G09G3/36 G02F1/133.570 G09G3/20.633.H G09G3/20.633.C G09G3/20.611.G G09G3/20.633.G		
F-TERM分类号	2H093/NA10 2H093/NA16 2H093/NC13 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC35 2H093/NC90 2H093/ND34 2H093/ND49 2H093/ND50 2H193/ZA04 2H193/ZB44 2H193/ZF14 2H193/ZF42 2H193/ZF51 2H193/ZF52 5C006/AF41 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF03 5C006/BF04 5C006/FA15 5C006/FA42 5C006/FA48 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD23 5C080/FF11 5C080/GG10 5C080/GG11 5C080/JJ02 5C080/JJ04 5C080/JJ06		
代理人(译)	白井伸一 朝日 伸光		
优先权	1020050082685 2005-09-06 KR		
其他公开文献	JP2007072440A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够优化数据传输线的数量和频率的大小的液晶显示装置的驱动电路及其驱动方法。ZOLUTION：显示装置的驱动电路包括定时控制器，用于组合不同颜色的p (p为正整数) 数字数据信号以表示图像以产生q (q是小于p的正整数) 数字数据信号和将产生的q个数字数据信号提供给q个数据传输线，以及多个数据驱动器集成电路，用于组合通过q个数据传输线提供的q个数字数据信号，以恢复p个第一个数字数据信号，转换p个恢复的数字数据信号转换成模拟数据信号，并将模拟数据信号提供给显示板。Z

	TTL	Mini-LVDS	PPDS	本發明
周波数	62. 2MHz	124. 4MHz	147MHz	93. 3MHz
データ伝送ライン	48	24	32	16
クロックライン	1	2	4	1