

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4360500号
(P4360500)

(45) 発行日 平成21年11月11日 (2009.11.11)

(24) 登録日 平成21年8月21日 (2009.8.21)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 623B

G09G 3/20 621F

G02F 1/133 505

請求項の数 9 (全 15 頁)

(21) 出願番号 特願2006-221854 (P2006-221854)

(22) 出願日 平成18年8月16日 (2006.8.16)

(65) 公開番号 特開2008-46358 (P2008-46358A)

(43) 公開日 平成20年2月28日 (2008.2.28)

審査請求日 平成20年8月15日 (2008.8.15)

(73) 特許権者 308033711

O K I セミコンダクタ株式会社

東京都八王子市東浅川町550番地1

(72) 発明者 山崎 厚司

東京都港区虎ノ門1丁目7番12号 沖電
気工業株式会社内

審査官 小川 浩史

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動回路及び駆動装置

(57) 【特許請求の範囲】

【請求項1】

反転入力、非反転入力、及び第1出力を有し、前記反転入力と前記第1出力とが接続されたオペアンプと、

前記オペアンプの前記非反転入力のノードがゲートに接続され、前記オペアンプの前記第1出力のノードがソースに接続された第1PMOSトランジスタと、

前記第1PMOSトランジスタのドレインがゲートに接続され、前記オペアンプの前記第1出力のノードがドレインに接続され、ソースが接地された第1NMOSトランジスタと

、

所定の第1電圧がゲートに与えられ、前記第1PMOSトランジスタのドレインがドレインに接続され、ソースが接地された第2NMOSトランジスタと、
を有する液晶表示装置の駆動回路。

【請求項2】

前記オペアンプの前記非反転入力のノードがゲートに接続され、前記オペアンプの前記第1出力のノードがソースに接続された第3NMOSトランジスタと、

前記第3NMOSトランジスタのドレインがゲートに接続され、前記オペアンプの前記第1出力のノードがドレインに接続され、ソースが電源に接続された第2PMOSトランジスタと、

所定の第2電圧がゲートに与えられ、前記第3NMOSトランジスタのドレインがドレインに接続され、

10

20

ソースが電源に接続された第 3 PMOS トランジスタと、
を有する請求項 1 に記載の液晶表示装置の駆動回路。

【請求項 3】

反転入力、非反転入力、及び第 1 出力を有し、前記反転入力と前記第 1 出力とが接続されたオペアンプと、

前記オペアンプの前記第 1 出力と前記非反転入力との電位差が閾値以上であって、前記第 1 出力が前記非反転入力より高い場合にオンする第 1 PMOS トランジスタと、

前記第 1 PMOS トランジスタのオンに応じてオンし、前記第 1 出力と前記非反転入力との電位差を打ち消すように動作する第 1 NMOS トランジスタと、

前記第 1 PMOS トランジスタとグランド間に直列に接続され、ゲートに閾値以上の電圧が与えられる第 2 NMOS トランジスタと、

を有する液晶表示装置の駆動回路。

10

【請求項 4】

前記オペアンプの前記第 1 出力と前記非反転入力との電位差が閾値以上であって、前記第 1 出力が前記非反転入力より低い場合にオンする第 3 NMOS トランジスタと、

前記第 3 NMOS トランジスタのオンに応じてオンし、前記第 1 出力と前記非反転入力との電位差を打ち消すように動作する第 2 PMOS トランジスタと、

前記第 3 NMOS トランジスタと電源間に直列に接続され、ゲートに閾値以下の電圧が与えられる第 3 PMOS トランジスタと、

を有する請求項 3 に記載の液晶表示装置の駆動回路。

20

【請求項 5】

反転入力、非反転入力、及び第 1 出力を有し、前記反転入力と前記第 1 出力とが接続されたオペアンプと、

前記オペアンプの前記非反転入力のノードがゲートに接続され、前記オペアンプの前記第 1 出力のノードがソースに接続された第 3 NMOS トランジスタと、

前記第 3 NMOS トランジスタのドレインがゲートに接続され、前記オペアンプの前記第 1 出力のノードがドレインに接続され、ソースが電源に接続された第 2 PMOS トランジスタと、

所定の第 2 電圧がゲートに与えられ、前記第 3 NMOS トランジスタのドレインがドレインに接続され、ソースが電源に接続された第 3 PMOS トランジスタと、

を有する液晶表示装置の駆動回路。

30

【請求項 6】

反転入力、非反転入力、及び第 1 出力を有し、前記反転入力と前記第 1 出力とが接続されたオペアンプと、

前記オペアンプの前記第 1 出力と前記非反転入力との電位差が閾値以上であって、前記第 1 出力が前記非反転入力より低い場合にオンする第 3 NMOS トランジスタと、

前記第 3 NMOS トランジスタのオンに応じてオンし、前記第 1 出力と前記非反転入力との電位差を打ち消すように動作する第 2 PMOS トランジスタと、

前記第 3 NMOS トランジスタと電源間に直列に接続され、ゲートに閾値以下の電圧が与えられる第 3 PMOS トランジスタと、

を有する液晶表示装置の駆動回路。

40

【請求項 7】

反転入力、非反転入力、及び第 1 出力を有し、前記反転入力と前記第 1 出力とが接続されたオペアンプと、

前記オペアンプの前記非反転入力のノードがゲートに接続され、前記オペアンプの前記第 1 出力のノードがソースに接続された第 1 PMOS トランジスタと、

前記第 1 PMOS トランジスタのドレインがゲートに接続され、前記オペアンプの前記第 1 出力のノードがドレインに接続され、ソースが接地された第 1 NMOS トランジスタと、

所定の第 1 電圧がゲートに与えられ、前記第 1 PMOS トランジスタのドレインがドレインに接続され、ソースが接地された第 1 NMOS トランジスタと、

50

ンに接続され、ソースが接地された第2 NMOSトランジスタと、
前記オペアンプの前記非反転入力ノードがゲートに接続され、前記オペアンプの前記第1出力ノードがソースに接続された第3 NMOSトランジスタと、
前記第3 NMOSトランジスタのドレインがゲートに接続され、前記オペアンプの前記第1出力ノードがドレインに接続され、ソースが電源に接続された第2 PMOSトランジスタと、
所定の第2電圧がゲートに与えられ、前記第3 NMOSトランジスタのドレインがドレインに接続され、ソースが電源に接続された第3 PMOSトランジスタと、
を有する駆動回路を複数備えた液晶表示装置の駆動装置であって、
前記駆動装置は、前記駆動回路それぞれに対応した出力パッドを有し、
前記駆動回路は、前記オペアンプの前記出力ノードと前記出力パッドとの間に第1のスイッチ手段を有すると共に、それぞれの駆動回路の前記第1のスイッチ手段と前記出力パッドとの間のノード間に第2のスイッチ手段を有することを特徴とする液晶表示装置の駆動装置。

10

【請求項8】

反転入力、非反転入力、第1出力、及び制御端子を有し、前記反転入力と前記第1出力とが接続されると共に、前記非反転入力に応じた出力を前記第1出力に出力／非出力するかを前記制御端子に入力される制御信号に応じて切り替えるオペアンプと、
前記オペアンプの出力ノードに接続されると共に、前記制御信号によってオン／オフされる第3のスイッチ手段と、
前記オペアンプの出力ノードに接続されると共に、前記制御信号によってオン／オフされる第4のスイッチ手段と、
前記オペアンプの前記非反転入力ノードがゲートに接続され、前記オペアンプの前記出力ノードが前記第3のスイッチ手段を介してソースに接続された第1 PMOSトランジスタと、
前記第1 PMOSトランジスタのドレインがゲートに接続され、前記オペアンプの前記出力ノードがドレインに接続され、ソースが接地された第1 NMOSトランジスタと、
所定の第1電圧がゲートに与えられ、前記第1 PMOSトランジスタのドレインがドレインに接続され、
ソースが接地された第2 NMOSトランジスタと、
前記オペアンプの前記非反転入力ノードがゲートに接続され、前記オペアンプの前記出力ノードが前記第4のスイッチ手段を介してソースに接続された第3 NMOSトランジスタと、
前記第3 NMOSトランジスタのドレインがゲートに接続され、前記オペアンプの前記出力ノードがドレインに接続され、ソースが電源に接続された第2 PMOSトランジスタと、
所定の第2電圧がゲートに与えられ、前記第3 NMOSトランジスタのドレインがドレインに接続され、
ソースが電源に接続された第3 PMOSトランジスタと、
を有する液晶表示装置の駆動回路。

20

30

40

【請求項9】

請求項8に記載の駆動回路を複数備えた液晶表示装置の駆動装置であって、
前記駆動装置は、前記駆動回路それぞれに対応した出力パッドを有し、
前記駆動回路は、前記オペアンプの前記出力ノードと前記出力パッドとの間に第1のスイッチ手段を有すると共に、それぞれの駆動回路の前記第1のスイッチ手段と前記出力パッドとの間のノード間に第2のスイッチ手段を有することを特徴とする液晶表示装置の駆動装置。

【発明の詳細な説明】**【技術分野】****【0001】**

50

本発明は、液晶表示装置などに用いられる駆動回路及び駆動装置に関するものである。特に多数の出力オペアンプを有する液晶表示装置のソースドライバに関する。

【背景技術】

【0002】

近年の液晶表示装置の大型化に伴い、液晶駆動装置の様々な性能の向上が望まれている。特に液晶表示装置の大型化に伴いデータ線の負荷容量も増大しており、液晶駆動装置の駆動能力の向上が期待されている。また、最近では液晶表示装置の市場は激しさを増し、各搭載部品のコストダウンを余儀なくされている。駆動装置に関しても同様であり、高駆動能力かつ安価なものが望まれている。

【0003】

10

【特許文献1】特開平05-041651号公報

【特許文献2】特開2003-122325号公報特許文献1では、出力オペアンプの入出力信号の差を比較器で比較し、入力信号が出力信号より所定の閾値電圧以上低いときのみ、比較器からイネーブル信号を出力させてスイッチングトランジスタをオンし、大電流源を有効にすることで、負荷容量の放電側の出力電流を可変にすることを可能とし、装置の消費電力を抑えている。特許文献2では、充放電経路を複数設けることによりスルーレートの向上を図っている。

【発明の開示】

【発明が解決しようとする課題】

【0004】

20

しかしながら、上述の特許文献1では、閾値電圧以上低いときには、速やかに放電できるものの、一定の閾値になるまでなんら、従来の出力と動作が変わらない。出力電圧の範囲が広い場合においては、有効性は非常に低くなってしまう。また、速やかに充電動作は構成されていない。上述の特許文献2では、充電動作、放電動作を持ち合わせているものの、それぞれの別経路については、何らかの別信号により制御する必要がある結果、制御回路が増加してしまう。また、単純にトランジスタのオンオフで制御したとしても大電流に対応したトランジスタでは、素早い反応は期待できず、制御が困難である。本発明は、上記の点に鑑みてなされたものであり、安価で高駆動能力を有する液晶表示装置の駆動回路を提供する。

【課題を解決するための手段】

30

【0005】

本発明の液晶表示装置の駆動回路では、反転入力、非反転入力、及び第1出力を有し、反転入力と第1出力とが接続されたオペアンプと、オペアンプの非反転入力のノードがゲートに接続され、オペアンプの第1出力のノードがソースに接続された第1PMOSトランジスタと、第1PMOSトランジスタのドレインがゲートに接続され、オペアンプの第1出力のノードがドレインに接続され、ソースが接地された第1NMOSトランジスタと、所定の第1電圧がゲートに与えられ、第1PMOSトランジスタのドレインがドレインに接続され、ソースが接地された第2NMOSトランジスタと、を有する。

【発明の効果】

【0006】

40

本発明の液晶表示装置の駆動回路の構成を取ることで、安価で高駆動能力を有する液晶表示装置の駆動回路を提供することが可能となる。

【発明を実施するための最良の形態】

【0007】

以下、図面に基づいて本発明の実施の形態を詳細に説明する。なお、以下の説明及び添付の図面において、略同一の機能及び構成を有する構成要素については、同一の符号を付すことにより重複説明を省略する。

【実施例1】

【0008】

まず、本発明の実施例1に係る液晶表示装置の駆動回路について、図1、図2及び図9を

50

用いて説明する。図1は、本発明の実施例1における駆動回路100の回路図である。図示するように、駆動回路100は、増幅器(OPAMP)10、トランジスタMP-SW1、トランジスタMN-DIS、及びトランジスタMN-SW1を最小構成要素として構成される。増幅器10は反転入力と非反転入力と出力を最小構成要素として有する。増幅器10は、反転入力と出力が接続されており、一般的にボルテージフォロアと呼ばれる接続がされている。非反転入力は、入力信号INが入力される。この入力信号INは、図9に示すように、入力データ応じた階調電圧を階調電圧発生回路910からデジタルアナログコンバータ920によって選択した電圧である。駆動回路930の出力は、液晶パネル940に供給する階調電圧である。また、増幅器10の出力は、駆動回路100の出力信号OUTとしてドライバICの出力パッドPADに供給され、最終的にドライバIC950が搭載された液晶パネル940の負荷容量CLOADに供給される。

10

【0009】

第1PMOSTランジスタであるトランジスタMP-SW1は、ゲートに入力信号INが印加されると共に、ソースには、増幅器10の出力が接続され、ドレインは、ノードNGATEに接続されている。トランジスタMP-SW1は、ソースの電位とゲートの電位を比較し、ゲートの電位がソースの電位より閾値以上下がった場合にオンする。

【0010】

第1NMOSTランジスタであるトランジスタMN-DISは、ゲートがノードNGATEに接続されると共に、ソースは、グラウンドGNDに接続され、ドレインは、増幅器10の出力に接続されている。

20

【0011】

第2NMOSTランジスタであるトランジスタMN-SW1は、ゲートに所定の定電圧VBLが印加され、ドレインがノードNGATEに接続され、ソースがグラウンドGNDに接続されている。ここで、所定の定電圧VBLは、トランジスタMN-SW1の閾値電圧以上の電圧である。一例として、VDDHを15V、VBLを1.1Vとして設定することが可能である。よって、駆動回路に電源が与えられている場合、トランジスタMN-SW1は常時オン状態となり、実質的には定電流として動作するトランジスタである。

【0012】

以下、図2を用いて動作の説明を行う。図2は、駆動回路100のタイミングチャートである。VINは、入力信号INの電圧の変化を示している。VINは、共通電位Vcomに対して高い電位から低い電位に時刻t1において変化したことを表している。VINが時刻t1において変化したことにより、入力信号INと出力信号OUTとでは、電位差が生じる。トランジスタMP-SW1は、入力信号INの変化によりオンする。(ただし、入力信号の変化がトランジスタMP-SW1の閾値以上である。)トランジスタMP-SW1がオンすることにより、トランジスタMP-SW1に電流が流れ、ノードNGATEは、時刻t1以前のVOUTに近づく。ノードNGATEの電位の上昇に伴って、トランジスタMN-DISがオンする。入力信号INと出力信号OUTの電位差が大きい場合には、トランジスタMN-DISは深くオンする。トランジスタMN-DISがオンすると液晶パネルの負荷容量CLOADの電荷を急激に放電させる。負荷容量CLOADが十分に放電なされてくると入力信号INと出力信号OUTの電位差は小さくなり、トランジスタMP-SW1緩やかにオフする。その結果、ノードNGATEは徐々にグラウンドレベルに近づき、トランジスタMN-DISは徐々にオフし、負荷容量CLOADの放電を終了する。

30

40

【0013】

本発明の実施例1によれば、入力信号INの切り替わり時に生じる入力信号INと出力信号OUTの電位差を利用して、出力電位を入力信号INの電位に素早く追従させることが可能となる。特に、入力信号INと出力信号OUTの電位差を利用する本実施例1の構成には、外部制御信号を必要としないので、専用のタイミングコントローラ等の制御回路を必要としない。よって、制御回路の開発にかかるコストを削減できる。

【0014】

50

また、制御回路の分だけ回路面積削減が可能である。また、入力信号 I_N と出力信号 $O_U T$ の電位差に応じてトランジスタ $MN-DIS$ がオンオフするため、出力信号 $O_U T$ の電位の立下り時には、緩やかな動作が実現可能となる。トランジスタ $MN-DIS$ の緩やかなオフ動作により、スイッチングノイズなどが信号出力 $O_U T$ に発生する可能性を小さくすることが可能となる。さらに、本発明の実施例 1 を採用することで、増幅器 10 の定常電流を増加させることなく駆動能力を上げることが可能となり、ドライバ IC の発熱の低減を可能とする。また、出力に定常的に電流を流す必要がある場合であっても、増幅器 10 の出力段のトランジスタサイズを大きくする必要はなく、本発明の実施例 1 で採用したトランジスタ $MN-DIS$ のトランジスタサイズを大きくすることだけで対応が可能となり、増幅器内部での定常電流の増加を抑えることが可能となる。

10

【実施例 2】**【0015】**

本発明の実施例 2 に係る液晶表示装置の駆動回路について、図 3 及び図 4 を用いて説明する。図 3 は、本発明の実施例 2 における駆動回路 200 の回路図である。実施例 1 と同一の構成については、同一の符号を付与し、説明を省略する。

【0016】

駆動回路 200 は、増幅器 (OPAMP) 10、トランジスタ $MN-SW2$ 、トランジスタ $MP-CHG$ 、及びトランジスタ $MP-SW2$ を最小構成要として構成される。増幅器 10 は、反転入力と出力が接続されている。非反転入力は、入力信号 I_N が入力される。増幅器 10 の出力は、駆動回路 200 の出力信号 $O_U T$ としてドライバ IC の出力パッド PAD に供給され、最終的にドライバ IC が搭載された液晶パネルの負荷容量 $CLOAD$ に供給される。

20

【0017】

第 3 PMOS トランジスタであるトランジスタ $MN-SW2$ は、ゲートに入力信号 I_N が印加されると共に、ソースには、増幅器 10 の出力が接続され、ドレインは、ノード PGATE に接続されている。トランジスタ $MN-SW2$ は、ソースの電位とゲートの電位を比較し、ゲートの電位がソースの電位より閾値以上に上がった場合にオンする。第 2 PMOS トランジスタであるトランジスタ $MP-CHG$ は、ゲートがノード PGATE に接続されると共に、ソースは、電源電位 $VDDH$ に接続され、ドレインは、増幅器 10 の出力に接続されている。

30

【0018】

第 3 PMOS トランジスタであるトランジスタ $MP-SW2$ は、ゲートに所定の定電圧 V_{BH} が印加され、ドレインがノード PGATE に接続され、ソースが電源電位 $VDDH$ に接続されている。ここで、所定の定電圧 V_{BH} は、トランジスタ $MP-SW2$ の閾値電圧以下の電圧である。一例として、 $VDDH$ を 1.5V、 V_{BH} 1.3.8 を V として設定することが可能である。よって、駆動回路に電源が与えられている場合、トランジスタ $MP-SW2$ は常時オン状態となり、実質的には定電流として動作するトランジスタである。

【0019】

以下、図 4 を用いて動作の説明を行う。図 4 は、駆動回路 200 のタイミングチャートである。 V_{IN} は、入力信号 I_N の電圧の変化を示している。

40

V_{IN} は、共通電位 V_{com} に対して低い電位から高い電位に時刻 t_2 において変化したことを表している。 V_{IN} が時刻 t_2 において変化したことにより、入力信号 I_N と出力信号 $O_U T$ とでは、電位差が生じる。トランジスタ $MN-SW2$ は、入力信号 I_N の変化によりオンする。(ただし、入力信号の変化がトランジスタ $MN-SW2$ の閾値以上である。) トランジスタ $MN-SW2$ がオンすることにより、トランジスタ $MN-SW2$ に電流が流れ、ノード PGATE は、時刻 t_2 以前の V_{OUT} に近づく。ノード PGATE の電位の降下に伴って、トランジスタ $MP-CHG$ がオンする。入力信号 I_N と出力信号 $O_U T$ の電位差が大きい場合には、トランジスタ $MP-CHG$ は深くオンする。トランジスタ $MP-CHG$ がオンすると液晶パネルの負荷容量 $CLOAD$ の電荷を急激に充電する。負荷容量 $CLOAD$ が十分に充電なされてくると入力信号 I_N と出力信号 $O_U T$ の電位差

50

は小さくなり、トランジスタMN-SW2 緩やかにオフする。その結果、ノードPGATEは徐々に電源電位VDDHに近づき、トランジスタMP-CHGは徐々にオフし、負荷容量CLOADの充電を終了する。

【0020】

本発明の実施例2によれば、入力信号INの切り替わり時に生じる入力信号INと出力信号OUTの電位差を利用して、出力信号OUTの電位を入力信号INの電位に素早く追従させることが可能となる。特に、入力信号INと出力信号OUTの電位差を利用する本実施例2の構成には、外部制御信号を必要としないので、専用のタイミングコントローラ等の制御回路を必要としない。よって、制御回路の開発にかかるコストを削減できる。また、制御回路の分だけ回路面積削減が可能である。また、入力信号INと出力信号OUTの電位差に応じてトランジスタMP-CHGがオンオフするため、出力信号OUTの電位の立ち上がりは、緩やかな動作が実現可能となる。トランジスタMP-CHGの緩やかなオフ動作により、スイッチングノイズなどが信号出力OUTに発生する可能性を小さくすることが可能となる。さらに、本発明の実施例2を採用することで、増幅器10の定常電流を増加させること無く駆動能力を上げることが可能となり、ドライバICの発熱の低減を可能とする。また、出力に定常的に電流を流す必要がある場合であっても、増幅器10の出力段のトランジスタサイズを大きくする必要はなく、本発明の実施例1で採用したトランジスタMP-CHGのトランジスタサイズを大きくすることだけで対応が可能となり、増幅器内部での定常電流の増加を抑えることが可能となる。

【実施例3】

【0021】

本発明の実施例3に係る液晶表示装置の駆動回路について、図5及び図6を用いて説明する。図5は、本発明の実施例3における駆動回路300の回路図である。駆動回路300は、実施例1と実施例2の駆動回路の構成を併せ持つ駆動回路である。駆動回路300は、増幅器(OPAMP)10、トランジスタMP-SW1、トランジスタMN-DIS、トランジスタMN-SW1、トランジスタMN-SW2、トランジスタMP-CHG、及びトランジスタMP-SW2を最小構成要として構成される。増幅器10は、反転入力と出力が接続されており、一般的にボルテージフォロアと呼ばれる接続がされている。非反転入力は、入力信号INが入力される。この入力信号INは、図9に示すように、前段に接続されるデジタルアナログコンバータの出力であり、液晶パネルに供給する階調電圧が印加される。また、増幅器10の出力は、駆動回路300の出力信号OUTとしてドライバICの出力パッドPADに供給され、最終的にドライバICが搭載された液晶パネルの負荷容量CLOADに供給される。

【0022】

第1PMOSトランジスタであるトランジスタMP-SW1は、ゲートに入力信号INが印加されると共に、ソースには、増幅器10の出力が接続され、ドレインは、ノードNGATEに接続されている。トランジスタMP-SW1は、ソースの電位とゲートの電位を比較し、ゲートの電位がソースの電位より閾値以上下がった場合にオンする。

【0023】

第1NMOSトランジスタであるトランジスタMN-DISは、ゲートがノードNGATEに接続されると共に、ソースは、グランドGNDに接続され、ドレインは、増幅器10の出力に接続されている。

【0024】

第2NMOSトランジスタであるトランジスタMN-SW1は、ゲートに所定の定電圧VBLが印加され、ドレインがノードNGATEに接続され、ソースがグランドGNDに接続されている。ここで、所定の定電圧VBLは、トランジスタMN-SW1の閾値電圧以上の電圧である。一例として、VDDHを15V、VBLを1.1Vとして設定することが可能である。よって、駆動回路に電源が与えられている場合、トランジスタMN-SW1は常時オン状態となり、実質的には定電流として動作するトランジスタである。

【0025】

第3 PMOSトランジスタであるトランジスタMN-SW2は、ゲートに入力信号INが印加されると共に、ソースには、増幅器10の出力が接続され、ドレインは、ノードPGATEに接続されている。トランジスタMN-SW2は、ソースの電位とゲートの電位を比較し、ゲートの電位がソースの電位より閾値以上に上がった場合にオンする。

【0026】

第2 PMOSトランジスタであるトランジスタMP-CHGは、ゲートがノードPGATEに接続されると共に、ソースは、電源電位VDDHに接続され、ドレインは、増幅器10の出力に接続されている。

【0027】

第3 PMOSトランジスタであるトランジスタMP-SW2は、ゲートに所定の定電圧VBHが印加され、ドレインがノードPGATEに接続され、ソースが電源電位VDDHに接続されている。ここで、所定の定電圧VBHは、トランジスタMP-SW2の閾値電圧以下の電圧である。一例として、VDDHを15V、VBH13.8をVとして設定することが可能である。よって、駆動回路に電源が与えられている場合、トランジスタMP-SW2は常時オン状態となり、実質的には定電流として動作するトランジスタである。

【0028】

以下、図6を用いて動作の説明を行う。図6は、駆動回路300のタイミングチャートである。VINは、入力信号INの電圧の変化を示している。VINは、時刻t1において、共通電位Vcomに対して高い電位から低い電位に変化し、時刻t2において、共通電位Vcomに対して低い電位から高い電位に変化したことを表している。VINが時刻t1において共通電位Vcomに対して高い電位から低い電位に変化したことにより、入力信号INと出力信号OUTとでは、電位差が生じる。トランジスタMP-SW1は、入力信号INの変化によりオンする。(ただし、入力信号の変化がトランジスタMP-SW1の閾値以上である。)トランジスタMP-SW1がオンすることにより、トランジスタMP-SW1に電流が流れ、ノードNGATEは、時刻t1以前のVOUTに近づく。ノードNGATEの電位の上昇に伴って、トランジスタMN-DISがオンする。入力信号INと出力信号OUTの電位差が大きい場合には、トランジスタMN-DISは深くオンする。トランジスタMN-DISがオンすると液晶パネルの負荷容量CLOADの電荷を急激に放電させる。負荷容量CLOADが十分に放電なされてくると入力信号INと出力信号OUTの電位差は小さくなり、トランジスタMP-SW1緩やかにオフする。その結果、ノードNGATEは徐々にグラウンドレベルに近づき、トランジスタMN-DISは徐々にオフし、負荷容量CLOADの放電を終了する。

【0029】

また、VINが時刻t2において、共通電位Vcomに対して低い電位から高い電位に変化したことにより、入力信号INと出力信号OUTとでは、電位差が生じる。トランジスタMN-SW2は、入力信号INの変化によりオンする。(ただし、入力信号の変化がトランジスタMN-SW2の閾値以上である。)トランジスタMN-SW2がオンすることにより、トランジスタMN-SW2に電流が流れ、ノードPGATEは、時刻t2以前のVOUTに近づく。ノードPGATEの電位の降下に伴って、トランジスタMP-CHGがオンする。入力信号INと出力信号OUTの電位差が大きい場合には、トランジスタMP-CHGは深くオンする。トランジスタMP-CHGがオンすると液晶パネルの負荷容量CLOADの電荷を急激に充電する。負荷容量CLOADが十分に充電なされてくると入力信号INと出力信号OUTの電位差は小さくなり、トランジスタMN-SW2緩やかにオフする。その結果、ノードPGATEは徐々に電源電位VDDHに近づき、トランジスタMP-CHGは徐々にオフし、負荷容量CLOADの充電を終了する。

【0030】

以上の動作より、本発明の実施例3によれば、実施例1及び実施例2の効果に加えて、レイル・ツー・レイル(rail to rail)動作の増幅器10に対応した駆動回路を実現することが可能となる。

【実施例4】

【0031】

本発明の実施例4に係る液晶表示装置の駆動回路について、図7及び図8を用いて説明する。図7は、本発明の実施例4における駆動回路400の回路図である。実施例3と同一の構成については、同一の符号を付与し、説明を省略する。なお、図7では増幅器10を詳細な回路図で示しているが、一般的な増幅器を回路レベルで表現したものであるから、ここでは、詳細な動作の説明は省略する。

【0032】

本実施例4の特徴は、実施例3で説明された、増幅器(OPAMP)10、トランジスタMP-SW1、トランジスタMN-DIS、トランジスタMN-SW1、トランジスタMN-SW2、トランジスタMP-CHG、及びトランジスタMP-SW2に加えて、第1スイッチ手段HIZ-SWと第2スイッチ手段CS-SWを有する。第1スイッチ手段HIZ-SWは、トランジスタMP-CHGのドレインとトランジスタMN-DISのドレインが接続されたノードOUTAと出力パッドPAD間に接続されている。第1スイッチ手段HIZ-SWは例えば、トランスファークロスタックである。

10

【0033】

第2スイッチ手段CS-SWは、第1スイッチ手段HIZ-SWと出力パッドPAD間のノードOUTBnと隣り合う駆動回路の出力ノードOUTBn-1の間に接続されている。第2スイッチ手段CS-SWは、例えばトランスファークロスタックから構成されている。

【0034】

次に図8を用いて動作の説明を行う。図8は、駆動回路400のタイミングチャートである。VINは、時刻t1において、共通電位Vcomに対して高い電位から低い電位に変化し、時刻t2において、共通電位Vcomに対して低い電位から高い電位に変化したことを表している。VHIZは、時刻t1、及びt2において高い電位から低い電位へ立ち下がり、時刻t3、及びt4において、低い電位から高い電位へ立ち上がる。VXHIZは、時刻t1、及びt2において、低い電位から高い電位へ立ち上がり、時刻t3、及びt4において、高い電位から低い電位へ立ち下がる。VHIZとVXHIZとは、相補的な信号である。

20

【0035】

VHIZ及びVXHIZの信号の変化により、時刻t1、t2で第1スイッチ手段HIZ-SWがオフし、第2スイッチ手段CS-SWがオンする。第2スイッチ手段CS-SWがオンすることにより、それぞれの駆動回路の出力OUTBnは短絡される。それぞれの駆動回路の出力OUTBnは短絡されることで、それぞれの駆動回路の出力OUTBnの電位は平均化され、共通電位Vcomに近い電位となる。時刻t3では、第2スイッチ手段CS-SWがオフし、第1スイッチ手段HIZ-SWがオンする。駆動回路の出力OUTBnが共通電位Vcomに近づいた状態で、第1スイッチ手段HIZ-SWがオンすることにより、入力信号INと出力信号OUTAとの間に電位差が生じる。

30

【0036】

トランジスタMP-SW1は、入力信号INと出力信号OUTAとの間に電位差が生じることによりオンする。(ただし、入力信号と出力信号OUTAの電位差がトランジスタMP-SW1の閾値以上である。)トランジスタMP-SW1がオンすることにより、トランジスタMP-SW1に電流が流れ、ノードNGATEは、共通電位Vcomに近づく。ノードNGATEの電位の上昇に伴って、トランジスタMN-DISがオンする。入力信号INと出力信号OUTAの電位差が大きい場合には、トランジスタMN-DISは深くオンする。トランジスタMN-DISがオンすると液晶パネルの負荷容量CLOADの電荷を急激に放電させる。負荷容量CLOADが十分に放電なされてくると入力信号INと出力信号OUTAの電位差は小さくなり、トランジスタMP-SW1緩やかにオフする。その結果、ノードNGATEは徐々にグラウンドレベルに近づき、トランジスタMN-DISは徐々にオフし、負荷容量CLOADの放電を終了する。

40

【0037】

時刻t4では、第2スイッチ手段CS-SWがオフし、第1スイッチ手段HIZ-SW

50

がオンする。駆動回路の出力OUT B_nが共通電位V_{com}に近づいた状態で、第1スイッチ手段HIZ-SWがオンすることにより、入力信号INと出力信号OUT Aとの間に電位差が生じる。

【0038】

トランジスタMN-SW2は、入力信号INと出力信号OUT Aとの間に電位差が生じることによりオンする。(ただし、入力信号INと出力信号OUT Aとの電位差がトランジスタMN-SW2の閾値以上である。)トランジスタMN-SW2がオンすることにより、トランジスタMN-SW2に電流が流れ、ノードPGATEは、共通電位V_{com}に近づく。ノードPGATEの電位の降下に伴って、トランジスタMP-CHGがオンする。入力信号INと出力信号OUT Aの電位差が大きい場合には、トランジスタMP-CHGは深くオンする。トランジスタMP-CHGがオンすると液晶パネルの負荷容量CLOADの電荷を急激に充電する。負荷容量CLOADが十分に充電なされてくると入力信号INと出力信号OUT Aの電位差は小さくなり、トランジスタMN-SW2緩やかにオフする。その結果、ノードPGATEは徐々に電源電位VDDHに近づき、トランジスタMP-CHGは徐々にオフし、負荷容量CLOADの充電を終了する。

10

【0039】

以上の説明により、本発明の実施例4によれば、実施例1、実施例2、及び実施例3の効果に加えて、それぞれの駆動回路の出力OUT B_nを短絡する期間を設けることにより、増幅器10の駆動期間を減らし、消費電力の削減が可能となる。

【0040】

20

また、本発明の基本的な構成であれば、それぞれの駆動回路の出力OUT B_nを短絡することにより、入力信号INと出力信号OUT Aとの間に電位差が生じてしまう。その結果、トランジスタMP-SW1或いはトランジスタMN-SW2がオンしてしまう恐れが生じる。しかしながら、本実施例4の構成によれば、それぞれの駆動回路の出力OUT B_nを短絡する第2スイッチ手段CS-SWを制御する信号を利用して、第1スイッチ手段HIZ-SWを制御することにより、容易に誤動作を防止することが可能となる。

【0041】

図10に示すのは、実施例4の変形例1である駆動回路1000である。実施例4と異なる点を説明する。駆動回路1000では、第1スイッチ手段HIZ-SWと出力パッドPADとの間のノードOUT B_nとMP-SW1のソースとの間に第3スイッチ手段HIZ1-SWが設けられている。また、第1スイッチ手段HIZ-SWと出力パッドPADとの間のノードOUT B_nとMN-SW2のソースとの間に第4スイッチ手段HIZ2-SWが設けられている。トランジスタMN-DISのドレイン、及びトランジスタMP-CHGのドレインは、出力ノードOUT B_nに接続されている。

30

【0042】

第1スイッチ手段HIZ-SW、第3スイッチ手段HIZ1-SW、及び第4スイッチ手段HIZ2-SWは、同じ制御信号HIZ及び制御信号XHIZで制御されているので同じオンオフ動作を行う。駆動回路としての動作は、実施例4と同一である。

【0043】

トランジスタMP-SW1、トランジスタMN-SW2、トランジスタMN-DIS、及びトランジスタMP-CHGの接続関係が実施例4とは、変化したが、実施例4と同様に誤動作せずに動作させることが可能となる。

40

【0044】

図11に示すのは、実施例4の変形例2である駆動回路1100である。実施例4の変形例1と異なる点を説明する。駆動回路1100では、変形例1と比較して第1スイッチ手段HIZ-SWが削除されている。また、OPAMP10が多機能化されている。図11に示すOPAMP10は、反転入力、非反転入力、及び出力に加えて、2つの制御信号を入力している。第3スイッチ手段HIZ1-SW及び第4スイッチ手段HIZ2-SWの制御信号である、制御信号HIZと制御信号XHIZである。OPAMP10は、制御信号HIZに同期して、制御信号HIZがハイである場合は入力信号INに応じた出力信号OUT

50

T B nを出力し、制御信号H I Zがロウである場合は、O P A M P 1 0に内蔵したスイッチ手段により入力信号I Nと出力信号O U T B nの接続を切断する。O P A M P 1 0は2つの制御信号を入力するとあるが、少なくとも1つ入力されればよい。本変形例2のように2つの制御信号を1つの制御信号からO P A M P 1 0内で生成することも可能である。なお、駆動回路としての動作は、実施例4と同一である。

【0045】

変形例1と同様に誤動作せずに動作させることが可能となる。また、多機能化されたO P A M Pにも対応した駆動回路を提供することが可能となる。

【図面の簡単な説明】

【0046】

10

【図1】本発明の実施例1における駆動回路である。

【図2】図1の駆動回路のタイミングチャートである。

【図3】本発明の実施例2における駆動回路である。

【図4】図3の駆動回路のタイミングチャートである。

【図5】本発明の実施例3における駆動回路である。

【図6】図5の駆動回路のタイミングチャートである。

【図7】本発明の実施例4における駆動回路である。

【図8】図7の駆動回路のタイミングチャートである。

【図9】本発明の駆動回路を搭載した駆動装置の概念図である。

【図10】本発明の実施例4における変形例1である。

20

【図11】本発明の実施例4における変形例2である。

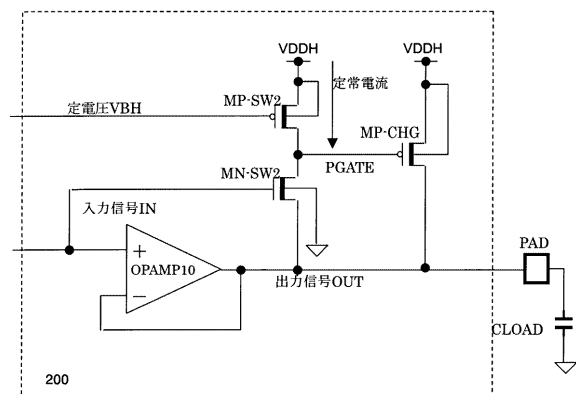
【符号の説明】

【0047】

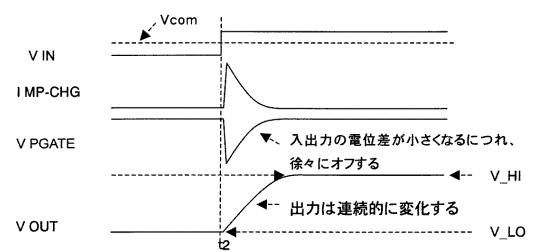
- 10 増幅器 (O P A M P)
- 100 駆動回路
- 910 階調電圧発生回路
- 920 デジタルアナログコンバーター
- 930 駆動回路
- 940 液晶パネル
- 950 ソースドライバ I C

30

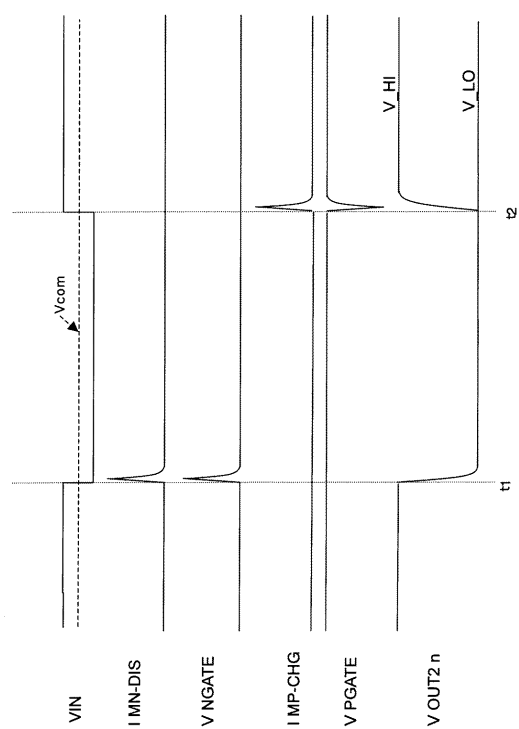
【図 3】



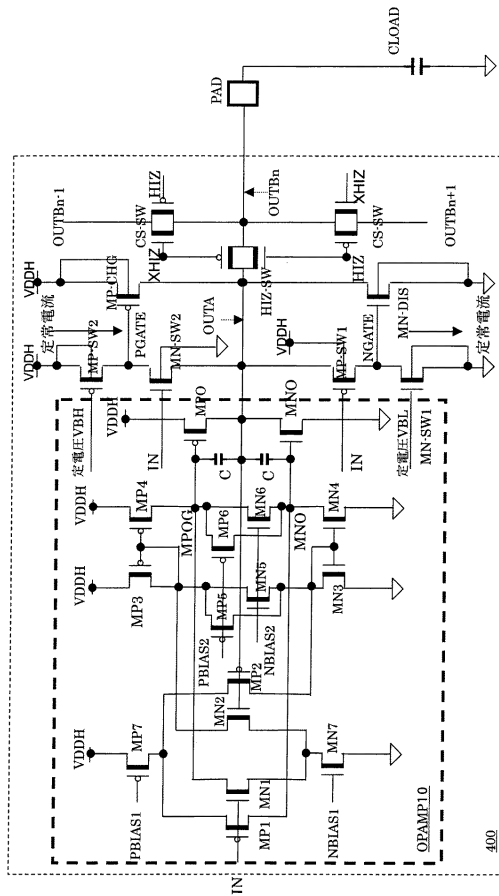
【図 4】



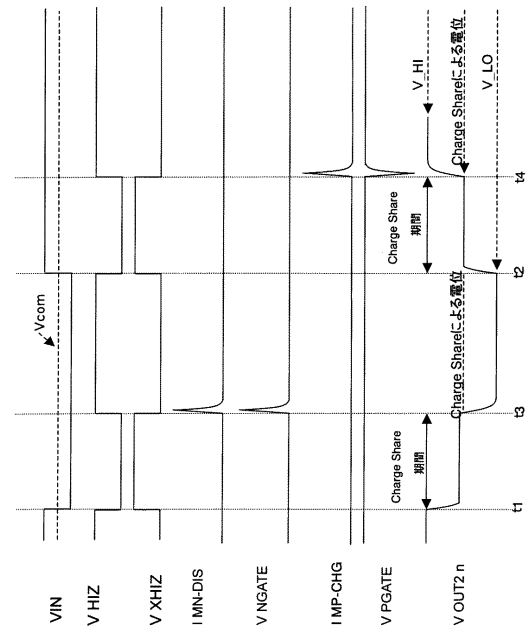
【図 6】



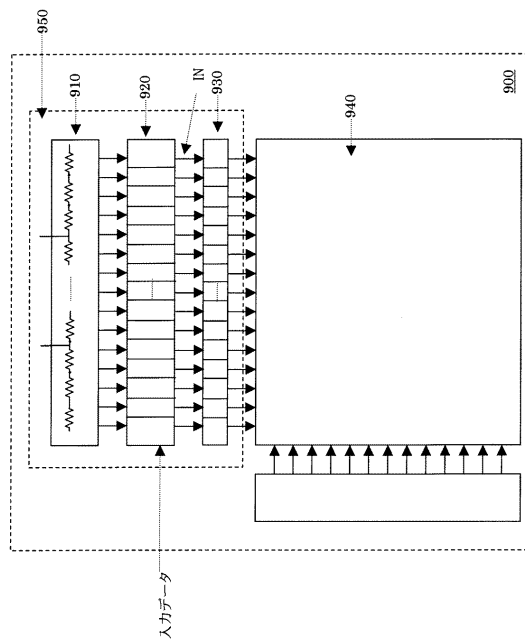
【図 7】



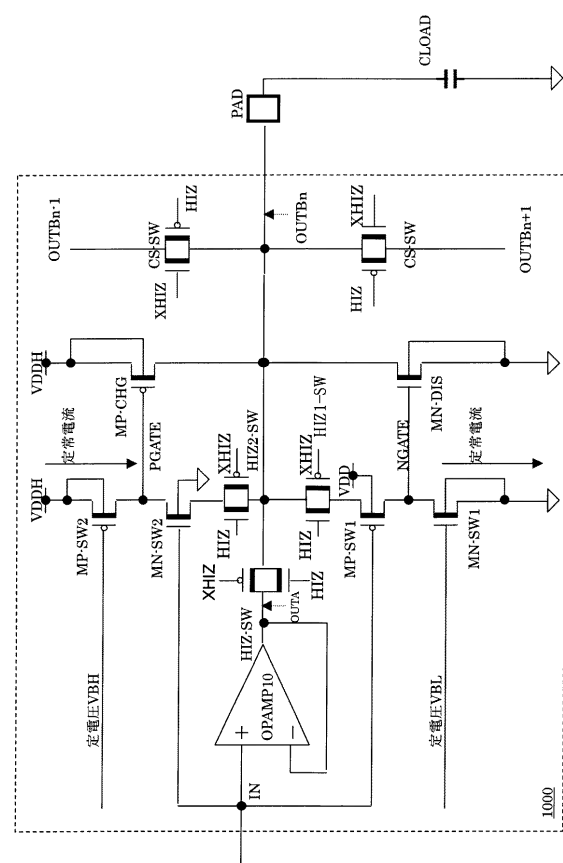
【図 8】



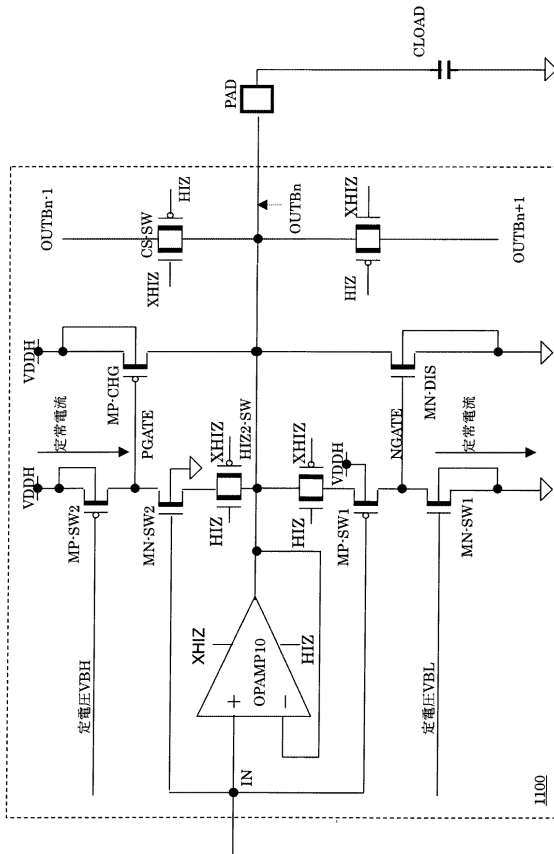
【図 9】



【図 10】



【図 11】



フロントページの続き

- (56)参考文献 特開2006-279512 (JP, A)
特開2002-258821 (JP, A)
特開2002-14658 (JP, A)
国際公開第2006/103889 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

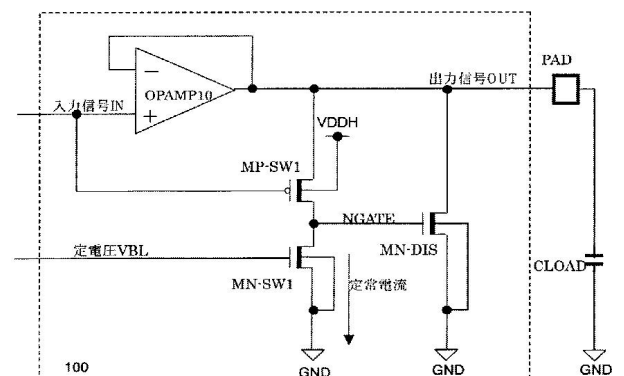
G09G	3/20-3/38
H03F	3/21、3/26
G02F	1/133

专利名称(译)	用于液晶显示装置的驱动电路和驱动装置		
公开(公告)号	JP4360500B2	公开(公告)日	2009-11-11
申请号	JP2006221854	申请日	2006-08-16
申请(专利权)人(译)	冲电气工业株式会社		
当前申请(专利权)人(译)	OKI半导体有限公司		
[标]发明人	山崎厚司		
发明人	山崎 厚司		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	H03K19/018507 G09G3/3685 G09G2310/027 G09G2310/0291 G09G2320/0252 G09G2330/023		
FI分类号	G09G3/36 G09G3/20.623.B G09G3/20.621.F G02F1/133.505 G09G3/20.623.F G09G3/20.623.R		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC03 2H093/NC09 2H093/NC24 2H093/NC25 2H093/ND06 2H093/ND36 2H093/ND37 2H093/ND54 2H193/ZD23 2H193/ZF03 5C006/AC21 5C006/AF43 5C006/AF51 5C006/AF53 5C006/AF69 5C006/AF82 5C006/BB11 5C006/BC12 5C006/BF25 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD27 5C080/EE29 5C080/FF09 5C080/JJ02 5C080/JJ03 5C080/JJ04		
审查员(译)	小川博		
其他公开文献	JP2008046358A		
外部链接	Espacenet		

摘要(译)

提供一种廉价且具有高驱动能力的液晶显示装置的驱动电路。— 本发明的液晶显示装置的驱动电路包括运算放大器，该运算放大器具有反相输入，非反相输入和第一输出，并且具有彼此连接的反相输入和第一输出，以及具有非反相输入的运算放大器。第一NMOS晶体管，其漏极连接到第一PMOS晶体管的栅极，节点连接到运算放大器的漏极，源极接地，第二PMOS晶体管连接到运算放大器的输出节点，并且第二NMOS晶体管具有施加预定第一电压的栅极，第一PMOS晶体管的漏极连接到漏极，源极接地。点域1

【图 1】



【图 2】