

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-32963

(P2010-32963A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.	F I	テーマコード (参考)
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368	2H092
<b>GO2F 1/1335 (2006.01)</b>	GO2F 1/1335 500	2H191
<b>HO1L 21/3205 (2006.01)</b>	HO1L 21/88 S	5F033
<b>HO1L 23/52 (2006.01)</b>		

審査請求 未請求 請求項の数 4 O L (全 15 頁)

(21) 出願番号 特願2008-197621 (P2008-197621)  
 (22) 出願日 平成20年7月31日 (2008.7.31)

(71) 出願人 000004329  
 日本ビクター株式会社  
 神奈川県横浜市神奈川区守屋町3丁目12番地  
 (72) 発明者 岩佐 隆行  
 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内  
 Fターム(参考) 2H092 GA29 GA50 GA59 JA23 JA25  
 JA46 JB07 JB54 JB69 KA03  
 KA12 KA18 MA13 MA17 MA27  
 NA01 NA22 NA27 PA09  
 2H191 FA13Y FA31Y GA19 LA03 LA21  
 NA43

最終頁に続く

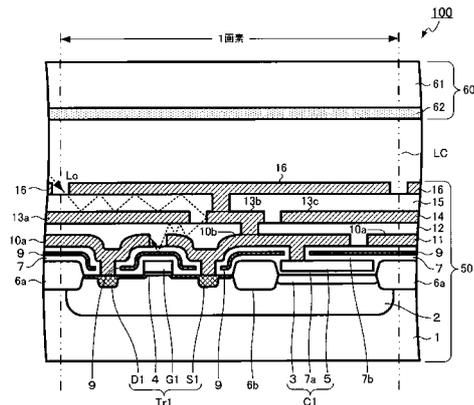
(54) 【発明の名称】 液晶表示素子及びその製造方法

(57) 【要約】

【課題】 外部から画素電極同士の間隙に入射した漏れ光に対する遮光性を改善する液晶表示素子及びその製造方法を提供する。

【解決手段】 駆動基板50と透明基板60とは液晶LCを介して互に対向配置されている。駆動基板50には、半導体基板1の表面に互いに離間して設けられたドレインD1及びソースS1とこれらの間の領域に順次積層されたゲート絶縁膜4及びゲートG1とを有するスイッチング素子Tr1が形成されている。スイッチング素子Tr1を覆う絶縁膜7上にはドレインD1及びソースS1に接続された第1及び第2配線パターン部10a, 10bを有する配線層11が形成されている。配線層11の上方には第2配線パターン部10bに接続された画素電極16が形成されている。また、上記絶縁膜7はスイッチング素子Tr1を覆い配線層11とは絶縁された遮光層9を含んでいる。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

駆動基板と、  
 前記駆動基板に所定の間隙を有して対向配置された透明基板と、  
 前記所定の間隙に充填された液晶と、  
 を備え、  
 前記駆動基板は、  
 半導体基板と、  
 前記半導体基板の表面に互いに離間して設けられたドレイン及びソース、並びに前記ド  
 レインと前記ソースとの間の前記表面に順次積層されたゲート絶縁膜及びゲートを有する  
 スイッチング素子と、  
 前記スイッチング素子を覆う絶縁膜と、  
 前記絶縁膜上に設けられ、前記ドレインに接続された第 1 の配線パターン部、及び、前  
 記ソースに接続された第 2 の配線パターン部を有する配線層と、  
 前記配線層の上方に設けられて前記第 2 の配線パターン部に接続された画素電極と、  
 を備え、  
 前記絶縁膜は、前記スイッチング素子を覆い前記配線層とは絶縁された遮光層を含むこ  
 とを特徴とする液晶表示素子。

10

## 【請求項 2】

駆動基板と、  
 前記駆動基板に所定の間隙を有して対向配置された透明基板と、  
 前記所定の間隙に充填された液晶と、  
 を備え、  
 前記駆動基板は、  
 半導体基板と、  
 前記半導体基板の表面に互いに離間して設けられたドレイン及びソース、並びに前記ド  
 レインと前記ソースとの間の前記表面に順次積層されたゲート絶縁膜及びゲートを有する  
 スイッチング素子と、  
 前記半導体基板の表面に前記スイッチング素子に離間して設けられた保持容量部と、  
 前記スイッチング素子及び前記保持容量部を覆う第 1 の絶縁膜と、  
 前記第 1 の絶縁膜上に設けられ、前記ドレインに接続された第 1 の配線パターン部、並  
 びに、前記ソース及び前記保持容量部に接続された第 2 の配線パターン部を有する第 1 の  
 配線層と、  
 前記第 1 の配線層上に設けられた第 2 の絶縁膜と、  
 前記第 2 の絶縁膜上に設けられ、前記第 2 の配線パターン部に電氣的に接続された第  
 1 の遮光パターン部、及び、前記第 1 の遮光パターン部に離間して配置された第 2 の遮光  
 パターン部を有する第 1 の遮光層と、  
 前記第 1 の遮光層上に設けられた第 3 の絶縁膜と、  
 前記第 3 の絶縁膜上に設けられて前記第 1 の遮光パターン部に接続された画素電極と、  
 を備え、  
 前記第 1 の絶縁膜は、前記スイッチング素子及び前記保持容量部を覆い前記第 1 の配線  
 層とは絶縁された第 2 の遮光層を含むことを特徴とする液晶表示素子。

20

30

40

## 【請求項 3】

半導体基板の表面にゲート絶縁膜及びゲートを順次形成する第 1 のステップと、  
 前記第 1 のステップの後に、前記半導体基板の表面上に、前記ゲート絶縁膜及び前記ゲ  
 ートを覆う第 1 の絶縁膜を形成する第 2 のステップと、  
 前記第 2 のステップの後に、前記第 1 の絶縁膜上に、前記ゲート絶縁膜及び前記ゲ  
 ートの近傍に互いに離間して配置された 2 つの開口部を有する遮光層を形成する第 3 のステ  
 ップと、  
 前記第 3 のステップの後に、前記遮光層をマスクにして前記 2 つの開口部から前記半導

50

体基板にイオン注入を行って、前記２つの開口部の一方に対応する前記半導体基板の領域にドレインを形成し、前記２つの開口部の他方に対応する前記半導体基板の領域にソースを形成することにより、前記ゲート絶縁膜、前記ゲート、前記ドレイン、及び前記ソースを有するスイッチング素子を形成する第４のステップと、

前記第４のステップの後に、前記第１の絶縁膜上に、前記遮光層を覆う第２の絶縁膜を形成する第５のステップと、

前記第５のステップの後に、前記第１の絶縁膜及び前記第２の絶縁膜に、前記ドレインを露出させる第１の穴及び前記ソースを露出させる第２の穴を形成する第６のステップと、

前記第６のステップの後に、前記第２の絶縁膜上に、前記第１の穴を埋めて前記ドレインに接続する第１の配線パターン部、及び、前記第２の穴を埋めて前記ソースに接続する第２の配線パターン部を有する配線層を形成する第７のステップと、  
を備えた液晶表示素子の製造方法。

#### 【請求項４】

半導体基板の表面に、ゲート絶縁膜及びゲートを順次形成すると共に前記ゲート絶縁膜及び前記ゲートに離間して保持容量部を形成する第１のステップと、

前記第１のステップの後に、前記半導体基板の表面上に、前記ゲート絶縁膜、前記ゲート、及び前記保持容量部を覆う第１の絶縁膜を形成する第２のステップと、

前記第２のステップの後に、前記第１の絶縁膜上に、前記ゲート絶縁膜及び前記ゲートの近傍に互いに離間して配置された第１の開口部及び第２の開口部を有すると共に前記保持容量部が形成されている領域に第３の開口部を有する遮光層を形成する第３のステップと、

前記第３のステップの後に、前記遮光層及び前記保持容量部をマスクにして前記第１の開口部乃至前記第３の開口部から前記半導体基板にイオン注入を行って、前記第１の開口部に対応する前記半導体基板の領域にドレインを形成し、前記第２の開口部に対応する前記半導体基板の領域にソースを形成することにより、前記ゲート絶縁膜、前記ゲート、前記ドレイン、及び前記ソースを有するスイッチング素子を形成する第４のステップと、

前記第４のステップの後に、前記第１の絶縁膜上に、前記遮光層を覆う第２の絶縁膜を形成する第５のステップと、

前記第５のステップの後に、前記第１の絶縁膜及び前記第２の絶縁膜に、前記ドレインを露出させる第１の穴、前記ソースを露出させる第２の穴、及び前記保持容量部を露出させる第３の穴を形成する第６のステップと、

前記第６のステップの後に、前記第２の絶縁膜上に、前記第１の穴を埋めて前記ドレインに接続する第１の配線パターン部、及び、前記第２の穴を埋めて前記ソースに接続すると共に前記第３の穴を埋めて前記保持容量部に接続する第２の配線パターン部を有する配線層を形成する第７のステップと、  
を備えた液晶表示素子の製造方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【０００１】

本発明は、外部から画素電極同士の間隙に入射した漏れ光に対する遮光性を改善する液晶表示素子及びその製造方法に関する。

#### 【背景技術】

#### 【０００２】

画像を大画面で高精細に表示できるディスプレイとして、プロジェクタやプロジェクションテレビ等の投射型の液晶表示装置が普及している。

投射型の液晶表示装置に用いられる液晶表示素子には、入射した光を透過させて入射した側とは反対側に出射する透過型の液晶表示素子と、入射した光を反射させて入射した側に出射する反射型の液晶表示素子とがある。

反射型の液晶表示素子は、透過型の液晶表示素子に比べて、開口率を低下させずに高い

10

20

30

40

50

解像度を実現する上で有利な素子である。

【 0 0 0 3 】

反射型の液晶表示素子は、所定の間隙を有して対向配置された駆動基板及び透明基板とこの所定の間隙に充填された液晶とを有して構成されている。

駆動基板は、反射型の画素電極及び液晶を駆動するための M O S F E T (Metal-Oxide-Semiconductor Field-Effect Transistor) 等のスイッチング素子がマトリクス状に複数配置された画素毎にそれぞれ形成されている。

【 0 0 0 4 】

しかしながら、反射型の液晶表示素子では、画素電極で反射されずに画素電極同士の間隙に入射する光があり、この光は画像に寄与しない漏れ光となる。そして、この漏れ光がスイッチング素子に入射するとスイッチング素子を誤動作させる場合がある。

10

【 0 0 0 5 】

そこで、この漏れ光を遮光するための手段の一例が特許文献 1 に開示されている。

特許文献 1 に開示されている液晶表示素子は、画素電極とスイッチング素子との間に漏れ光を遮光するための遮光膜を設けたものである。

【特許文献 1】特開 2 0 0 2 - 4 0 4 8 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、特許文献 1 に開示されているような液晶表示素子では、遮光膜がないものに比べて漏れ光に対する遮光性は改善されるものの、遮光膜の間隙に入射した一部の漏れ光がスイッチング素子に達する場合があり、遮光性に対するさらなる改善が望まれている。

20

【 0 0 0 7 】

そこで、本発明が解決しようとする課題は、外部から画素電極同士の間隙に入射した漏れ光に対する遮光性を改善する液晶表示素子及びその製造方法を提供することにある。

【課題を解決するための手段】

【 0 0 0 8 】

上記の課題を解決するために、本願発明は次の液晶表示素子及びその製造方法を提供する。

30

1) 駆動基板 ( 5 0 ) と、前記駆動基板に所定の間隙を有して対向配置された透明基板 ( 6 0 ) と、前記所定の間隙に充填された液晶 ( L C ) と、を備え、前記駆動基板は、半導体基板 ( 1 ) と、前記半導体基板の表面に互いに離間して設けられたドレイン ( D 1 ) 及びソース ( S 1 ) , 並びに前記ドレインと前記ソースとの間の前記表面に順次積層されたゲート絶縁膜 ( 4 ) 及びゲート ( G 1 ) を有するスイッチング素子 ( T r 1 ) と、前記スイッチング素子を覆う絶縁膜 ( 9 ) と、前記絶縁膜上に設けられ、前記ドレインに接続された第 1 の配線パターン部 ( 1 0 a ) 、及び、前記ソースに接続された第 2 の配線パターン部 ( 1 0 b ) を有する配線層 ( 1 1 ) と、前記配線層の上方に設けられて前記第 2 の配線パターン部に接続された画素電極 ( 1 6 ) と、を備え、前記絶縁膜は、前記スイッチング素子を覆い前記配線層とは絶縁された遮光層 ( 9 ) を含むことを特徴とする液晶表示素子 ( 1 0 0 ) 。

40

2) 駆動基板 ( 5 0 ) と、前記駆動基板に所定の間隙を有して対向配置された透明基板 ( 6 0 ) と、前記所定の間隙に充填された液晶 ( L C ) と、を備え、前記駆動基板は、半導体基板 ( 1 ) と、前記半導体基板の表面に互いに離間して設けられたドレイン ( D 1 ) 及びソース ( S 1 ) , 並びに前記ドレインと前記ソースとの間の前記表面に順次積層されたゲート絶縁膜 ( 4 ) 及びゲート ( G 1 ) を有するスイッチング素子 ( T r 1 ) と、前記半導体基板の表面に前記スイッチング素子に離間して設けられた保持容量部 ( C 1 ) と、前記スイッチング素子及び前記保持容量部を覆う第 1 の絶縁膜 ( 7 ) と、前記第 1 の絶縁膜上に設けられ、前記ドレインに接続された第 1 の配線パターン部 ( 1 0 a ) 、並びに、前記ソース及び前記保持容量部に接続された第 2 の配線パターン部 ( 1 0 b ) を有する第

50

1の配線層(11)と、前記第1の配線層上に設けられた第2の絶縁膜(12)と、前記第2の絶縁膜上に設けられ、前記第2の配線パターン部に電氣的に接続された第1の遮光パターン部(13b)、及び、前記第1の遮光パターン部に離間して配置された第2の遮光パターン部(13a)を有する第1の遮光層(14)と、前記第1の遮光層上に設けられた第3の絶縁膜(15)と、前記第3の絶縁膜上に設けられて前記第1の遮光パターン部に接続された画素電極(16)と、を備え、前記第1の絶縁膜は、前記スイッチング素子及び前記保持容量部を覆い前記第1の配線層とは絶縁された第2の遮光層(9)を含むことを特徴とする液晶表示素子(100)。

3)半導体基板(1)の表面にゲート絶縁膜(4)及びゲート(G1)を順次形成する第1のステップと、前記第1のステップの後に、前記半導体基板の表面上に、前記ゲート絶縁膜及び前記ゲートを覆う第1の絶縁膜(25)を形成する第2のステップと、前記第2のステップの後に、前記第1の絶縁膜上に、前記ゲート絶縁膜及び前記ゲートの近傍に互いに離間して配置された2つの開口部(27a, 27b)を有する遮光層(9)を形成する第3のステップと、前記第3のステップの後に、前記遮光層をマスクにして前記2つの開口部から前記半導体基板にイオン注入を行って、前記2つの開口部の一方に対応する前記半導体基板の領域にドレイン(D1)を形成し、前記2つの開口部の他方に対応する前記半導体基板の領域にソース(S1)を形成することにより、前記ゲート絶縁膜、前記ゲート、前記ドレイン、及び前記ソースを有するスイッチング素子(Tr1)を形成する第4のステップと、前記第4のステップの後に、前記第1の絶縁膜上に、前記遮光層を覆う第2の絶縁膜(32)を形成する第5のステップと、前記第5のステップの後に、前記第1の絶縁膜及び前記第2の絶縁膜に、前記ドレインを露出させる第1の穴(34a)及び前記ソースを露出させる第2の穴(34b)を形成する第6のステップと、前記第6のステップの後に、前記第2の絶縁膜上に、前記第1の穴を埋めて前記ドレインに接続する第1の配線パターン部(10a)、及び、前記第2の穴を埋めて前記ソースに接続する第2の配線パターン部(10b)を有する配線層(11)を形成する第7のステップと、を備えた液晶表示素子(100)の製造方法。

4)半導体基板(1)の表面に、ゲート絶縁膜(4)及びゲート(G1)を順次形成すると共に前記ゲート絶縁膜及び前記ゲートに離間して保持容量部(C1)を形成する第1のステップと、前記第1のステップの後に、前記半導体基板の表面上に、前記ゲート絶縁膜、前記ゲート、及び前記保持容量部を覆う第1の絶縁膜(25)を形成する第2のステップと、前記第2のステップ後に、前記第1の絶縁膜上に、前記ゲート絶縁膜及び前記ゲートの近傍に互いに離間して配置された第1の開口部(27a)及び第2の開口部(27b)を有すると共に前記保持容量部が形成されている領域に第3の開口部(27c)を有する遮光層(9)を形成する第3のステップと、前記第3のステップの後に、前記遮光層及び前記保持容量部をマスクにして前記第1の開口部乃至前記第3の開口部から前記半導体基板にイオン注入を行って、前記第1の開口部に対応する前記半導体基板の領域にドレイン(D1)を形成し、前記第2の開口部に対応する前記半導体基板の領域にソース(S1)を形成することにより、前記ゲート絶縁膜、前記ゲート、前記ドレイン、及び前記ソースを有するスイッチング素子(Tr1)を形成する第4のステップと、前記第4のステップの後に、前記第1の絶縁膜上に、前記遮光層を覆う第2の絶縁膜(32)を形成する第5のステップと、前記第5のステップの後に、前記第1の絶縁膜及び前記第2の絶縁膜に、前記ドレインを露出させる第1の穴(34a)、前記ソースを露出させる第2の穴(34b)、及び前記保持容量部を露出させる第3の穴(34c)を形成する第6のステップと、前記第6のステップの後に、前記第2の絶縁膜上に、前記第1の穴を埋めて前記ドレインに接続する第1の配線パターン部(10a)、及び、前記第2の穴を埋めて前記ソースに接続すると共に前記第3の穴を埋めて前記保持容量部に接続する第2の配線パターン部(10b)を有する配線層(11)を形成する第7のステップと、を備えた液晶表示素子(100)の製造方法。

【発明の効果】

【0009】

10

20

30

40

50

本発明に係る液晶表示素子及びその製造方法によれば、外部から画素電極同士の間隙に入射した漏れ光に対する遮光性を改善できるという効果を奏する。

【発明を実施するための最良の形態】

【0010】

本発明の実施の形態を、好ましい実施例により図1～図12を用いて説明する。

【0011】

<実施例>

まず、本発明に係る液晶表示素子の実施例について図1～図4を用いて説明する。図1は実施例の液晶表示素子の概略構成図である。

【0012】

図1に示すように、液晶表示素子100は、駆動基板50と、透明基板60と、フレキシブルプリント配線板70とを有して構成されている。

【0013】

駆動基板50は、シリコン(Si)基板等の半導体基板1の一面側(紙面手前側)の略中央部に設けられた画素領域A1と、画素領域A1の周囲に設けられたシフトレジスタ回路領域B1と、画素領域A1を囲うシール部40と、カウンタコンタクト部E1と、外部接続端子群F1とを有している。

カウンタコンタクト部E1は外部接続端子群F1の所定の端子に電氣的に接続されている。

【0014】

透明基板60は、ガラス基板61と、ガラス基板61における駆動基板50の画素領域A1と対向する面側(紙面奥側)に設けられてカウンタコンタクト部E1に電氣的に接続された透明電極62とを有している。

【0015】

駆動基板50と透明基板60とは、シール部40によって所定の間隙を有して接合されており、この所定の間隙には液晶LCが充填されている。

【0016】

フレキシブルプリント配線板70は、シート状の基材71における駆動基板50の外部接続端子群F1と対向する面側(紙面奥側)に設けられて外部接続端子群F1にそれぞれ電氣的に接続された出力端子群H1と、外部入力端子群K1と、出力端子群H1と外部入力端子群K1とを接続する配線群J1と、配線群J1を覆うカバー層72とを有している。

なお、図1では、外部入力端子群K1を出力端子群H1が設けられている面とは反対側の面(紙面手前側の面)に設けた構成として示しているが、これに限定されるものではなく、外部入力端子群K1を出力端子群H1と同じ面側に設けた構成としてもよい。

【0017】

次に、駆動基板50について、図2を用いて詳細に説明する。図2は、実施例の液晶表示素子100における駆動基板50を説明するための模式図である。なお、説明をわかりやすくするために図1と同じ構成部には同じ符号を付す。

また、図2では画素電極の配列を一例として3行3列で表しているが、これに限定されるものではない。

【0018】

図2に示すように、駆動基板50は、画素領域A1に、反射型の画素電極16、MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)等のスイッチング素子Tr1、及び保持容量部C1が、マトリクス状に複数配置された画素毎にそれぞれ形成されている。

また、駆動基板50は、図1のシフトレジスタ回路領域B1に、図2の垂直シフトレジスタ回路部42及び水平シフトレジスタ回路部43が形成されている。

【0019】

スイッチング素子Tr1は、ゲートG1がゲート線Lgを介して垂直シフトレジスタ回

10

20

30

40

50

路部 4 2 に接続されており、ドレイン D 1 が信号線 L s を介してビデオスイッチ 4 5 に接続されており、ソース S 1 が画素電極 1 6 と保持容量部 C 1 の一側（後述する上電極 5）とに接続されている。

【 0 0 2 0 】

ビデオスイッチ 4 5 は、画像信号が入力されるビデオ線 L v と水平シフトレジスタ回路部 4 3 とに接続されている。

【 0 0 2 1 】

次に、液晶表示素子 1 0 0 の駆動方法について、同じく図 2 を用いて説明する。

垂直シフトレジスタ回路部 4 2 と水平シフトレジスタ回路部 4 3 とを同期させながら、スイッチング素子 T r 1 のゲート G 1 を画素毎に順次オンしていくことにより、ビデオ線 L v を介して出力された画像信号を画素毎に、保持容量部 C 1 に電荷として蓄積すると共に画像信号に応じた電圧が画素電極 1 6 を介して液晶 L C に印加される。

液晶 L C は印加された電圧に応じて偏向する。光源から液晶表示素子 1 0 0 に照射された光は画素毎に偏向している液晶 L C によって変調され、画素電極 1 6 で反射されてスクリーン等に画像として表示される。

1 フレーム期間中は画像信号に応じた電荷が保持容量部 C 1 に蓄積されているため、液晶 L C には 1 フレーム期間中、画素毎に一定の電圧が印加される。

上記動作をフレーム毎に繰り返し行うことにより動画として表示することができる。

【 0 0 2 2 】

次に、液晶表示素子 1 0 0 の 1 画素単位の構成について、図 3 を用いて詳細に説明する。図 3 は液晶表示素子 1 0 0 の 1 画素単位の構成を説明するための模式的断面図である。なお、説明をわかりやすくするために図 1 及び図 2 と同じ構成部には同じ符号を付す。

【 0 0 2 3 】

図 3 に示すように、液晶表示素子 1 0 0 は、駆動基板 5 0 と、この駆動基板 5 0 に所定の間隙を有して対向配置された透明基板 6 0 と、上記所定の間隙に充填された液晶 L C とを有して構成されている。

【 0 0 2 4 】

駆動基板 5 0 は、シリコン ( S i ) 基板等の半導体基板 1 の表面にウエル 2 が形成されている。

ウエル 2 には、スイッチング素子 T r 1 のドレイン D 1 及びソース S 1 と、保持容量部 C 1 の下電極 3 とが形成されている。

ドレイン D 1 とソース S 1 との間の半導体基板 1 の表面上にはスイッチング素子 T r 1 のゲート絶縁膜 4 とゲート G 1 とが順次積層されており、保持容量部 C 1 の下電極 3 上には後述する第 1 の絶縁膜 7 a 及び上電極 5 が順次形成されている。

スイッチング素子 T r 1 と保持容量部 C 1 とはフィールド酸化膜 6 a , 6 b によって絶縁されている。

【 0 0 2 5 】

また、半導体基板 1 上には第 1 の絶縁膜 7 が形成されており、第 1 の絶縁膜 7 内には、所定の領域を残して、スイッチング素子 T r 1 , 保持容量部 C 1 , 及びフィールド酸化膜 6 a , 6 b を覆うように第 1 の遮光層 9 が形成されている。

第 1 の絶縁膜 7 と第 1 の遮光層 9 とを互いに屈折率の異なる材料で構成することにより、この屈折率の差を利用して第 1 の絶縁膜 7 と第 1 の遮光層 9 との界面で漏れ光を反射させることができる。

【 0 0 2 6 】

保持容量部 C 1 は、下電極 3 , 上電極 5 , 及び下電極 3 と上電極 5 との間に介在する第 1 の絶縁膜 7 a により構成されている。

【 0 0 2 7 】

第 1 の絶縁膜 7 上には、第 1 の絶縁膜 7 を貫通してスイッチング素子 T r 1 のドレイン D 1 に接続する第 1 の配線パターン部 1 0 a と、第 1 の絶縁膜 7 を貫通してスイッチング素子 T r 1 のソース S 1 及び保持容量部 C 1 の上電極 5 に接続する第 2 の配線パターン部

10

20

30

40

50

10 b と、を有する第 1 の配線層 1 1 が形成されている。

【0028】

第 1 の配線層 1 1 上には、第 2 の絶縁膜 1 2 が形成されている。

第 2 の絶縁膜 1 2 上には、所定の領域を残して形成された第 1 の遮光パターン部 1 3 a と、この所定の領域に第 1 の遮光パターン部 1 3 a と離間して設けられ、第 2 の絶縁膜 1 2 を貫通して第 2 の配線パターン部 1 0 b に電氣的に接続された第 2 の遮光パターン部 1 3 b と、を有する第 2 の遮光層 1 4 が形成されている。

【0029】

上述した第 1 の遮光層 9 , 第 1 の配線層 1 1 , 及び第 2 の遮光層 1 4 は、外部から画素電極 1 6 同士の間隙に入射した画像に寄与しない漏れ光を遮光する層である。

10

【0030】

第 2 の遮光層 1 4 上には、第 3 の絶縁膜 1 5 が形成されている。

第 3 の絶縁膜 1 5 上には、第 3 の絶縁膜 1 5 を貫通して第 2 の遮光パターン部 1 3 b に電氣的に接続する反射型の画素電極 1 6 が形成されている。

【0031】

上述したスイッチング素子  $T_r 1$  , 保持容量部  $C 1$  , 及び画素電極 1 6 は、画素領域 A 1 ( 図 1 参照 ) にマトリクス状に複数配置された画素毎にそれぞれ設けられている。

【0032】

透明基板 6 0 は、ガラス基板 6 1 と、このガラス基板 6 1 における駆動基板 5 0 の画素電極 1 6 と対向する面側に設けられた透明電極 6 2 とを有している。

20

【0033】

ここで、上述した液晶表示素子 1 0 0 において外部から画素電極同士の間隙に入射した漏れ光に対する遮光性について、図 3 と共に図 4 を用いて説明する。図 4 は液晶表示素子 1 0 0 の画素電極同士の間隙に入射した漏れ光に対する遮光性を説明するための図であり、液晶表示素子 1 0 0 における第 1 の遮光層 9 側からスイッチング素子  $T_r 1$  及び保持容量部  $C 1$  を透視した透視図である。

【0034】

図 3 に示すように、外部から画素電極 1 6 同士の間隙に入射した漏れ光  $L_o$  は、画素電極 1 6 と第 2 の遮光層 1 4 とを交互に反射しながら第 3 の絶縁膜 1 5 によって徐々に減衰されていく。

30

また、減衰された漏れ光  $L_o$  の一部が第 2 の遮光層 1 4 の第 4 の遮光パターン部 1 3 a と第 5 の遮光パターン部 1 3 b との間隙に入射する場合がある。

第 4 の遮光パターン部 1 3 a と第 5 の遮光パターン部 1 3 b との間隙に入射した漏れ光  $L_o$  は第 2 の遮光層 1 4 と第 1 の配線層 1 1 とを交互に反射しながら第 2 の絶縁膜 1 2 によってさらに減衰される。

【0035】

また、減衰された漏れ光  $L_o$  の一部が第 1 の配線層 1 1 の第 1 の配線パターン部 1 0 a と第 2 の配線パターン部 1 0 b との間隙に入射する場合がある。

しかしながら、図 4 に示すように、第 1 の遮光層 9 が、スイッチング素子  $T_r 1$  のドレイン  $D 1$  , ソース  $S 1$  及び保持容量部  $C 1$  の上電極 5 と第 1 の配線層 1 1 ( 第 1 , 第 2 の配線パターン部 1 0 a , 1 0 b ) との接続領域及びその周辺の領域以外の領域を覆っているため、第 1 の配線パターン部 1 0 a と第 2 の配線パターン部 1 0 b との間隙に入射した漏れ光  $L_o$  をこの第 1 の遮光層 9 で遮光することができる。

40

【0036】

次に、本発明に係る液晶表示素子の製造方法の実施例について、図 5 ~ 図 1 1 を用いて説明する。図 5 ~ 図 1 1 は、本発明に係る液晶表示素子の製造方法の実施例を説明するための模式的断面図であり、各図はその製造過程をそれぞれ示すものである。

【0037】

まず、図 5 に示すように、シリコン (  $S i$  ) 基板等の半導体基板 1 の表面に、ウエル 2 、フィールド酸化膜 6 a , 6 b 、及び保持容量部  $C 1$  の下電極 3 を周知の半導体プロセス

50

により形成する。

【0038】

次に、図6に示すように、ウエル2上に、フィールド酸化膜6a, 6bが形成されている領域を残してゲート絶縁膜4を形成し、ゲート絶縁膜4の所定の領域上にゲートG1を形成し、下電極3を覆うように保護膜20を形成する。これらゲート絶縁膜4, ゲートG1, 及び保護膜20は周知の半導体プロセスにより形成することができる。

実施例では、ゲート絶縁膜4としてシリコン酸化膜を用い、ゲートG1及び保護膜20の材料として導電性のポリシリコンを用いた。

【0039】

次に、図7に示すように、上述の工程を経た半導体基板1に、フィールド酸化膜6a, 6b、ゲートG1、及び保護膜20をマスクしてイオン注入を行い、第1の低濃度拡散領域22及び第2の低濃度拡散領域23をゲートG1近傍のウエル2に形成する。

10

【0040】

次に、図8に示すように、保護膜20を除去した後、ゲートG1をマスクとしてゲート絶縁膜4をエッチングする。これにより、ゲートG1が形成されている領域のゲート絶縁膜4がエッチングされずに残る。

その後、上記工程を経た半導体基板1上に上電極5及び絶縁膜25を形成し、絶縁膜25上に、絶縁膜25を露出させる開口部27a, 27b, 27cを有する第1の遮光層9を形成する。

絶縁膜25及び第1の遮光層9は周知の半導体プロセスにより形成することができる。

20

実施例では、絶縁膜25としてシリコン酸化膜を用い、第1の遮光層9の材料として導電性のポリシリコンを用いた。

【0041】

次に、図9に示すように、上述の工程を経た半導体基板1に、第1の遮光層9をマスクしてイオン注入(LDD注入)を行い、第1の高濃度拡散領域29及び第2の高濃度拡散領域30を形成する。

これにより、第1の低濃度拡散領域22及び第1の高濃度拡散領域29からなるドレインD1と、第2の低濃度拡散領域23及び第1の高濃度拡散領域29からなるソースS1と、ゲート絶縁膜4と、ゲートG1とを有するスイッチング素子Tr1(図3参照)が形成される。

30

【0042】

上述したように、第1の遮光層9は、画素電極16(図3参照)同士の間隙に入射した漏れ光を遮光する機能を有すると共に、スイッチング素子Tr1のドレインD1及びソースS1を形成するためのイオン注入用マスクとしての機能も有する。

【0043】

次に、図10に示すように、上述の工程を経た半導体基板1上に絶縁膜32を形成する。実施例では、絶縁膜32としてシリコン酸化膜を用いた。

これにより、2層の絶縁膜25, 32からなる第1の絶縁膜7が形成される。また、下電極3, 上電極5, 及び下電極3と上電極5との間に介在する第1の絶縁膜7aにより保持容量部C1(図3参照)が形成される。

40

その後、第1の絶縁膜7に、ドレインD1を露出させる第1の穴部34a, ソースS1を露出させる第2の穴部34b, 及び上電極5を露出させる第3の穴部34cを形成する。

第1~第3の穴部34a~34cは、フォトリソグラフィ及びエッチングにより形成することができる。

【0044】

次に、図11に示すように、第1の絶縁膜7上に、ドレインD1に接続する第1の配線パターン部10aと、ソースS1及び上電極5に接続する第2の配線パターン部10bとを有する第1の配線層11を形成する。

【0045】

50

その後、上述の工程を経た半導体基板 1 上に、第 2 の絶縁膜 1 2 , 第 2 の遮光層 1 4 , 第 3 の絶縁膜 1 5 , 及び画素電極 1 6 を、周知の半導体プロセスにより順次形成することによって駆動基板 5 0 ( 図 3 参照 ) を得る。

そして、この駆動基板 5 0 と透明基板 6 0 とを所定の間隙を有してシール部 4 0 で接合し、上記所定の間隙に液晶 LC を充填することにより、図 3 に示す液晶表示素子 1 0 0 を得る。

#### 【 0 0 4 6 】

上述した液晶表示素子 1 0 0 によれば、外部から画素電極 1 6 同士の間隙に入射した画像に寄与しない漏れ光 L o が第 1 の配線層 1 1 の間隙に入射した場合においても、スイッチング素子 T r 1 及び保持容量部 C 1 を覆う第 1 の遮光層 9 によって遮光することができるので、従来よりも遮光性を向上させることができる。

上述したように、スイッチング素子 T r 1 や保持容量部 C 1 への漏れ光 L o に対する遮光性が向上するため、画素電極の電位変動が小さくなり、フリッカー、クロストーク、及びストリーキング等の表示特性を改善することができる。

#### 【 0 0 4 7 】

ところで、スイッチング素子におけるドレインとウエルとの接合領域及びドレインとウエルとの接合領域がフォトダイオードとして機能するため、この領域に漏れ光が入射するとその光量に応じてリーク電流が発生する。

そのため、従来では、リーク電流による画素電極の電圧降下分を十分に緩和するためには保持容量部の面積をできるだけ広くする必要があった。

そこで、上述した液晶表示素子 1 0 0 によれば、図 4 に示したようにスイッチング素子のドレインとソースとの間のウエルの領域を第 1 の遮光層 9 で覆う構成としたので、リーク電流の発生を抑制することができる。これにより、保持容量部の面積を小さくことができ、画素の小型化や高密度化が可能になる。

#### 【 0 0 4 8 】

また、上述した液晶表示素子の製造方法によれば、第 1 の遮光層 9 をマスクとしてスイッチング素子 T r 1 のドレイン D 1 及びソース S 1 を形成することができるので、ドレイン D 1 及びソース S 1 を形成するためのマスクを別に形成する必要がなくなるため、生産性を向上させることができる。

#### 【 0 0 4 9 】

本発明の実施例は、上述した構成及び手順に限定されるものではなく、本発明の要旨を逸脱しない範囲において変形例としてもよいのは言うまでもない。

#### 【 0 0 5 0 】

ここで、画像信号を電荷として蓄積する保持容量部 C 1 の変形例について、図 3 と共に図 1 2 を用いて説明する。図 1 2 は実施例の液晶表示素子における保持容量部の変形例を説明するための模式図であり図 2 に対応するものである。

#### 【 0 0 5 1 】

例えば、図 3 に示す第 1 の遮光層 9 を導電性材料により形成し、この第 1 の遮光層 9 と上電極 5 との間に所定の電圧を印加することにより、図 1 2 に示すように、第 1 の遮光層 9 , 上電極 5 , 及び第 1 の遮光層 9 と上電極 5 との間に介在する第 1 の絶縁膜 7 b は、前述した保持容量部 C 1 に並列接続された他の保持容量部 C 2 として機能する。

これにより、2 つの保持容量部 C 1 , C 2 で電荷を蓄積することができるので、実施例よりもさらに保持容量部 C 1 , C 2 の面積を小さくことができ、さらなる画素の小型化、高密度化が図れる。

#### 【 0 0 5 2 】

また、実施例では、第 1 の遮光層 9 の材料として導電性のポリシリコンを用いたがこれに限定されるものではない。

例えば、ポリシリコンに替えてタングステンポリサイドやチタンポリサイドを用いることができる。

タングステンポリサイドは、ポリシリコン膜及びタングステン膜を順次成膜した後、こ

10

20

30

40

50

れらポリシリコン膜及びタングステン膜を例えば 800 の熱処理で合金化させることによって形成することができる。

チタンポリサイドは、ポリシリコン膜及びチタン膜を順次成膜した後、これらポリシリコン膜及びチタン膜を例えば 800 の熱処理で合金化させることによって形成することができる。

タングステンポリサイドやチタンポリサイドは膜の上面（漏れ光が入射する側の面）が合金化されているため、ポリシリコン膜のみの場合よりも第 1 の遮光層 9 の遮光性をさらに向上させることができる。

また、第 1 の遮光層 9 の材料としてポリシリコンに替えてアルミニウム（Al）等の金属やその合金を用いることができる。

一般的に、金属及びその合金は、ポリシリコン、タングステンポリサイド、及びチタンポリサイドよりも遮光性に優れるので、これらよりも第 1 の遮光層 9 の遮光性をさらに向上させることができる。

発明者が鋭意実験した結果、アルミニウム膜の厚さを 200 nm 以上とすることにより、アルミニウム膜の透過率を 0.1% 以下にできることを見出した。

#### 【0053】

また、実施例では、液晶表示素子を製造する際、下電極 3 上のゲート酸化膜 4 を除去したがこれに限定されるものではなく、下電極 3 上のゲート絶縁膜 4 を残し、このゲート絶縁膜 4 上に上電極 5 を形成することにより、保持容量部を、下電極 3、ゲート絶縁膜 4、及び上電極 5 を有する構成としてもよい。

#### 【0054】

また、実施例では、液晶表示素子を製造する際、保護膜 20 を除去したがこれに限定されるものではなく、保護膜 20 を除去せずにこの保護膜 20 を保持容量部の上電極としてもよい。

#### 【0055】

第 1 の絶縁膜 7、第 2 の絶縁膜 12、及び第 3 の絶縁膜 15 の厚さは特に限定しないが、第 1 の遮光層 9 と第 1 の配線層 11 との間に介在する第 1 の絶縁膜 7 の厚さ及び第 1 の遮光層 9 と上電極 5 との間に介在する第 1 の絶縁膜 7 の厚さを、光の 3 原色（RGB）のうちで最も波長の短い青色（B）光の波長よりも薄く（例えば 400 nm 以下）することが望ましい。

これにより、第 1 の遮光層 9 の間隙に入射した極僅かの漏れ光を第 1 の絶縁膜 7 でさらに減衰させることができる。

#### 【図面の簡単な説明】

#### 【0056】

【図 1】実施例の液晶表示素子の概略構成図である。

【図 2】実施例の液晶表示素子における駆動基板を説明するための模式図である。

【図 3】実施例の液晶表示素子の 1 画素単位の構成を説明するための模式的断面図である。

【図 4】実施例の液晶表示素子の画素電極同士の間隙に入射した漏れ光に対する遮光性を説明するための透視図である。

【図 5】本発明に係る液晶表示素子の製造方法の実施例を説明するための模式的断面図である。

【図 6】本発明に係る液晶表示素子の製造方法の実施例を説明するための模式的断面図である。

【図 7】本発明に係る液晶表示素子の製造方法の実施例を説明するための模式的断面図である。

【図 8】本発明に係る液晶表示素子の製造方法の実施例を説明するための模式的断面図である。

【図 9】本発明に係る液晶表示素子の製造方法の実施例を説明するための模式的断面図である。

10

20

30

40

50

【図10】本発明に係る液晶表示素子の製造方法の実施例を説明するための模式的断面図である。

【図11】本発明に係る液晶表示素子の製造方法の実施例を説明するための模式的断面図である。

【図12】実施例の液晶表示素子における保持容量部の変形例を説明するための模式図である。

【符号の説明】

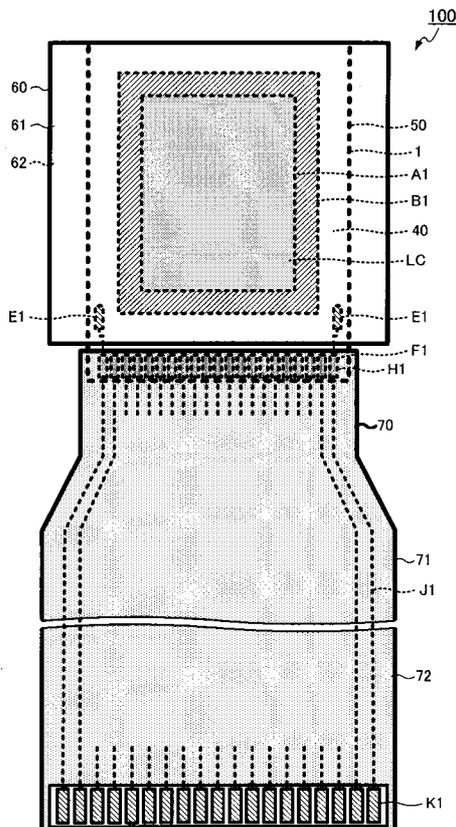
【0057】

- 1 \_\_ 半導体基板、 2 \_\_ ウエル、 3 \_\_ 下電極、 4 \_\_ ゲート絶縁膜、 5 \_\_ 上電極、
- 6 a, 6 b \_\_ フィールド酸化膜、 7, 7 a \_\_ 第1の絶縁膜、 9 \_\_ 第1の遮光層、 10 a, 10 b \_\_ 配線パターン部、 11 \_\_ 第1の配線層、 12 \_\_ 第2の絶縁膜、 13 a, 13 b \_\_ 遮光パターン部、 14 \_\_ 第2の遮光層、 15 \_\_ 第3の絶縁膜、 16 \_\_ 画素電極、 20 \_\_ 保護膜、 22, 23 \_\_ 低濃度拡散領域、 25, 32 \_\_ 絶縁膜、 27 a, 27 b, 27 c \_\_ 開口部、 29, 30 \_\_ 高濃度拡散領域、 34 a, 34 b, 34 c \_\_ 穴部、 40 \_\_ シール部、 42 \_\_ 垂直シフトレジスタ部、 43 \_\_ 水平シフトレジスタ部、 45 \_\_ ビデオスイッチ、 50 \_\_ 駆動基板、 60 \_\_ 透明基板、 61 \_\_ ガラス基板、 62 \_\_ 透明電極、 70 \_\_ フレキシブルプリント配線板、 71 \_\_ 基材、 72 \_\_ カバー層、 100 \_\_ 液晶表示素子、 A1 \_\_ 画素領域、 B1 \_\_ シフトレジスタ回路領域、 E1 \_\_ カウンタコンタクト部、 F1 \_\_ 外部接続端子群、 LC \_\_ 液晶、 H1 \_\_ 出力端子群、 K1 \_\_ 外部入力端子群、 J1 \_\_ 配線群、 Tr1 \_\_ スwitchング素子、 C1 \_\_ 保持容量部、 G1 \_\_ ゲート、 Lg \_\_ ゲート線、 D1 \_\_ ドレイン、 Ls \_\_ 信号線、 S1 \_\_ ソース、 Lv \_\_ ビデオ線、 Lo \_\_ 漏れ光

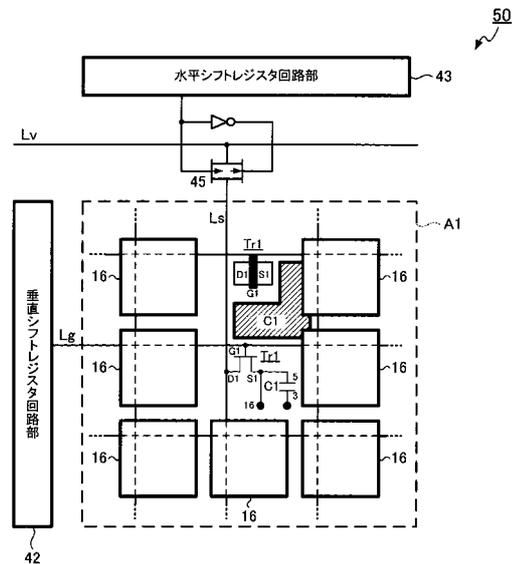
10

20

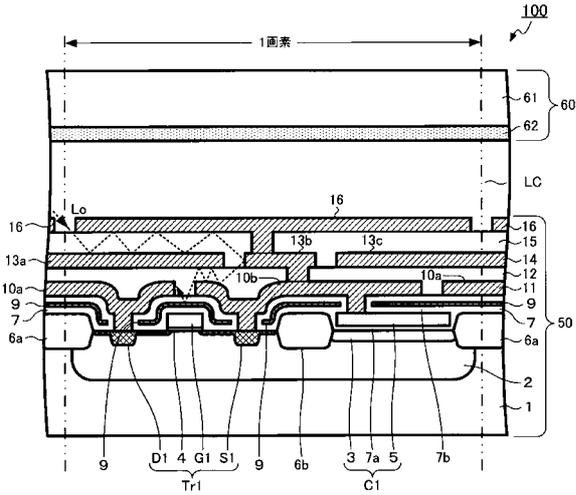
【図1】



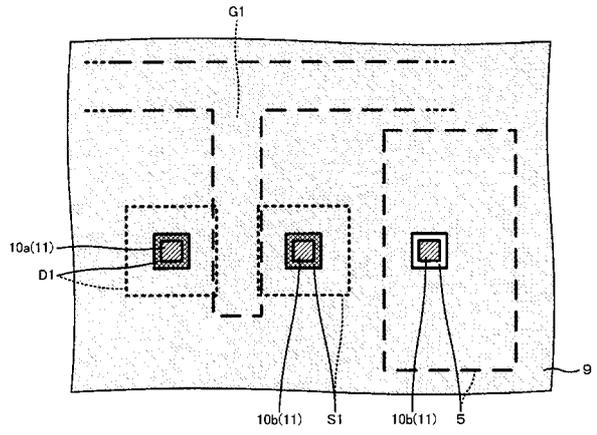
【図2】



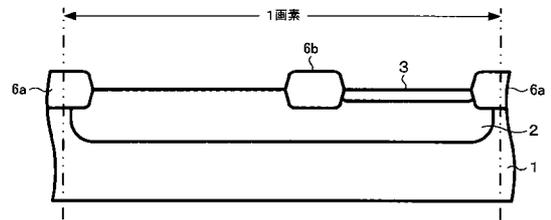
【 図 3 】



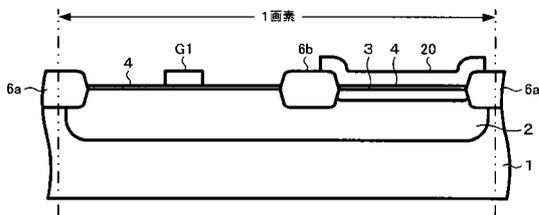
【 図 4 】



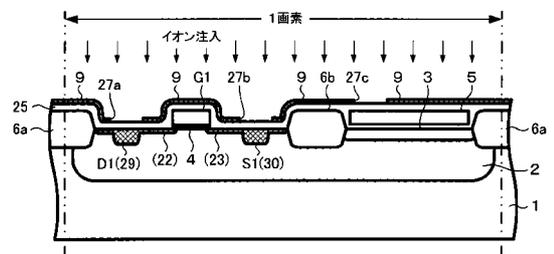
【 図 5 】



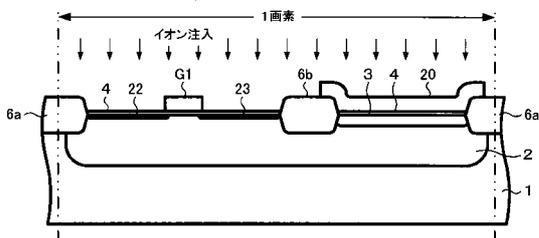
【 図 6 】



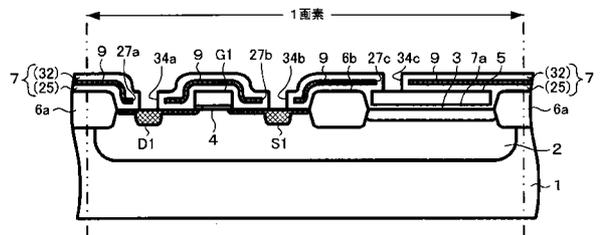
【 図 9 】



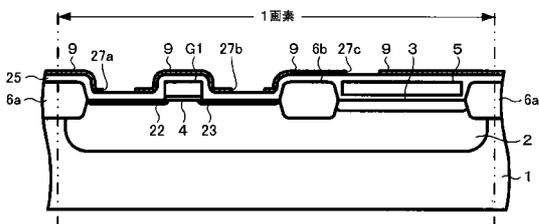
【 図 7 】



【 図 10 】



【 図 8 】





---

フロントページの続き

Fターム(参考) 5F033 HH04 HH08 HH27 HH28 KK04 MM07 QQ09 QQ37 QQ58 QQ65  
QQ70 QQ73 RR04 VV00 VV01 VV15

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	<a href="#">JP2010032963A</a>	公开(公告)日	2010-02-12
申请号	JP2008197621	申请日	2008-07-31
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	岩佐隆行		
发明人	岩佐 隆行		
IPC分类号	G02F1/1368 G02F1/1335 H01L21/3205 H01L23/52		
CPC分类号	H01L2924/0002		
FI分类号	G02F1/1368 G02F1/1335.500 H01L21/88.S		
F-TERM分类号	2H092/GA29 2H092/GA50 2H092/GA59 2H092/JA23 2H092/JA25 2H092/JA46 2H092/JB07 2H092/JB54 2H092/JB69 2H092/KA03 2H092/KA12 2H092/KA18 2H092/MA13 2H092/MA17 2H092/MA27 2H092/NA01 2H092/NA22 2H092/NA27 2H092/PA09 2H191/FA13Y 2H191/FA31Y 2H191/GA19 2H191/LA03 2H191/LA21 2H191/NA43 5F033/HH04 5F033/HH08 5F033/HH27 5F033/HH28 5F033/KK04 5F033/MM07 5F033/QQ09 5F033/QQ37 5F033/QQ58 5F033/QQ65 5F033/QQ70 5F033/QQ73 5F033/RR04 5F033/VV00 5F033/VV01 5F033/VV15 2H192/AA24 2H192/BC42 2H192/BC72 2H192/CB02 2H192/CB33 2H192/CC26 2H192/CC66 2H192/DA12 2H192/DA43 2H192/DA63 2H192/DA65 2H192/EA03 2H192/EA04 2H192/EA13 2H192/FA73 2H192/FB02 2H192/FB33 2H192/GD03 2H192/JB02 2H291/FA13Y 2H291/FA31Y 2H291/GA19 2H291/LA03 2H291/LA21 2H291/NA43		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种液晶显示元件，其中改善了从外部入射在像素电极之间的间隙上的漏光的屏蔽，并提供了制造该液晶显示元件的方法。  
 ŽSOLUTION：驱动基板50和透明基板60设置成彼此面对，其间具有液晶LC。在驱动基板50中，形成开关元件Tr1，其包括在半导体基板的表面上彼此分开设置的漏极D1和源极S1，以及在区域中依次层叠的栅极绝缘膜4和栅极G1排水管和水管之间。在覆盖开关元件tr1的绝缘膜7上形成具有连接到漏极D1和源极S1的第一和第二布线图案10a和10b的布线层11。连接到第二布线图案10b的像素电极16形成在布线层11上方。绝缘膜7包括遮光层9，遮光层9覆盖开关元件Tr1并且与布线层11绝缘。

