

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-14987

(P2009-14987A)

(43) 公開日 平成21年1月22日(2009.1.22)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 624A	5C006
G02F 1/133 (2006.01)	G09G 3/20 670D	5C080
	G09G 3/20 624E	
	G09G 3/20 623D	
審査請求 有 請求項の数 4 O L (全 9 頁) 最終頁に続く		

(21) 出願番号	特願2007-176350 (P2007-176350)	(71) 出願人	304053854
(22) 出願日	平成19年7月4日 (2007.7.4)		エプソンイメージングデバイス株式会社
		(74) 代理人	100107906
			弁理士 須藤 克彦
		(72) 発明者	田尻 憲一
			長野県安曇野市豊科田沢6925 エプソ ンイメージングデバイス株式会社内
		Fターム(参考)	2H093 NA16 NA80 NC10 NC12 NC18 NC34 NC35 NC49 ND38 ND39 ND60 NH12

最終頁に続く

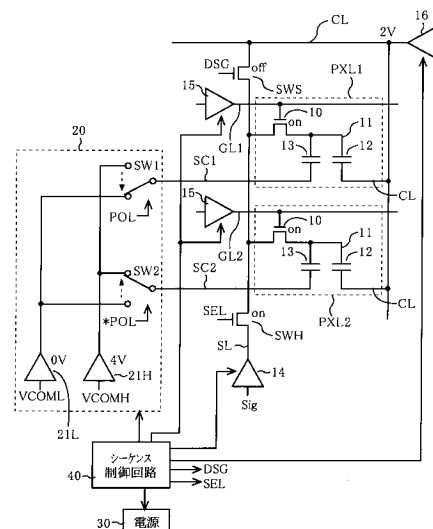
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】保持容量線駆動方式を用いた液晶表示装置において、電源オフ時の表示不良を防止する。

【解決手段】シーケンス制御回路40は、電源オフコマンドを検出すると、以下のシーケンス制御を行う。即ち、シーケンス制御回路40は共通電極CLソース線SLを短絡させ、ソースドライバ14、共通電極ドライバ16及び保持容量線駆動回路20への電源供給を停止する。これにより、ソース線SLと共通電極CLの電位は0Vに設定される。そして、シーケンス制御回路40は電源供給の停止後に、ゲートドライバ15のゲート信号に応じて画素トランジスタ10をオンさせることにより、画素電極11の電位を0Vに設定するように制御を行う。これにより、画素電極11と共通電極CLの電位、保持容量13の両端の電位はいずれも0Vになるので、電荷の移動が無くなり、表示不良の発生を防止することができる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

ゲート線と、このゲート線にゲート信号を供給するゲートドライバと、ソース線と、このソース線にソース信号を供給するソースドライバと、前記ソース線に接続された画素スイッチング素子を通してソース信号が印加される画素電極と、この画素電極と共通電極との間に配置された液晶と、前記共通電極に共通電極信号を供給する共通電極ドライバと、前記画素電極と保持容量線との間に接続された保持容量と、前記保持容量線を第 1 の電位と第 2 の電位に交互に駆動する保持容量線駆動回路と、を備えた液晶表示装置において、

該液晶表示装置の電源をオフするための信号を検出すると、前記共通電極と前記ソース線を短絡させ、前記ソースドライバ、前記共通電極ドライバ及び前記保持容量線駆動回路への電源供給を停止し、電源供給の停止後に、前記ゲートドライバのゲート信号に応じて前記画素スイッチング素子をオンさせることにより、前記画素電極の電位を接地電位に設定するように制御を行うシーケンス制御回路を設けたことを特徴とする液晶表示装置。

10

【請求項 2】

前記シーケンス制御回路は、該液晶表示装置の電源をオフするための信号を検出すると、前記電源供給の停止前に、前記画素スイッチング素子を通して前記画素電極に液晶の表示をオフ状態にするためのオフ電位を書き込むように制御を行うことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記シーケンス制御回路は、1 フレーム期間に前記共通電極と前記ソース線を短絡させ、前記ソースドライバ、前記共通電極ドライバ及び前記保持容量線駆動回路への電源供給を停止し、その次の 1 フレーム期間に前記ゲートドライバのゲート信号に応じて前記画素スイッチング素子をオンさせることにより、前記画素電極の電位を接地電位に設定するように制御を行うことを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 4】

前記ソース線と前記共通電極の間に接続されたスイッチング素子を備え、前記シーケンス制御回路は前記スイッチング素子をオンさせることにより、前記ソース線を前記共通電極と短絡させることを特徴とする請求項 1、2、3 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、液晶表示装置に関し、特に、電源オフ時のシーケンス制御を行うシーケンス制御機能を備えた液晶表示装置に関する。

【背景技術】**【0002】**

従来より、液晶表示装置の駆動方式として保持容量線駆動方式が知られている。この方式は、保持容量線と画素電極の間に保持容量を設け、画素に表示信号を書き込んだ後に、保持容量線の電位を変動させることにより、画素電極の電位を正又は負の方向に変化させる。これにより、表示信号のダイナミックレンジを小さくすることができるため、低消費駆動が可能になる。

40

【0003】

この種の液晶表示装置において、電源オフ時には、各画素にオフ電位（液晶表示をオフ状態にするための電位）を書き込んだ後に、電源を停止していた。

【0004】

なお、この保持容量線駆動方式を用いた液晶表示装置については、特許文献 1 に記載されている。

【特許文献 1】特開 2002 - 196358 号公報**【発明の開示】****【発明が解決しようとする課題】****【0005】**

50

しかしながら、保持容量線駆動方式の液晶表示装置においては、スリープ状態等の電源オフ時に、保持容量を介して画素電極に電荷が移動し、表示不良を起こすおそれがあった。

【課題を解決するための手段】

【0006】

本発明の液晶表示装置は、ゲート線と、このゲート線にゲート信号を供給するゲートドライバと、ソース線と、このソース線にソース信号を供給するソースドライバと、ソース線に接続された画素スイッチング素子を通してソース信号が印加される画素電極とこの画素電極と共通電極との間に配置された液晶と、共通電極に共通電極信号を供給する共通電極ドライバと、画素電極と保持容量線との間に接続された保持容量と、保持容量線を第1の電位と第2の電位に交互に駆動する保持容量線駆動回路と、を備えた液晶表示装置において、該液晶表示装置の電源をオフするための信号を検出すると、共通電極とソース線を短絡させ、ソースドライバ、共通電極ドライバ及び保持容量線駆動回路への電源供給を停止し、電源供給の停止後に、ゲートドライバのゲート信号に応じて画素スイッチング素子をオンさせることにより、画素電極の電位を接地電位に設定するように制御を行うシーケンス制御回路を設けたことを特徴とする。

10

【発明の効果】

【0007】

本発明によれば、保持容量線駆動方式を用いた液晶表示装置において、電源オフ時に、画素電極と共通電極、及び保持容量の両端を接地電位に設定することで、電荷の移動を無くし、表示不良の発生を防止することができる。

20

【発明を実施するための最良の形態】

【0008】

本発明の実施形態による液晶表示装置について図面を参照しながら説明する。図1に示すように、ソース線SLと第1のゲート線GL1の交差点に対応して画素PXL1が設けられ、ソース線SLと第2のゲート線GL2の交差点に対応して画素PXL2が設けられている。図1では2つの画素PXL1, PXL2だけを示したが、実際には図2のように、複数の画素PXL1, PXL2, PXL3, PXL4, ... がマトリクス状に配置されている。

30

【0009】

画素PXL1, PXL2には、Nチャネル型の薄膜トランジスタ(以下、TFTという)からなる画素トランジスタ10、画素トランジスタ10のドレインに接続された画素電極11、画素電極11と共通電極CLの間に配置された液晶12が設けられている。また、第1行目の画素PXL1に対応して、第1の保持容量線SC1が設けられ、画素PXL1の画素電極11と第1の保持容量線SC1との間に保持容量13が設けられている。また、第2行目の画素PXL2に対応して、第2の保持容量線SC2が設けられ、画素PXL2の画素電極11と第2の保持容量線SC2との間に保持容量13が設けられている。

【0010】

画素PXL1, PXL2の画素トランジスタ10(本発明の画素スイッチング素子の一例)のソースは、ソース線SLに接続されている。1行目の画素PXL1の画素トランジスタ10のゲートは、第1のゲート線GL1に接続され、2行目の画素PXL2の画素トランジスタ10のゲートは、第2のゲート線GL2に接続されている。

40

【0011】

また、ソース信号Sig(表示信号)をソース線SLに供給するソースドライバ14が設けられている。ソース信号Sigは、一定周期(例えば、一水平周期)で基準電位に対して極性が反転するようになっている。ソースドライバ14とソース線SLの間には、Nチャネル型TFTからなる水平スイッチング素子SWHが接続されており、水平スイッチング素子SWHが制御信号に応じてオンすると、ソースドライバ14からソース線SLへソース信号Sigを供給することができるようになっている。

【0012】

50

また、ゲート信号を第 1 のゲート線 G L 1 , 第 2 のゲート線 G L 2 に供給するゲートドライバ 1 5 が設けられている。ゲートドライバ 1 5 には、画素トランジスタ 1 0 をオンさせるための高レベル (例えば 8 V) のゲート信号と、画素トランジスタ 1 0 をオフさせるための低レベル (例えば - 4 V) のゲート信号を発生するため D C - D C コンバータ (不図示) が設けられている。

【 0 0 1 3 】

ソース線 S L と共通電極 C L の間には、Nチャネル型 T F T からなるスイッチング素子 S W S が接続されている。このスイッチング素子 S W S は、電源オフ時には制御信号 D S G に応じてオンし、ソース線 S L を共通電極 C L と短絡するために用いられる。

【 0 0 1 4 】

また、通常動作時に共通電極 C L に共通電極信号を供給するための共通電極ドライバ 1 6 が設けられている。共通電極信号は、例えば 2 V の直流電位である。

【 0 0 1 5 】

また、各保持容量線 S C に高レベルの電位 V C O M H (例えば、4 V) と低レベルの電位 V C O M L (例えば 0 V) を 1 フレーム期間毎に交互に供給するように駆動を行う保持容量線駆動回路 2 0 が設けられている。保持容量線駆動回路 2 0 は、高レベルの電位 V C O M H を出力する第 1 の保持容量ドライバ 2 1 H と、低レベルの電位 V C O M L を出力する第 2 の保持容量ドライバ 2 1 L、第 1 の極性スイッチング素子 S W 1、第 2 の極性スイッチング素子 S W 2 を有している。

【 0 0 1 6 】

第 1 の極性スイッチング素子 S W 1 は、極性選択信号 P O L に応じてスイッチングし、第 1 の保持容量ドライバ 2 1 H からの高レベルの電位 V C O M H と第 2 の保持容量ドライバ 2 1 L から低レベルの電位 V C O M L とを第 1 の保持容量線 S C 1 に交互に出力する。第 2 の極性スイッチング素子 S W 2 は、極性選択信号 * P O L (極性選択信号 P O L の反転信号) に応じて、第 1 の極性スイッチング素子 S W 1 と相補的にスイッチングし、第 1 の保持容量ドライバ 2 1 H から高レベルの電位 V C O M H と第 2 の保持容量ドライバ 2 1 L から低レベルの電位 V C O M L とを第 2 の保持容量線 S C 2 に交互に出力する。

【 0 0 1 7 】

これにより、隣接する第 1 の保持容量線 S C 1 と第 2 の保持容量線 S C 2 は、互いに逆極性 (一方が高レベルで他方が低レベル) になるように駆動される。尚、ソースドライバ 1 4、ゲートドライバ 1 5、共通電極ドライバ 1 6、保持容量線駆動回路 2 0 には、電源 3 0 から電源電位が供給されている。また、図示しないが、上記以外の回路には他の電源から電源電位が供給されている。

【 0 0 1 8 】

さらに、電源オフ時に、ソースドライバ 1 4、ゲートドライバ 1 5、共通電極ドライバ 1 6、スイッチング素子 S W S、水平スイッチング素子 S W H、保持容量線駆動回路 2 0、電源 3 0 の動作をシーケンス制御するシーケンス制御回路 4 0 が設けられている。シーケンス制御回路 4 0 は、この液晶表示装置の電源 3 0 等をオフするための信号、例えば、電源オフコマンドや表示オフコマンドを検出すると、シーケンス制御を開始するように構成されている。

【 0 0 1 9 】

上述の液晶表示装置の通常動作時における書き込み動作は以下の通りである。ここでは、1 行目の画素 P X L 1 への書き込みについて説明する。まず、ゲートドライバ 1 5 から高レベルのゲート信号が第 1 のゲート線 G L 1 に一水平期間出力されると、それに応じて画素トランジスタ 1 0 がオンする。このとき、スイッチング素子 S W S はオフし、水平スイッチング素子 S W H はオンしている。そして、ソースドライバ 1 4 からソース線 S L にソース信号 S i g が出力されると、ソース信号 S i g は画素トランジスタ 1 0 を通して画素 P X L 1 に書き込まれる (画素書き込み)。即ち、ソース信号 S i g は画素トランジスタ 1 0 を通して画素電極 1 1 に印加され保持容量 1 3 によって保持される。

【 0 0 2 0 】

その後、ゲート信号が低レベルに立ち下ると、保持容量線駆動回路 20 の第 1 の極性スイッチング素子 SW1 が切り換えられ、第 1 の保持容量線 SC1 の電位が変化する。即ち、第 1 の保持容量線 SC1 の電位は、高レベル VCOMH から低レベル VCOML に、又は低レベル VCOML から高レベル VCOMH に変化する。すると、保持容量 13 の容量カップリングにより、画素電極 11 の電位は、画素書き込みされた電位から正又は負の方向に変化する。例えば、第 1 の保持容量線 SC1 の電位が高レベル VCOMH から低レベル VCOML に変化したとすると、画素電極 11 の電位は、負の方向に変化する。そして、画素電極 11 に保持された電位に応じて液晶 12 の光学的制御が行われ、表示が行われる。このような保持容量線駆動方式によれば、画素電極 11 の電位変化の分だけ、ソース信号 Sig のダイナミックレンジを小さくすることができるため、低消費電力駆動が可能である。

10

【0021】

本発明の特徴は、シーケンス制御回路 40 による電源オフ時のシーケンス制御にあり、以下、これについて図 3 のタイミング図と、図 1、図 4、及び図 5 の回路図を参照して説明する。

【0022】

液晶表示装置の電源 30 等をオフするための信号として、例えば、電源オフコマンドが検出されると、その後の垂直同期信号 Vsync に同期して、極性選択信号 POL が高レベルから低レベルに変化する。スイッチング素子 SWS は低レベルの制御信号 DSG に応じてオフしており、これによりソース線 SL と共通電極 CL は切断されている。共通電極ドライバ 16 は共通電極信号として 2V の電位を出力する。

20

【0023】

また、同じフレーム期間において、ゲートドライバ 15 は活性化されており、第 1 のゲート線 GL1 に高レベルのゲート信号が一水平期間出力されることで、画素 PXL1 の画素トランジスタ 10 がオンする。そして、水平スイッチング素子 SWH は、高レベルの制御信号 SEL に応じてオンする。すると、ソースドライバ 14 からソース線 SL に、オフ表示に対応した電位、例えば黒表示に対応した電位のソース信号 Sig が出力される。これにより、オフ表示に対応した電位のソース信号 Sig が画素トランジスタ 10 を通して画素 PXL1 に書き込まれる（オフ書き込み）。

【0024】

30

その後、極性選択信号 POL に応じて第 1 の極性スイッチング素子 SW1 が切り換えられる。すると、画素 PXL1 の第 1 の保持容量線 SC1 の電位は、高レベル VCOMH から低レベル VCOML に変化する。これにより、保持容量 13 の容量カップリングにより、画素電極 11 の電位は、オフ書き込みされた電位から負の方向に変化する。そして、画素電極 11 に保持された電位に応じて液晶 12 の光学的制御が行われ、オフ表示が行われる。画素 PXL2 へのオフ書き込みについても同様であるが、書き込み後に、第 2 の保持容量線 SC2 は反対に低レベルから高レベルに変化する点異なる。

【0025】

その後、図 4 に示すように、次に到来する垂直同期信号 Vsync に同期して、即ち、その次のフレーム期間において、制御信号 DSG が高レベルになり、スイッチング素子 SWS がオンすることでソース線 SL と共通電極 CL が短絡される。また、制御信号 SEL が低レベルになることにより、水平スイッチング素子 SWH はオフし、ソースドライバ 14 はソース線 SL から電氣的に切断される。

40

【0026】

また、電源 30 からの電源電位の供給が停止されることにより共通電極ドライバ 16 の動作が停止し、その出力は 2V から 0V（接地電位）に変化する。これにより、共通電極 CL が 0V に設定され、ソース線 SL と共通電極 CL とは、共に 0V に設定される。また、同じフレーム期間において、電源 30 からの電源電位の供給が停止されることにより、ソースドライバ 14 の動作、第 1 及び第 2 の保持容量ドライバ 21H、21L の動作も停止する。これにより、第 1 及び第 2 の保持容量線 SC1、SC2 の電位は 0V に設定され

50

る。また、ゲートドライバ１５から低レベルのゲート信号が出力され、第１及び第２のゲート線ＧＬ１，ＧＬ２の電位は低レベルに設定される。

【００２７】

この状態では、ソース線ＳＬと共通電極ＣＬは共に０Ｖに設定されているが、保持容量１３を介して画素電極１１に電荷が移動することにより、液晶１２の両端、即ち画素電極１１と共通電極ＣＬとの間に電位差が生じ、表示不良が発生してしまう。

【００２８】

そこで、画素電極１１に移動した電荷を除去する動作を行う。即ち、図５に示すように、その次のフレーム期間において、ゲートドライバ１５から高レベルのゲート信号が第１のゲート線ＧＬ１に一水平期間出力されることで、画素ＰＸＬ１の画素トランジスタ１０がオンする。これにより、ソース線ＳＬの０Ｖの電位が画素ＰＸＬ１に書き込まれ、画素ＰＸＬ１の画素電極１１の電位は０Ｖに設定される。即ち、画素電極１１の電荷が除去される。画素ＰＸＬ２についても同様にして、次の一水平期間に、ゲートドライバ１５から高レベルのゲート信号が第２のゲート線ＧＬ２に出力されることで、画素ＰＸＬ２の画素トランジスタ１０がオンする。これにより、画素ＰＸＬ２の画素電極１１の電位が０Ｖに設定される。こうして、全ての画素について、電荷除去が行われる。

【００２９】

そして、次に到来する垂直同期信号Ｖｓｙｎｃに同期して、即ち、その次のフレーム期間において、電源３０からの電源電位の供給が停止されることによりゲートドライバ１５の動作は停止する。他の回路（不図示）についても他の電源（不図示）からの電源電位の供給を停止させることにより、このフレーム期間以降は電源停止状態となる。

【００３０】

このように、上述の液晶表示装置によれば、電源オフ時に、画素電極１１と共通電極ＣＬの電位、保持容量１３の両端の電位はいずれも０Ｖになるので、電荷の移動が無くなり、表示不良の発生を防止することができる。

【００３１】

尚、本発明は上記実施形態に限定されることなくその要旨を逸脱しない範囲で変更が可能であることは言うまでもない。例えば、上記実施形態では、オフ書き込みの動作は必ずしも必要ではなく、省略されてもよい。この場合、電源オフコマンドが検出されると、その後の垂直同期信号Ｖｓｙｎｃに同期して、共通電極ドライバ１６、ソースドライバ１４の動作、保持容量線駆動回路２０を構成する第１の保持容量ドライバ２１Ｈ及び第２の保持容量ドライバ２１Ｌの各動作が停止され、以降のシーケンスが続いて行われる。

【図面の簡単な説明】

【００３２】

【図１】本発明の実施形態による液晶表示装置を示す回路図である。

【図２】本発明の実施形態による液晶表示装置の画素の配置図である。

【図３】本発明の実施形態による液晶表示装置の電源オフ時のシーケンスを説明するタイミング図である。

【図４】本発明の実施形態による液晶表示装置を示す回路図である。

【図５】本発明の実施形態による液晶表示装置を示す回路図である。

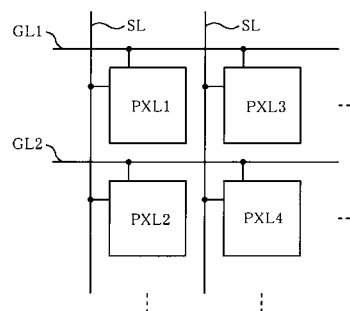
【符号の説明】

【００３３】

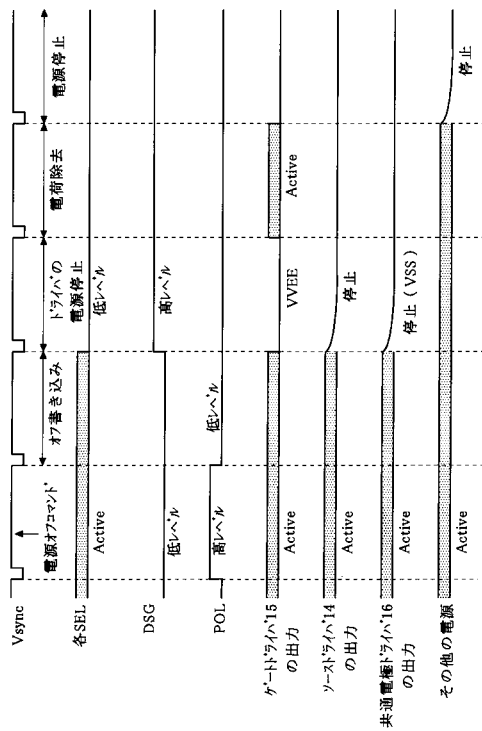
１０	画素トランジスタ	１１	画素電極	１２	液晶
１３	保持容量	１４	ソースドライバ	１５	ゲートドライバ
１６	共通電極ドライバ	２０	保持容量線駆動回路		
２１Ｈ	第１の保持容量ドライバ	２１Ｌ	第２の保持容量ドライバ		
３０	電源	４０	シーケンス制御回路		
PXL1, PXL2, PXL3, PXL4, ...	画素				
CL	共通電極	GL1	第１のゲート線	GL2	第２のゲート線
SL	ソース線	SC1	第１の保持容量線	SC2	第２の保持容量線

S W H 水平スイッチング素子
S W 2 第 1 の極性スイッチング素子

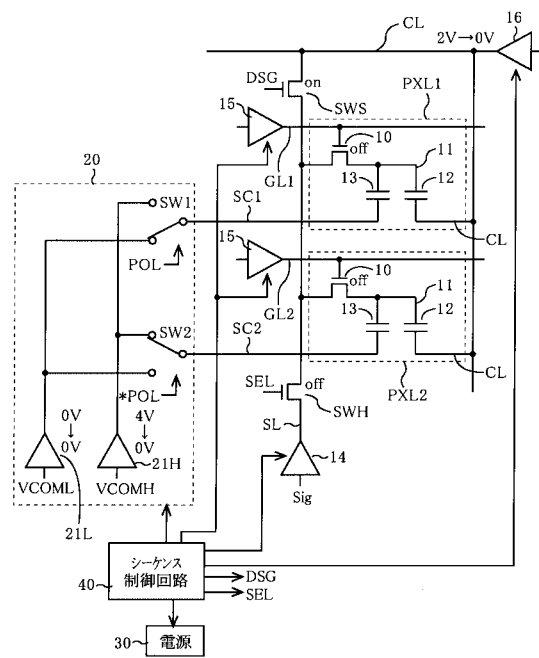
【圖 2】



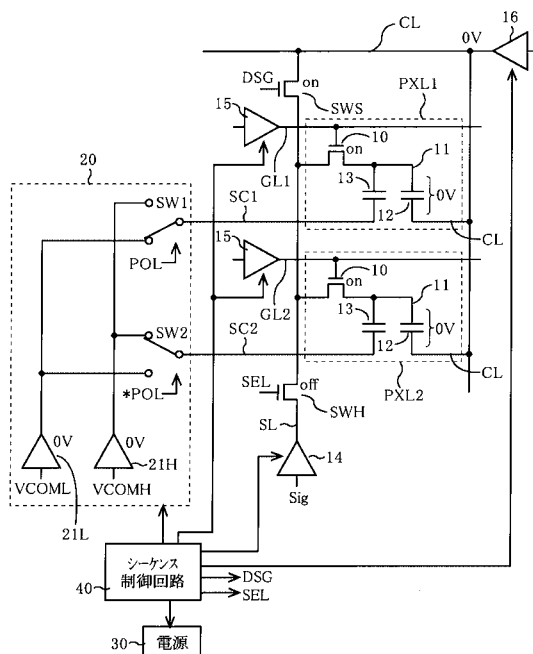
【図 3】



【図 4】



【図 5】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 1 1 A
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 0 5

F ターム(参考) 5C006 AA16 AC11 AC21 AC22 AC24 AC25 AC27 AF33 AF44 AF51
 AF53 AF64 AF67 AF68 AF69 AF72 BB16 BC03 BC13 BF11
 BF24 BF25 BF34 BF42 FA16 FA34 FA38 FA46 FA47
 5C080 AA10 BB05 DD14 DD18 DD24 DD26 DD29 EE25 EE29 FF03
 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009014987A	公开(公告)日	2009-01-22
申请号	JP2007176350	申请日	2007-07-04
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	田尻 憲一		
发明人	田尻 憲一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3655 G09G3/3688 G09G2300/0876 G09G2310/0245 G09G2330/02 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.624.A G09G3/20.670.D G09G3/20.624.E G09G3/20.623.D G09G3/20.623.C G09G3/20.624.D G09G3/20.622.D G09G3/20.623.R G09G3/20.611.A G02F1/133.550 G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NA80 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC34 2H093/NC35 2H093/NC49 2H093/ND38 2H093/ND39 2H093/ND60 2H093/NH12 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AC22 5C006/AC24 5C006/AC25 5C006/AC27 5C006/AF33 5C006/AF44 5C006/AF51 5C006/AF53 5C006/AF64 5C006/AF67 5C006/AF68 5C006/AF69 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC13 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF34 5C006/BF42 5C006/FA16 5C006/FA34 5C006/FA38 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD14 5C080/DD18 5C080/DD24 5C080/DD26 5C080/DD29 5C080/EE25 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZA07 2H193/ZB06 2H193/ZB14 2H193/ZC04 2H193/ZC24 2H193/ZD23 2H193/ZE31 2H193/ZE38 2H193/ZF06 2H193/ZF22 2H193/ZF36 2H193/ZF59 2H193/ZF60		
代理人(译)	须藤克彦		
其他公开文献	JP4337065B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止在使用存储电容器线驱动方法的液晶显示装置的电源关闭时显示器故障。序列控制电路（40）在检测到断电命令时执行以下顺序控制。也就是说，顺序控制电路40使公共电极CL源极线SL短路并且停止向源极驱动器14，公共电极驱动器16和存储电容器线驱动电路20供电。结果，源极线SL和公共电极CL的电位被设置为0V。在电源停止之后，序列控制电路40通过根据栅极驱动器15的栅极信号导通像素晶体管10来控制像素电极11的电位被设置为0V。结果，像素电极11和公共电极CL的电位以及保持电容器13的两端的电位都变为0V，从而电荷的移动消失并且可以防止发生显示故障。点域1

